

## Entrées / sorties analogiques : conversion numérique / analogique

### I. Introduction

Le but de la conversion analogique-numérique ou numérique-analogique est d'**établir une correspondance entre un nombre N codé en binaire et une tension analogique V.**

Le nombre binaire N est caractérisé par ses n bits (ou chiffres)  $a_0$  à  $a_{n-1}$  pour n bits ( $a_i=1$  ou 0) :

$$N = a_{n-1} a_{n-2} \dots a_1 a_0$$

$a_0$  étant le bit de poids faible ou LSB (*least significant bit*) et  $a_{n-1}$  le bit de poids fort ou MSB (*most significant bit*).

Le nombre décimal correspondant est (cas d'un codage en binaire non signé ou offset binary) :

$$N_{10} = a_{n-1} 2^{n-1} + a_{n-2} 2^{n-2} + \dots + a_1 2^1 + a_0 2^0$$

Les **deux principales caractéristiques** d'un convertisseur analogique-numérique ou numérique-analogique sont donc :

- le nombre de bits n ;
- la tension analogique élémentaire q.

### II. La conversion numérique analogique

#### II.1. Introduction

La valeur de la tension analogique  $V_s$  générée par un CNA est discrète et multiple d'une valeur de base appelée le **quantum de conversion q** (tension analogique élémentaire); on a la relation :

$$V_s = q N_{10} \text{ soit } V_s = q (a_{n-1} 2^{n-1} + \dots + a_1 2^1 + a_0 2^0)$$

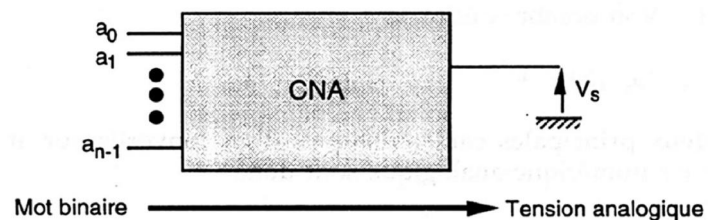
La **valeur analogique maximale  $V_{smax}$**  (ou PE pour pleine échelle) sera donc:  **$V_{smax} = (2^n - 1) q$**  et la **valeur minimale  $V_{smin}$**  (autre que 0) :

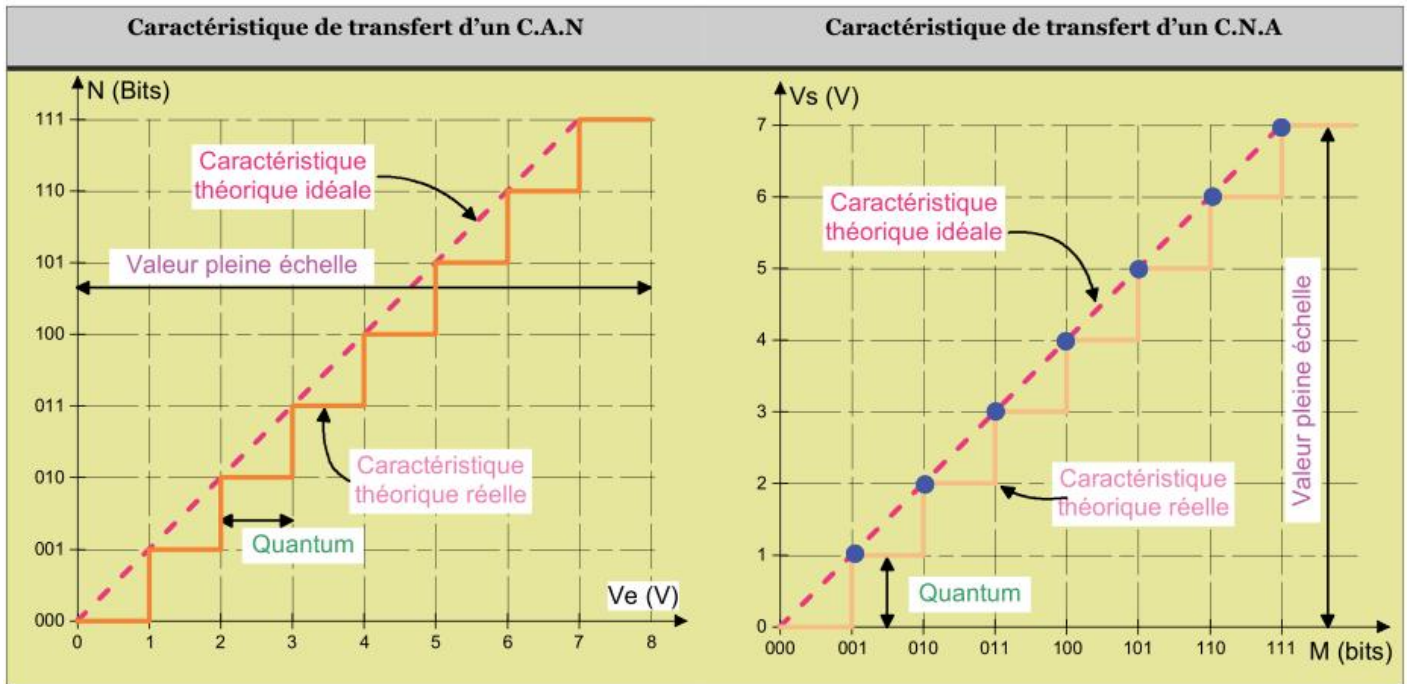
$$V_{smin} = q$$

La **tension analogique de sortie pourra donc prendre  $2^n$  valeurs différentes** (correspondant à  $2^n-1$  intervalles) que l'on peut écrire :

$$V_s = i q \quad \text{avec} \quad 0 \leq i \leq 2^n - 1 \text{ (i entier)} \quad \text{et} \quad q = V_{smax} / (2^n - 1)$$

$$V_s = i V_{max} / (2^n - 1)$$

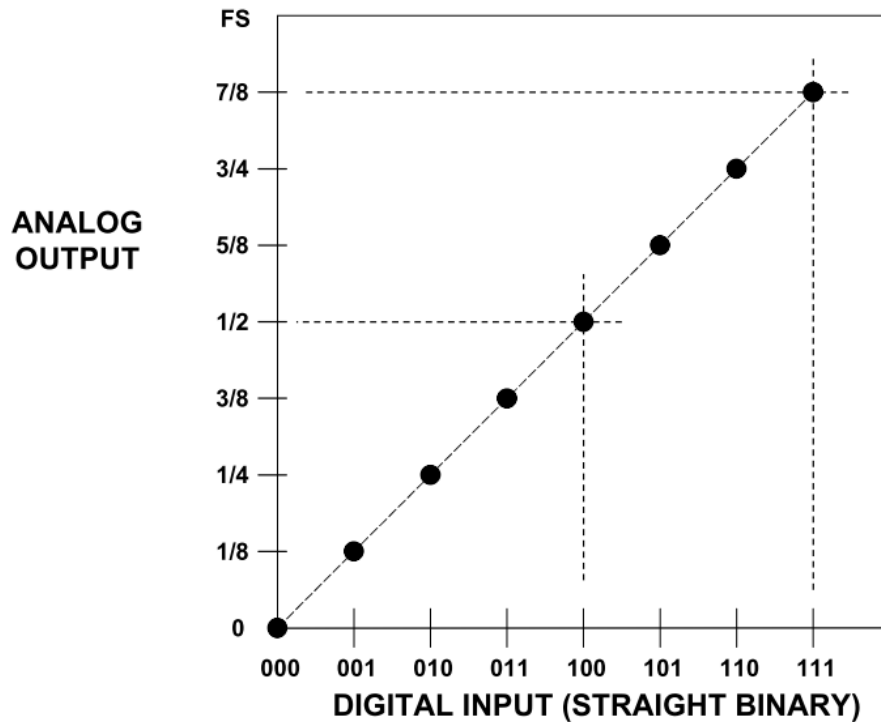




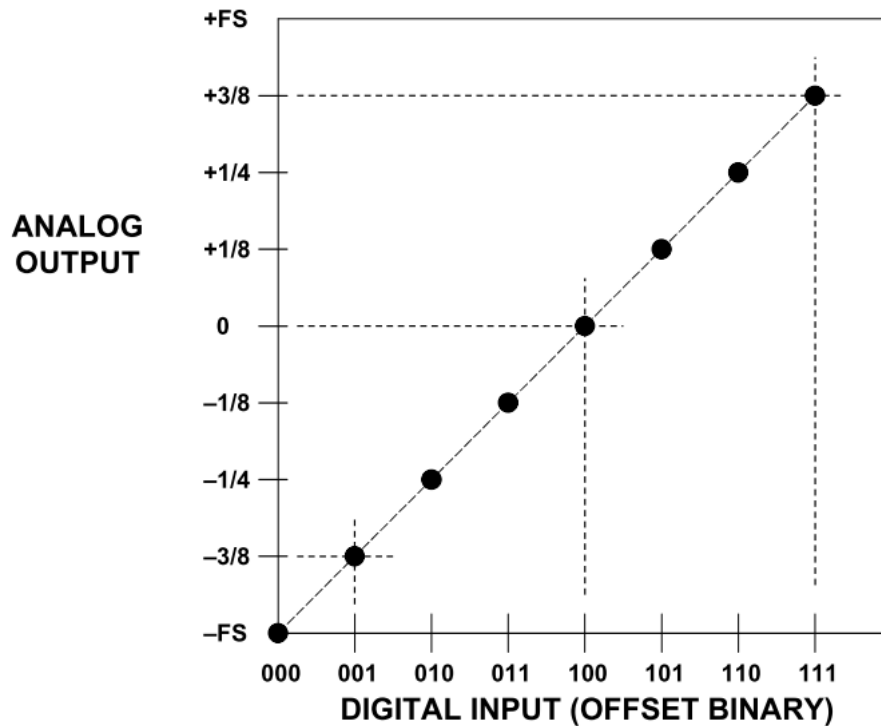
**Caractéristique de transfert d'un CNA unipolaire 3 bits (vs celle d'un CAN)**

Souvent, on exprime la tension de sortie du convertisseur en fonction d'une tension de référence « Full Scale » FS supérieure d'un quantum à la valeur maximum  $V_{smax}$  obtenue lorsque tous les bits sont à 1 et égale à  $2^n q$ . C'est le cas avec les DACs des circuits PSoC. On a alors :

$$Q = FS / 2^n$$



**Caractéristique de transfert d'un CNA unipolaire 3 bits**



Caractéristique de transfert d'un CNA bipolaire 3 bits

### Notations (exemple pour n = 8 bits)

- Notation européenne :

$$V_S = \frac{PE}{2^n - 1} \sum_{i=0}^{n-1} a_i 2^i = q \sum_{i=0}^{n-1} a_i 2^i$$

- Notation américaine

$$V_S = 2^n q \sum_{i=1}^n \frac{a_{n-i}}{2^i}$$

Toutes ces caractéristiques sont traduites par la figure ci-dessus qui montre la courbe de transfert permettant de passer d'une information numérique à la sortie analogique correspondante.

Dans l'étude des circuits CNA, les différents bits du nombre binaire sont symbolisés par un interrupteur (0 : ouvert, 1 : fermé). **Les composants électroniques CNA contiennent effectivement des interrupteurs, mais des interrupteurs analogiques (transistor MOS) commandables par signaux électriques logiques.**

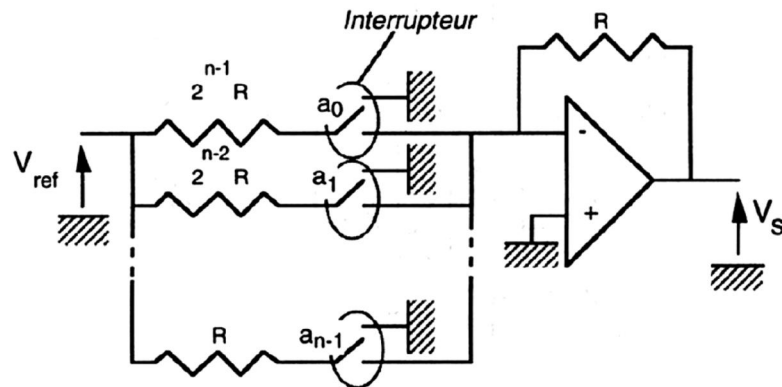
En pratique, on emploie essentiellement des CNA du type parallèle et plus particulièrement :

- CNA à résistances pondérées ;
- CNA à réseau en échelle R-2R.

## II.2. Convertisseur à résistances pondérées

Le principe du convertisseur à résistances pondérées est basé sur la **sommation de courants à l'aide d'un amplificateur opérationnel** (cf. figure ci-dessous). Les interrupteurs, correspondant aux bits  $a_0$  à  $a_n$  mettent

en service des résistances de valeurs croissantes dans le rapport 2, toutes alimentées par la même source  $V_{ref}$ . Par conséquent la résistance  $2^k R$  est parcourue par un courant deux fois moindre que la résistance  $2^{k-1} R$ . Les courants élémentaires, correspondant aux poids respectifs des bits, sont sommés par l'amplificateur opérationnel.



### Convertisseur N/A à résistances pondérées

En écrivant la loi des nœuds sur l'entrée inverseuse de l'AOP, il vient :

$$V_S/R = - \left[ V_{ref} a_{n-1} / R + \dots + V_{ref} a_1 / 2^{n-2}R + V_{ref} a_0 / 2^{n-1}R \right]$$

$$V_S = - V_{ref} \left[ a_{n-1} + \dots + a_1 / 2^{n-2} + a_0 / 2^{n-1} \right]$$

$$V_S = - V_{ref} / 2^{n-1} \left[ a_{n-1} 2^{n-1} + \dots + a_1 2^1 + a_0 2^0 \right]$$

Le **quantum de conversion** et la **pleine échelle** sont donc respectivement :

$$q = -\frac{V_{ref}}{2^{n-1}} \quad PE = -V_{ref} \frac{2^n - 1}{2^{n-1}}$$

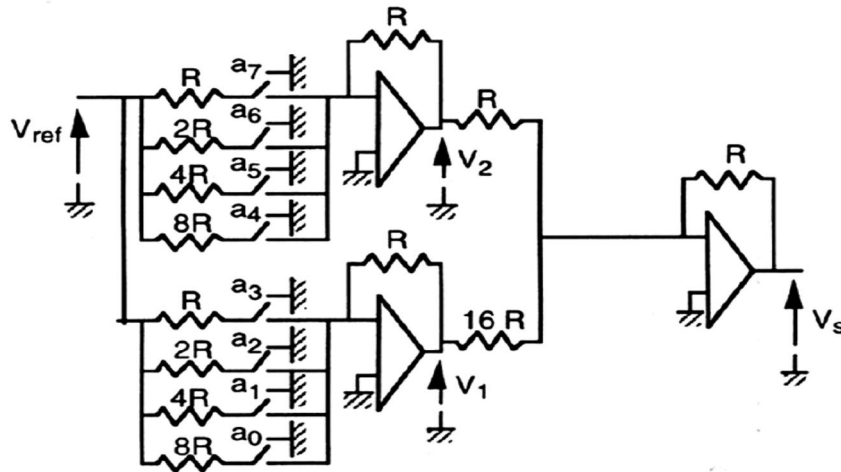
Ne pas confondre ici  $V_{ref}$  et PE (on a bien toujours  $q / PE = 1 / (2^n - 1)$ ).

**La gamme étendue des résistances nécessaires** (par exemple de 10 kΩ pour le MSB à 1,28 MΩ pour le LSB dans un CNA de 8 bits) **rend difficile la réalisation de ce type de CNA** :

- soit en composants discrets : difficulté d'avoir des résistances de valeurs non normalisées de très grande précision et de grande stabilité en température ;
- soit en micro-électronique : difficulté d'intégration de résistances de grandes valeurs ( $> 1 \text{ M}\Omega$ ) et réalisation coûteuse pour obtenir une grande précision sur les résistances (usinage par sablage ou par laser).

Aussi préfère-t-on généralement réaliser des **blocs de quatre valeurs seulement (de R à 8R)** qui sont **regroupés par un autre amplificateur monté en sommateur pondéré** (cf. figure ci-dessous). La première structure CNA des quatre bits de poids faible donne une tension  $V_1$  :

$$V_1 = - V_{ref} \left[ a_3 + a_2/2 + a_1/4 + a_0/8 \right]$$



**Convertisseur à résistances pondérées dans lequel on réduit l'étalement des valeurs des résistances par utilisation d'un amplificateur supplémentaire**

La deuxième structure CNA des quatre bits de poids fort donne une tension  $V_2$  :

$$V_2 = - V_{ref} [a_7 + a_6/2 + a_5/4 + a_4/8]$$

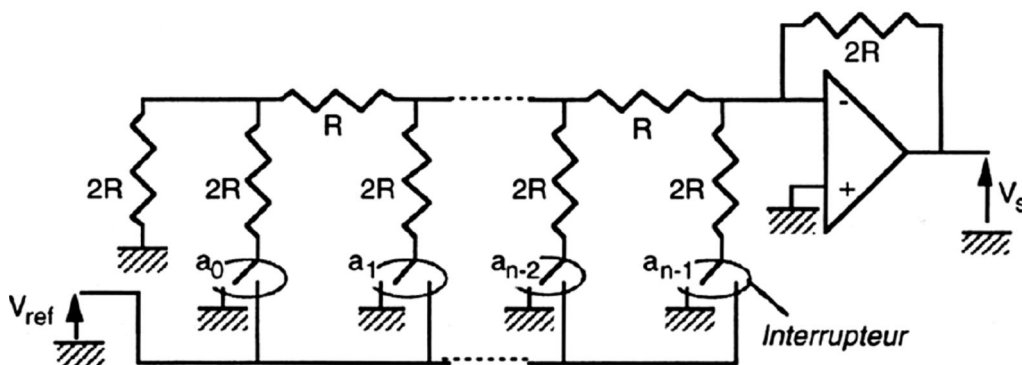
d'où le résultat attendu  $v_s$  pour un CNA de 8 bits :

$$\begin{aligned}
 V_s &= - \left[ \frac{V_1}{16} + V_2 \right] \\
 &= -V_{ref} \left[ a_7 + a_6/2 + a_5/4 + a_4/8 + a_3/16 + a_2/32 + a_1/64 + a_0/128 \right]
 \end{aligned}$$

$$\begin{cases}
 V_s = - \left( \frac{V_1}{16} + V_2 \right) \\
 V_s = - \frac{V_{ref}}{128} (a_7 \cdot 2^7 + a_6 \cdot 2^6 + \dots + a_0 \cdot 2^0)
 \end{cases}$$

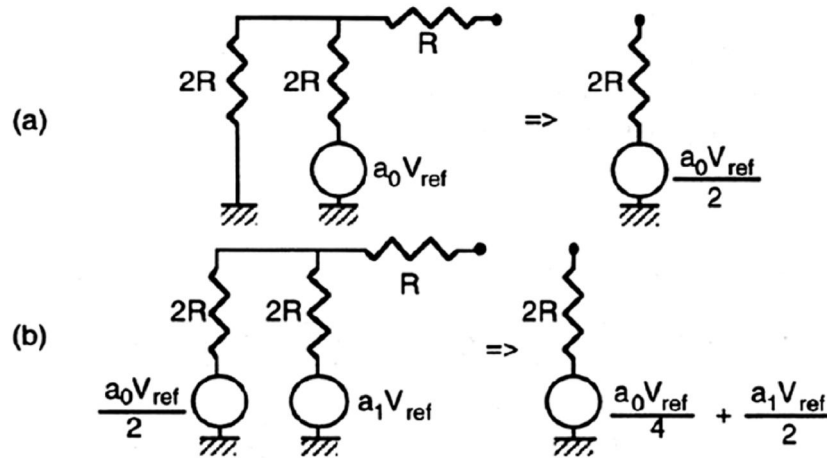
**II.3. Convertisseur à réseau en échelle R-2R**

Par rapport au précédent, ce type de convertisseur N/A offre l'avantage de n'utiliser que deux valeurs de résistances, simple  $R$  et double  $2R$  (cf. figure ci-après).



Pour déterminer la tension  $V_s$  à la sortie de ce convertisseur, on applique  $n$  fois le théorème de Thévenin en partant de la gauche. Chaque interrupteur est considéré comme une source de tension de résistance interne nulle

et de valeur  $a_i \times V_{ref}$  ( $a_i = 1$  ou  $0$ ). La figure ci-après montre le résultat obtenu en considérant la première cellule et le résultat obtenu en utilisant le calcul précédent et la branche suivante.



Cette méthode, utilisée par récurrence, conduit au résultat recherché :

$$V_s = - V_{ref} / 2^{n-1} [ a_{n-1} 2^{n-1} + \dots + a_1 2 + a_0 ]$$

Ce principe de réalisation d'un CNA est celui utilisé pour la plupart des CNA aussi bien en technologie hybride qu'intégrée.

### Exercice

Proposez un schéma dérivé de celui présenté ici, permettant de convertir des nombres signés (représentation complément à 2).

## II.4. Caractéristiques principales des CNA (ou DAC en anglais)

Les principales caractéristiques des convertisseurs N/A sont :

- **nombre de bits** :  $n$  ;
- **quantum** de conversion :  $q = PE / (2^n - 1)$  ;
- **valeur** maximale de la tension de **sortie** :  $PE$

On utilise également les paramètres suivants.

### Résolution

La résolution  $r$  d'un DAC est la plus petite valeur, ou incrément minimum, que ce système peut délivrer, ramenée à la valeur maximale (ou pleine échelle), soit pour un convertisseur N/A de  $n$  bits :

$$r = q / V_{Smax} = 1 / (2^n - 1) \text{ ou } r = 1 / 2^n \text{ (pour } n \text{ grand)}$$

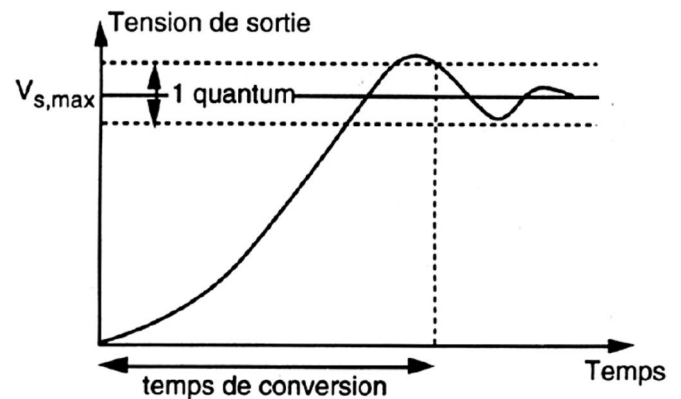
Le tableau ci-dessous donne la résolution des CNA pour des nombres de bits couramment utilisés.

Nombre de bits	r en $1/2^n$	r en décimal	r en %
4	1/16	0,0625	6,2
8	1/256	0,003906	0,4
10	1/1024	0,0009766	0,1
12	1/4096	0,00024414	0,024
16	1/65536	0,000015258	0,0015



### Temps de conversion ou temps d'établissement (settling time)

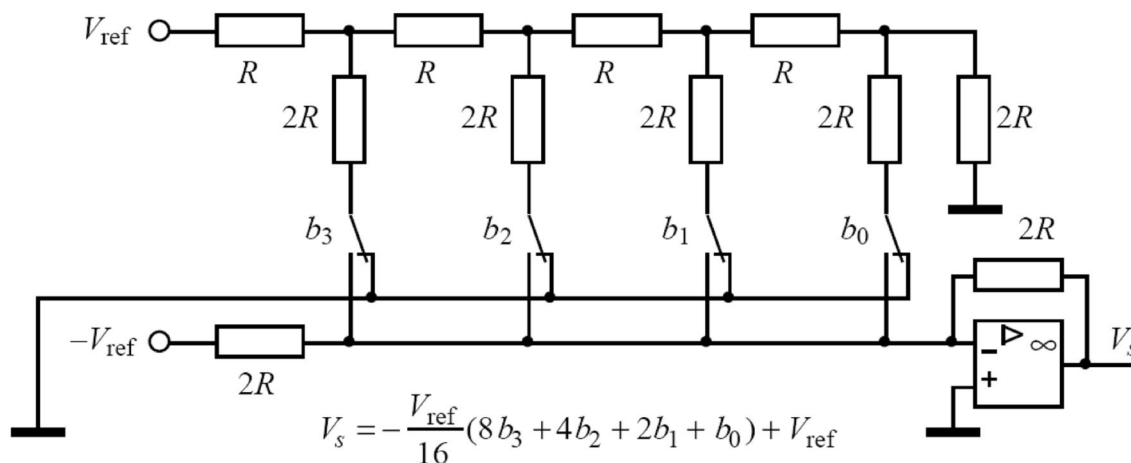
Le temps de conversion est le temps qui s'écoule entre l'instant où la commande de conversion est faite et l'instant où la tension de sortie atteint sa valeur finale et ne s'écarte pas de celle-ci de plus de  $\pm 1/2$  quantum. Le cas le plus défavorable est le passage de la tension de sortie nulle à la tension de sortie pleine échelle (cf. figure ci-après).



Le temps de conversion  $T_{conv}$  d'un CNA est typiquement de l'ordre de quelques 100 ns, mais ce temps peut évoluer suivant le nombre de bits : pour un CNA 8 bits de l'ordre de 250 ns, mais pour un CNA de 18 bits le temps de conversion peut atteindre 250  $\mu$ s.

### Tension de sortie

La tension de sortie peut être positive ( $V_s$  varie de 0 à  $V_{s,max}$  : CNA unipolaire) ou positive et négative ( $V_s$  varie entre  $-V_{s,max}$  et  $+V_{s,max}$  : CNA bipolaire).



### Convertisseur numérique/analogique bipolaire

### Caractéristiques des entrées numériques

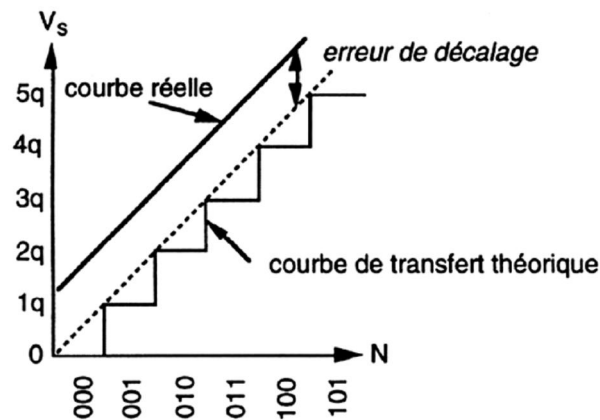
Les entrées du convertisseur sont des entrées de type logique TTL ou CMOS. De plus, dans certains cas, les entrées peuvent être du type 3 états pour être compatibles avec le bus de données d'un microprocesseur et se connecter directement sur le bus de données de l'ordinateur.

## II.5 Erreurs sur la courbe de transfert d'un CNA

Ces erreurs, se traduisant par des écarts à la courbe de transfert théorique, sont dues essentiellement aux résistances (précision et stabilité en température), aux interrupteurs analogiques (résistance d'ouverture  $R_{off}$  non infinie, résistance de fermeture  $R_{on}$  non nulle, stabilité en température) et aux amplificateurs (tension de décalage, gain, ...) mais aussi au fonctionnement en dynamique.

### Erreur de décalage (offset voltage)

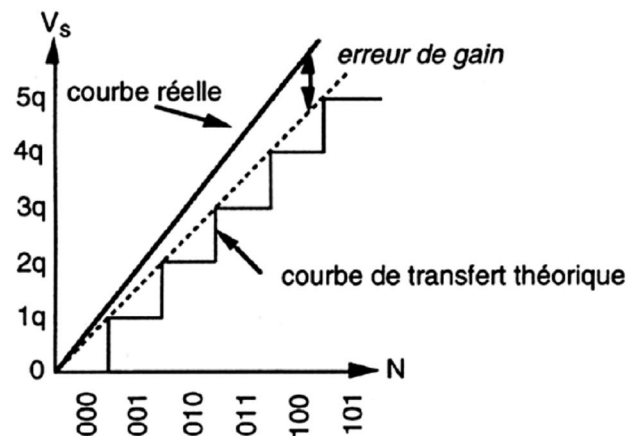
L'erreur se traduit par une **tension de sortie non nulle lorsque le code d'entrée est nul**.



### Erreur de gain ou erreur de facteur d'échelle

Cette erreur, souvent due à l'**influence de la température**, produit une **variation proportionnelle de la tension de sortie par rapport à la tension théorique**. Elle est précisée dans les caractéristiques du convertisseur en ppm/°C (partie par million =  $10^{-6}$ ).

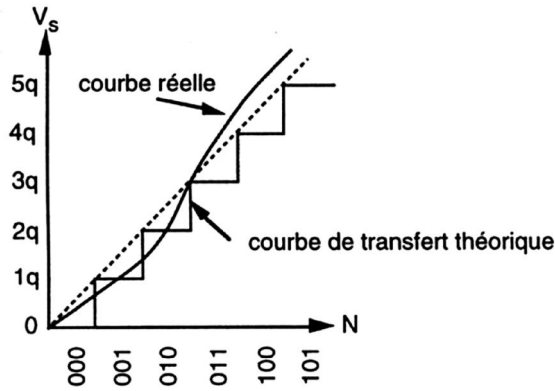
L'erreur de gain a deux origines, la tolérance sur les valeurs des composants, qui conduit à une imprécision sur le gain d'un amplificateur bouclé, et les variations de la tension d'alimentation. La sensibilité à la tension d'alimentation est généralement exprimée par % de la variation de la tension d'alimentation. On considère que l'erreur doit être inférieure à  $\pm \frac{1}{2}$  LSB à la pleine échelle pour 3% de la variation de la tension d'alimentation.



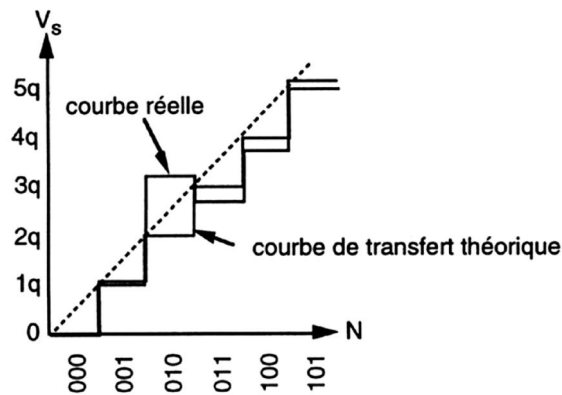
### Erreur de (non) linéarité différentielle (Differential Non Linearity ou DNL)

Dans la caractéristique idéale d'un CNA, **deux transitions successives** produisent une variation de la tension de sortie de  $\pm q$  ( $\pm 1$  LSB). **Dans la caractéristique réelle, la variation de sortie peut être plus petite ou plus grande que  $q$**  (la hauteur de la marche peut être plus grande ou plus petite que le quantum). Cet écart définit la non-linéarité différentielle qui peut être exprimée en volts ou en LSB équivalent. **Si la pente de la courbe réelle est toujours positive, la conversion est dite non linéaire mais monotone. Si par contre un code numérique de valeur supérieure provoque la sortie d'une tension analogique moindre, il y a non monotonie.**





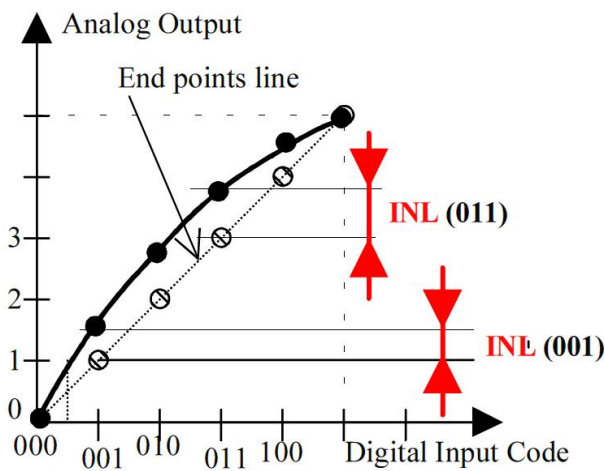
**Erreur de linéarité différentielle monotone**



**Erreur de linéarité différentielle non monotone**

**Erreur de non-linéarité intégrale (Integral Non-Linearity ou INL)**

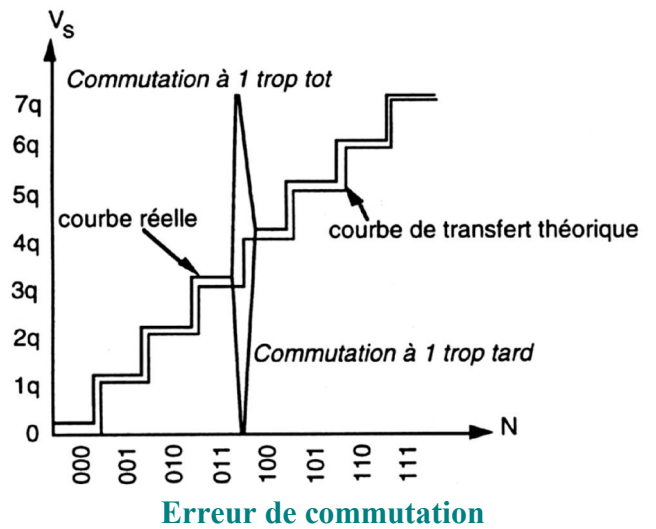
Elle est définie par l'écart entre les courbes de transfert idéales et réelles. Cet écart varie avec la combinaison d'entrée du convertisseur ; c'est donc sa valeur maximum qui est spécifiée.



### Erreur de commutation (*glitch*)

Lorsque la commutation des bits d'entrée n'est pas assurée simultanément, la tension de sortie peut passer par une valeur transitoire erronée. Ainsi pour passer de 011 à 100, si les 1 passent à zéro avant que le zéro ne passe à 1, la tension de sortie passera par zéro ; dans le cas contraire, la tension de sortie correspondra de façon transitoire au code 111....

Cette erreur transitoire est éliminée de façon interne pour des CNA possédant une mémoire analogique en sortie. Dans le cas de CNA très rapide ( $T_{conv} < 50$  ns), le phénomène transitoire, ne pouvant être éliminé par mémorisation pour ne pas ralentir la conversion, est une caractéristique du CNA : par exemple il est indiqué dans la documentation que la durée des transitoires est toujours inférieure à 5 ns.



## II.6 Quelques applications des CNA

Outre la commande de divers actionneurs ou récepteurs (moteurs, électrovannes, ...), les convertisseurs N/A peuvent être utilisés pour diverses applications.

### Multiplieurs analogiques

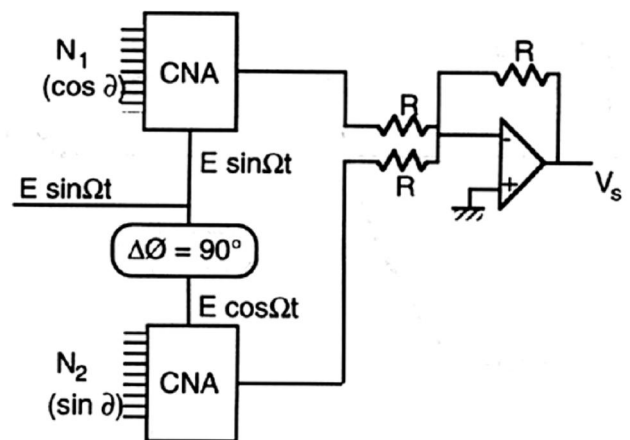
Dans ce type d'applications, la tension de référence  $V_{ref}$  n'est plus considérée comme une source de tension constante, mais sa valeur peut varier. On a toujours la relation  $v_s = k V_{ref} N$ . La tension de sortie  $V_s$  se présente donc comme le produit d'un nombre binaire  $N$  qui peut être constant ou non et d'une tension variable  $V_{ref}$ . Cette multiplication hybride peut être utilisée par exemple pour réaliser des sources de tensions programmables, des amplificateurs à gain variable souvent intégrés dans des chaînes d'acquisition, des déphaseurs à commande numérique ou des filtres analogiques programmables.

### Déphaseur à commande numérique

Cette application utilise deux CNA. Deux convertisseurs multiplieurs, dont les tensions de référence sont respectivement  $E \sin \Omega t$  et  $E \cos \Omega t$ , délivrent les tensions de sortie  $N_1 \sin \Omega t$  et  $N_2 \cos \Omega t$ . Si  $N_1 = \cos \delta$  et  $N_2 = \sin \delta$  et si les deux tensions de sortie sont additionnées, il vient :

$$V_s = -\sin(\Omega t + \delta)$$

où  $\delta$  est le déphasage contrôlé par  $N_1$  et  $N_2$

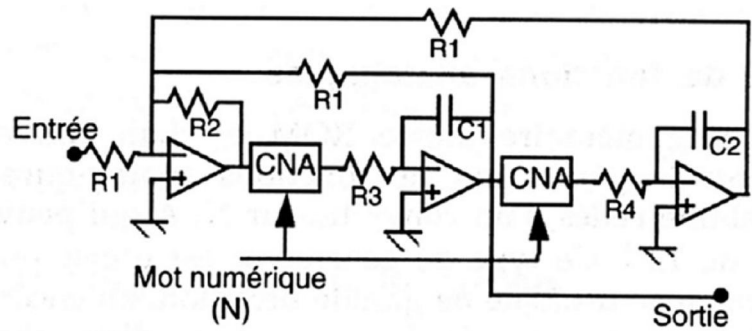


### Filtere analogique programmable

Une autre application importante des convertisseurs N/A est la réalisation de filtres analogiques dont les caractéristiques, en particulier la fréquence de coupure, sont modifiables par une commande numérique (roues codeuses ou ordinateurs).

Dans l'exemple étudié, le filtre est un filtre passe-bande étroit ou filtre sélecteur, centré sur une fréquence  $F_0$ .

La fonction de transfert est paramétrée par le mot numérique  $N$  en entrée des deux convertisseurs N/A utilisés :



$$H(p) = \frac{N R_2 R_4 C_2 p}{R_1 R_3 R_4 C_1 C_2 p^2 - N R_2 R_4 C_2 p + N^2 R_2}$$

On constate qu'il faut que le CNA soit inverseur, c'est-à-dire qu'il fournisse une tension proportionnelle à sa tension d'entrée mais en opposition de phase avec celle-ci.

La fréquence de d'accord  $F_0$  et le coefficient de qualité  $Q$  sont données par :

$$f_0 = \frac{-N}{2\pi} \sqrt{\frac{R_2}{R_1 R_3 R_4 C_1 C_2}} \quad Q = \sqrt{\frac{R_1 R_3 C_1}{R_2 R_4 C_2}}$$

On peut remarquer que le coefficient de qualité est constant quel que soit la fréquence  $F_0$ . Ainsi, en considérant un convertisseur N/A de 10 bits et des valeurs des composants telles que  $R_2 = R_1 = 10 \text{ k}\Omega$ ,  $C_2 = C_1 = 1 \text{ nF}$ ,  $R_3 = 80 \text{ k}\Omega$  et  $R_4 = 3 \text{ k}\Omega$ , on a la relation suivante :

$$F_0 = N 10^4 \text{ Hz avec } F_0 \text{ de } 10 \text{ kHz à } 10 \text{ MHz}$$

Le filtre sélectif ainsi obtenu permet de faire varier simplement la fréquence à partir d'un système numérique.

### Génération de fonctions analogiques

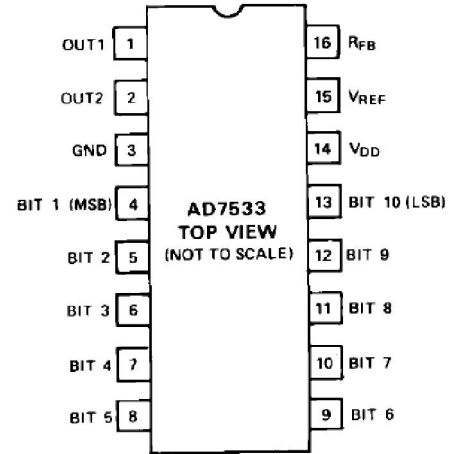
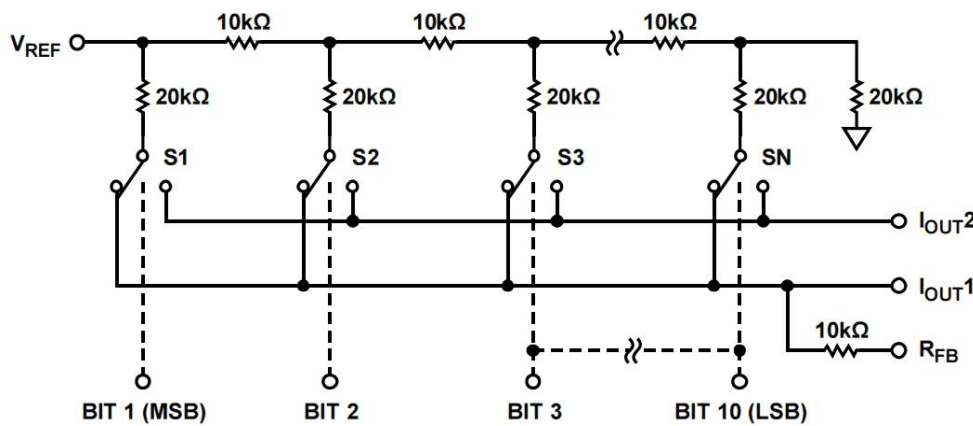
L'utilisation d'une mémoire morte ROM et d'un convertisseur N/A permet d'obtenir la génération de fonctions analogiques avec comme précision et stabilité celles d'un convertisseur N/A qui peuvent facilement être de l'ordre de  $10^{-4}$ . Ce type de générateur est utilisé pour obtenir des fonctions rampe ou sinusoïdale de grande précision, ou encore spécifiques à une application.

## II.7. Caractéristiques et mise en œuvre d'un CNA Analog Devices AD7533

### II.7.a. Principe

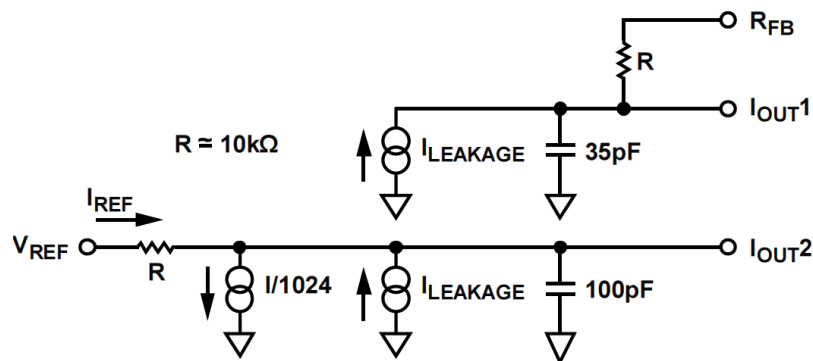
Le AD7533 est un **convertisseur faible coût 10-bit multiplicateur 4 cadrans, à interface CMOS/TTL directe**, dont le schéma fonctionnel est donné ci-dessous. Il est constitué d'un **réseau R-2R** réalisé en couche mince et de **10 commutateurs de courants CMOS** sur une seule puce. **La plupart des applications nécessitent l'utilisation de un ou deux AOP et d'une référence de tension.** Sa tension d'alimentation  $V_{DD}$  peut être fixée entre 5 V et 15 V.

Il est équivalent du point de vue fonctionnel et du point de vue brochage au « standard » AD7520, pour un coût inférieur.



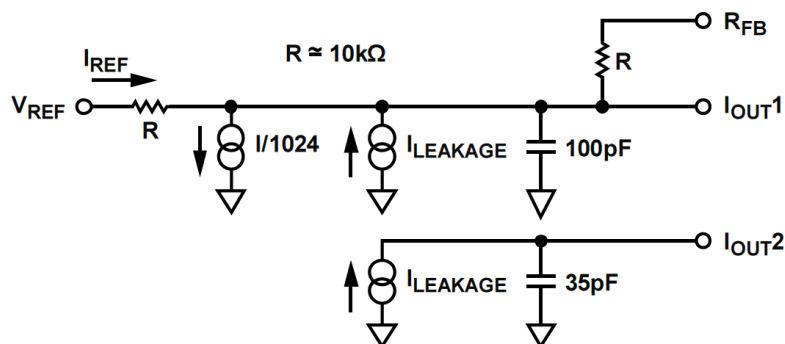
Les courants pondérés sont commutés par les switches, en fonction de la valeur des bits à convertir, vers les sorties  $I_{OUT1}$  (bit à 1) et  $I_{OUT2}$  (bit à 0). Les sorties  $I_{OUT1}$  et  $I_{OUT2}$  sont toujours au potentiel de la masse, soit directement, soit par le biais de l'entrée - de l'AOP (masse virtuelle).

Les circuits équivalents dans les deux cas extrêmes (toutes les entrées numériques à l'état bas et toutes les entrées numériques à l'état haut) sont donnés ci-après.



**Circuit équivalent, toutes les entrées numériques à l'état bas**

La source de courant  $I_{LEAKAGE}$  correspond aux courants de fuite vers le substrat depuis les jonctions et la surface du semiconducteur, tandis que la source  $I/1024$  représente le courant circulant dans la résistance de terminaison  $2R$  du réseau  $R-2R$ , égal à celui représentant le bit de plus faible poids ;  $I$  représente donc celui circulant dans le switch de poids le plus fort, soit  $V_{REF}/2R$ , soit encore  $0.5 \text{ mA}$  si on prend  $V_{REF} = 10 \text{ V}$ , tandis que  $I_{REF} \approx V_{REF}/R = I$ .

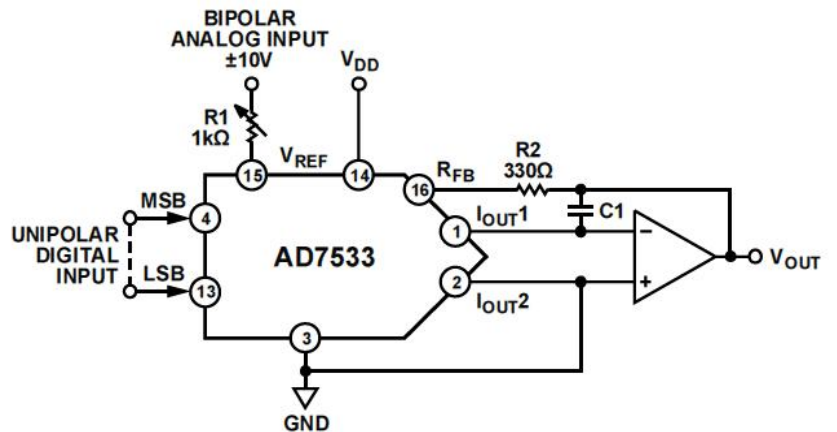


**Circuit équivalent, toutes les entrées numériques à l'état haut**

**II.7.b. Fonctionnement en mode unipolaire**

Le schéma à mettre en œuvre pour un fonctionnement unipolaire est donné ci-après. Les résistances  $R_1$  et  $R_2$  sont optionnelles (elles permettent un ajustement du gain du convertisseur, expliquez comment), de même que la capacité  $C_1$  (qui réalise une compensation en fréquence de l'AOP, nécessaire si celui-ci est un AOP rapide).

La contre-réaction de l'AOP est assurée par la résistance  $R$  interne au convertisseur, située entre l'entrée  $R_{Feedback}$  et la sortie  $I_{OUT1}$ . L'amplificateur fonctionne donc en convertisseur courant-tension (inverseur) et la tension de sortie est égale à  $-R \cdot I_{OUT1}$ .



**Montage pour le fonctionnement unipolaire**

Dans le cas où toutes les entrées numériques sont à l'état haut, le courant  $I_{OUT1}$  est :

$$I_{OUT1} = I_{REF} - \frac{I}{1024} = \frac{V_{REF}}{R} - \frac{V_{REF}}{1024R} = \frac{V_{REF}}{R} \frac{1023}{1024}$$

et la tension de sortie est :

$$V_{OUT} = -R I_{OUT1} = -V_{REF} \frac{1023}{1024}$$

Le courant  $I_{OUT1}$  ayant le même signe que la tension  $V_{REF}$ , si cette tension de référence est positive, la tension de sortie sera négative et inversement.

On réalise bien une multiplication 2 cadrans entre  $V_{ref}$ , qui est bipolaire, et le nombre  $N$  à convertir qui lui, est unipolaire. Il est clair qu'il faut pour cela que l'AOP soit alimenté de façon symétrique.

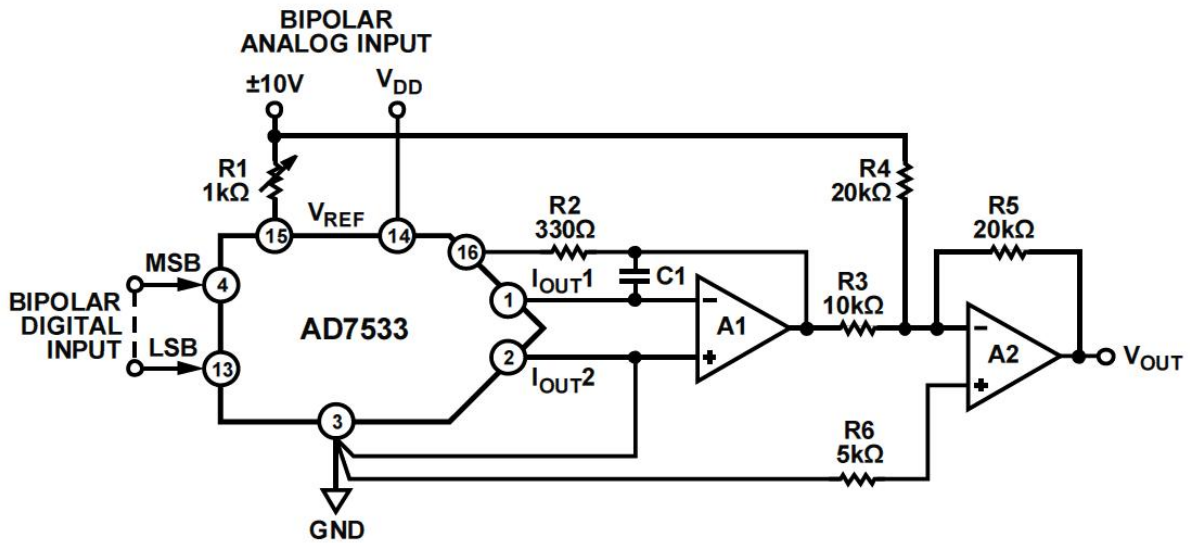
Le LSB représente  $V_{REF}(1/1024)$ .

**Table 4. Unipolar Binary Operation (2-Quadrant Multiplication)**

Digital Input		Analog Output ( $V_{OUT}$ as shown in Figure 11)
MSB	LSB	
1	1	$-V_{REF} \left( \frac{1023}{1024} \right)$
1	0	$-V_{REF} \left( \frac{513}{1024} \right)$
1	0	$-V_{REF} \left( \frac{512}{1024} \right) = \left( \frac{V_{REF}}{2} \right)$
0	1	$-V_{REF} \left( \frac{511}{1024} \right)$
0	0	$-V_{REF} \left( \frac{1}{1024} \right)$
0	0	$-V_{REF} \left( \frac{0}{1024} \right) = 0$

**Table de correspondance entre les codes unipolaires et la tension de sortie analogique**

II.7.c. Fonctionnement en mode bipolaire



NOTES

1. R3, R4, AND R5 SELECTED FOR MATCHING AND TRACKING.
2. R1 AND R2 USED ONLY IF GAIN ADJUSTMENT IS REQUIRED.
3. C1 PHASE COMPENSATION (5pF TO 15pF) MAY BE REQUIRED WHEN USING HIGH SPEED AMPLIFIERS.

Table 5. Unipolar Binary Operation  
(4-Quadrant Multiplication)

Digital Input		Analog Output ( $V_{OUT}$ as shown in Figure 12)
MSB	LSB	
1	1	$+V_{REF} \left( \frac{511}{512} \right)$
1	0	$+V_{REF} \left( \frac{1}{512} \right)$
1	0	0
0	1	$-V_{REF} \left( \frac{1}{512} \right)$
0	0	$-V_{REF} \left( \frac{511}{512} \right)$
0	0	$-V_{REF} \left( \frac{512}{512} \right)$

Le LSB représente  $V_{REF}(1/512)$ .