

Applications du transistor MOS

I. Amplificateur CMOS

On reprend le schéma de l'inverseur CMOS étudié en TP de simulation.

On donne à la page suivante la caractéristique de transfert statique de l'inverseur, ainsi qu'une vue agrandie de la partie de cette caractéristique correspondant à la transition entre états, qui fait clairement apparaître l'existence d'une zone dans laquelle la tension de sortie varie linéairement en fonction de la tension d'entrée.

I.1. Etude de la zone linéaire

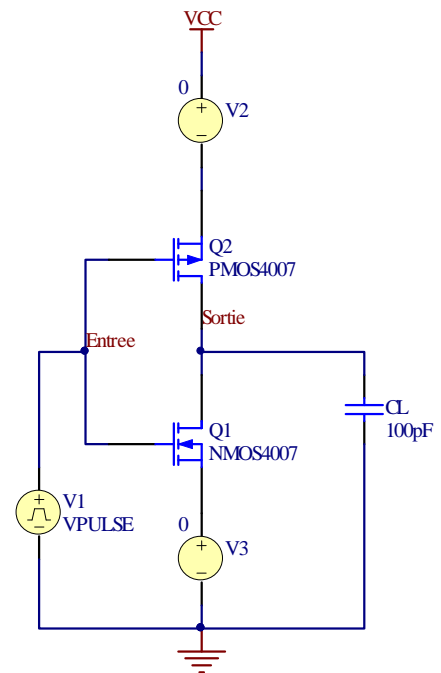
Déterminez la largeur de cette zone linéaire, la valeur de la tension d'entrée pour laquelle la tension de sortie lui est égale ainsi que la pente de la caractéristique.

Réponses

La zone linéaire s'étend de ($V_e = 2.536V$, $V_s = 3.955V$) à ($V_e = 2.558V$, $V_s = 1.147 V$).

Les tensions d'entrée et de sortie sont égales pour $V_e = 2.547V$, le point correspondant se situant pas très loin du milieu de la zone linéaire.

La pente de la caractéristique vaut environ -128 .

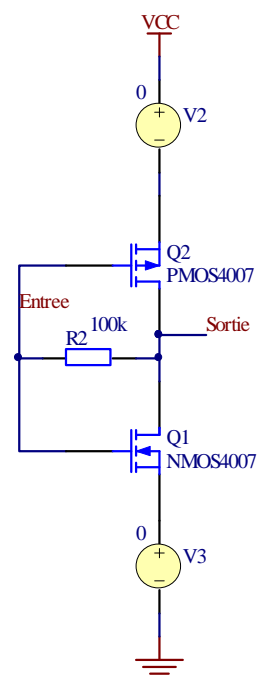


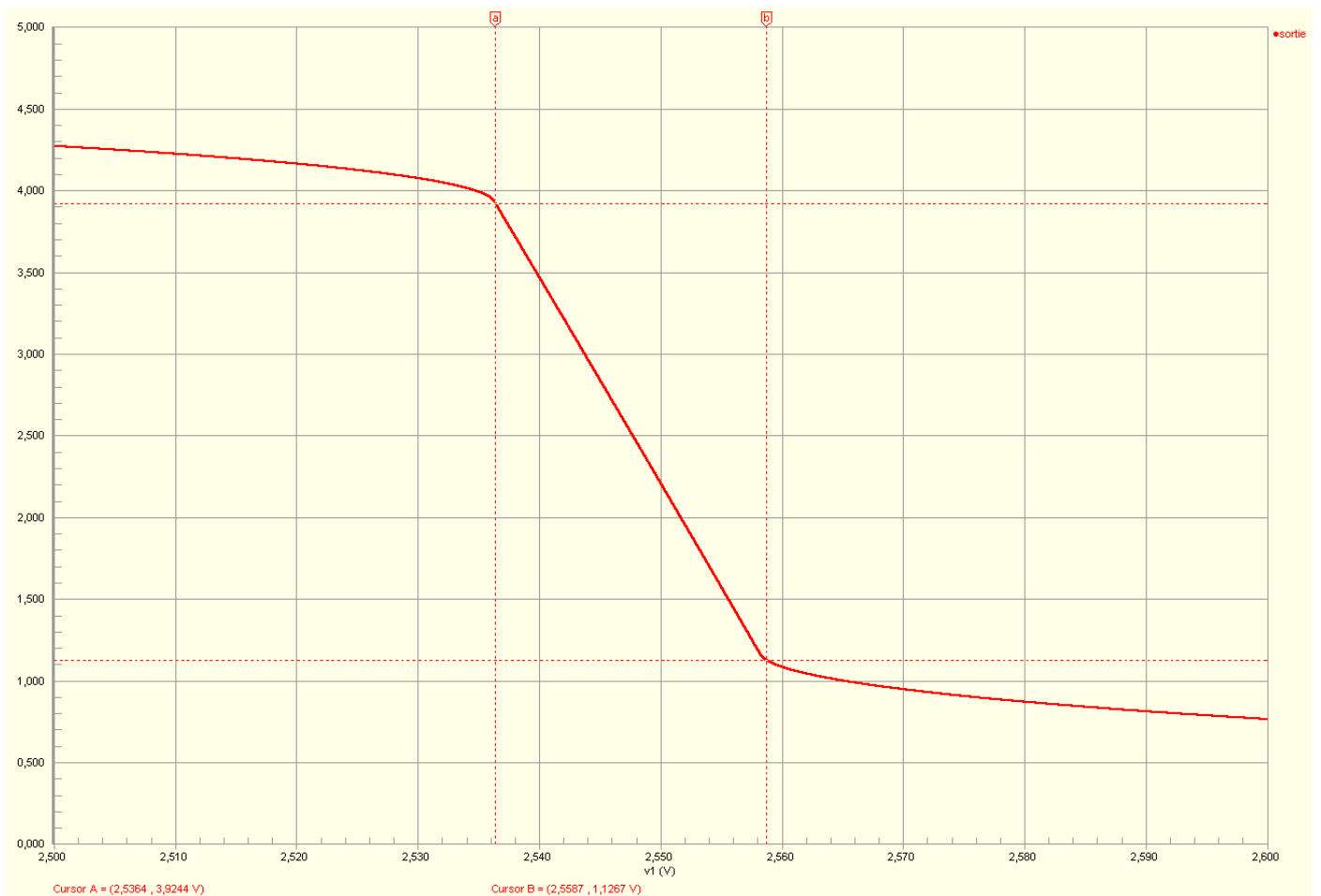
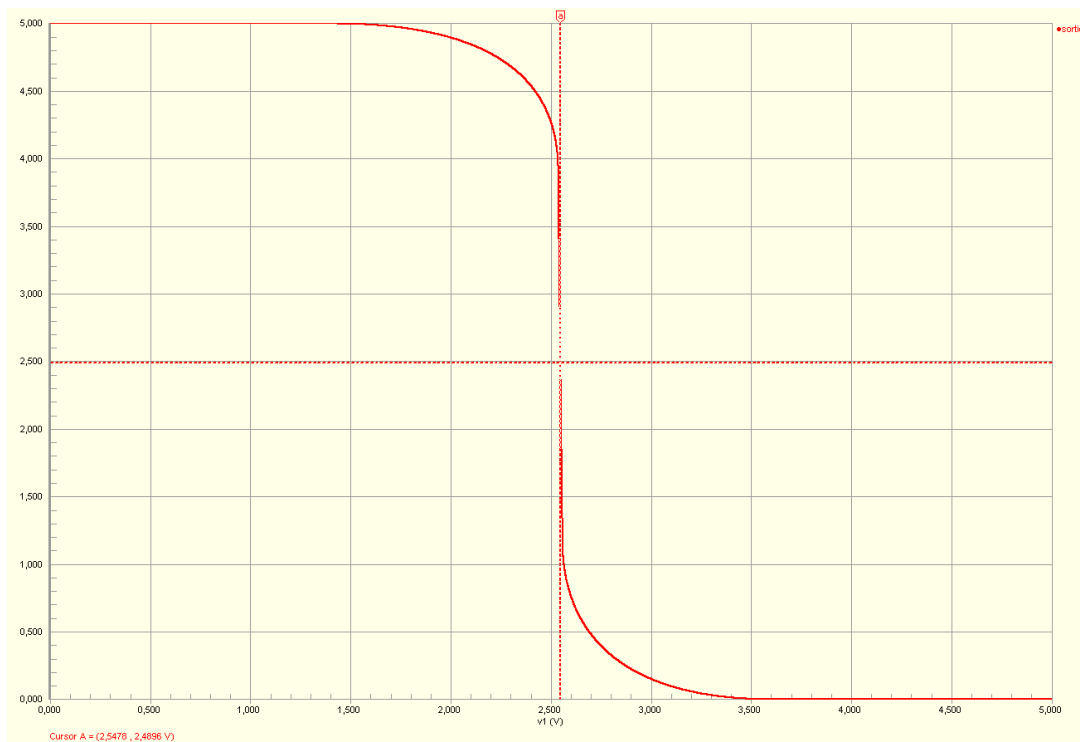
I.2. Polarisation dans la zone de fonctionnement linéaire

On étudie le circuit au repos (source enlevée en entrée) et avec une résistance placée entre l'entrée et la sortie. Cette résistance n'est parcourue par aucun courant car les résistances d'entrée des MOS sont infinies ; on la choisit de valeur élevée, soit $10 M\Omega$ (la justification en sera donnée dans les questions suivantes)

Que valent les tensions d'entrée et de sortie ? Où le point de fonctionnement correspondant se situe-t-il sur la caractéristique de transfert statique ?

Réponse : $V_e = V_s = 2.547 V$, le courant étant nul dans la résistance R_2 ; l'inverseur CMOS est polarisé à peu près au centre de la zone linéaire.





I.3. Fonctionnement en amplificateur

On connecte à l'entrée du circuit une source fournissant un signal sinusoïdal d'amplitude 5 mV et de fréquence 1 kHz, par l'intermédiaire d'une capacité de 100 nF ; à cette fréquence, le comportement des MOS est identique à celui en fonctionnement statique et la capacité se comporte comme un court-circuit. Par ailleurs, on suppose que le courant (composante continue et composante alternative) est toujours nul dans la résistance R_2 .

Quel est le rôle de la capacité ? Que vaut la tension à ses bornes ?

Déterminez les caractéristiques du signal de sortie (on supposera que la composante alternative du courant dans R_2 est nulle).

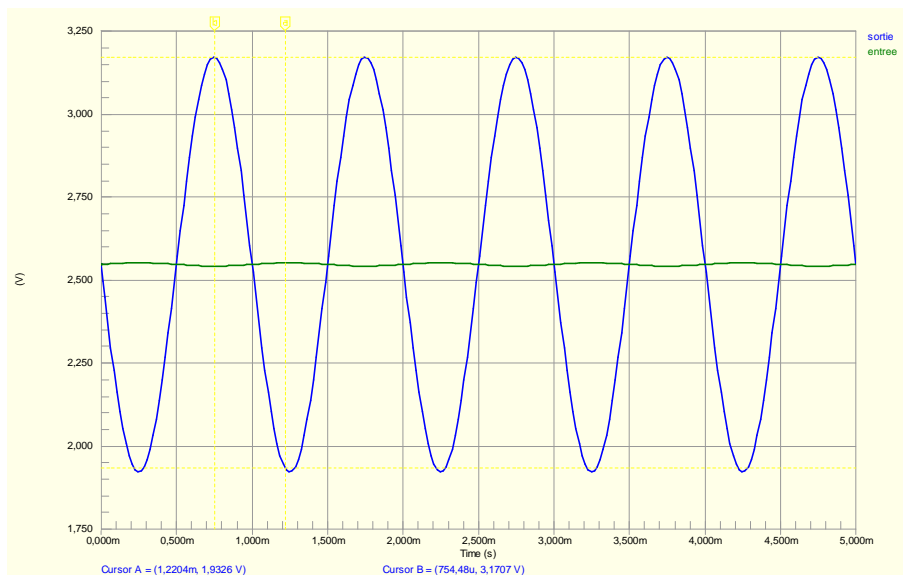
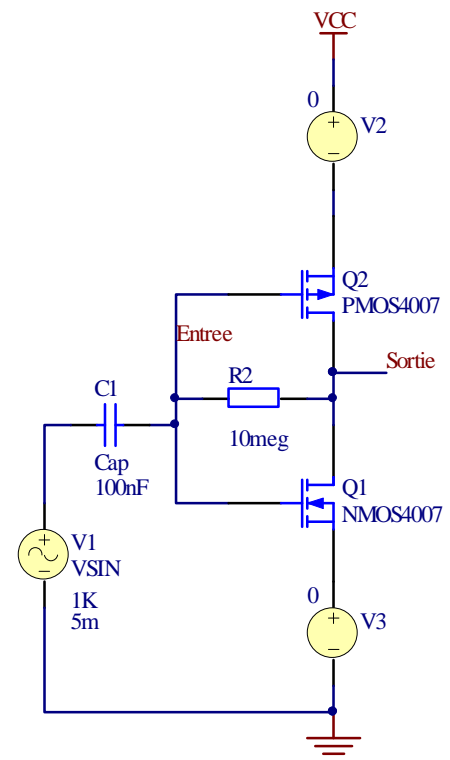
Proposez une modification du montage permettant d'obtenir une tension alternative en sortie. Proposez une autre modification permettant d'obtenir une amplification de -10 .

Réponses :

La capacité permet de ne pas modifier la polarisation (grandeurs continues). La tension à ses bornes est égale à la tension de polarisation du CMOS, soit environ 2.5 V.

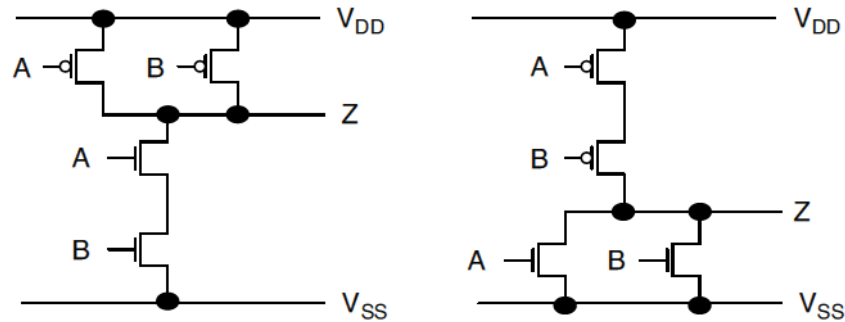
Le signal de sortie est sinusoïdal, de fréquence 1 kHz, d'amplitude crête à crête 1.24 V centré sur environ 2.5V et en opposition de phase avec le signal d'entrée. L'amplification est de -127 , ce qui correspond à la pente de la caractéristique de transfert statique.

Pour obtenir une tension alternative en sortie, on passe par un C-R (liaison capacitive à la charge résistive).



II. Portes logiques CMOS

Déterminez la fonction logique remplie par chacun de ces circuits et donnez leur symbole



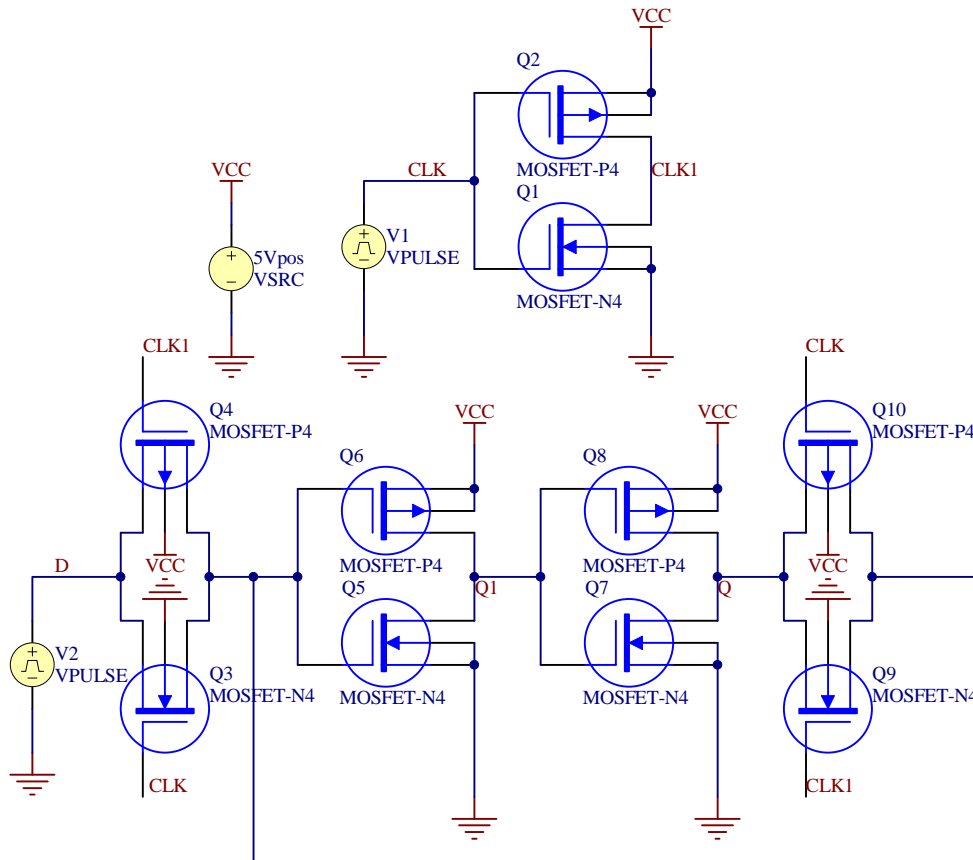
III. Bascule D-latch (à verrouillage)

Une possibilité pour réaliser des bascules en technologies CMOS est d'utiliser des commutateurs analogiques et des inverseurs.

Dans le circuit représenté ci-dessous, CLK (généralisé par la source de tension impulsionnelle V_1) représente le signal d'horloge de la bascule (CLK1 est son complément, nécessaire pour commander les commutateurs), tandis que D (généralisé par la source de tension impulsionnelle V_2) représente la donnée à mémoriser dans la bascule D.

Identifiez sur le schéma les transistors NMOS et les transistors PMOS, les inverseurs logiques et les commutateurs analogiques. Indiquez dans quel état (ouvert ou fermé) sont les commutateurs lorsque $CLK = 1$ et lorsque $CLK = 0$.

En déduire une description du fonctionnement dans chacun de ces deux cas.



Réponses

NMOS : Q1, Q3, Q5, Q7, Q9

PMOS : les autres !

Q3-Q4 et Q9-Q10 : commutateurs analogiques (toujours dans des états complémentaires) ; je crois qu'il y a 2 transistors par commutateur pour éviter l'augmentation de résistance due au pincement du canal ; ainsi, le NMOS assurera la conduction lorsque la donnée vaudra 0 (la tension grille-source est maximum) et le PMOS lorsque la donnée vaudra 1.

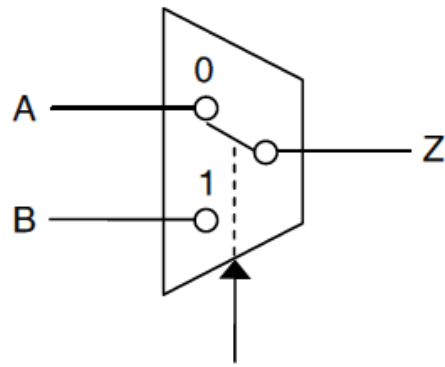
Q5-Q6 et Q7-Q8 : inverseurs logiques

Quand CLK = 1 , le commutateur Q3-Q4 est fermé et Q9-Q10 est ouvert : la sortie Q suit la donnée D, la bascule est transparente.

Quand CLK = 0 , le commutateur Q3-Q4 est ouvert et Q9-Q10 est fermé : la sortie Q est verouillée, la bascule est isolée de l'entrée donnée D.

IV. Multiplexeur (pas de lien direct avec la structure CMOS)

Soit un multiplexeur à 2 entrées de données A et B, une entrée de sélection Select et une sortie Z. Le fonctionnement est décrit ci-dessous.



Select (0 = (A → Z), 1 = (B → Z))

En déduire l'expression de Z en fonction de A, B et Select, ainsi qu'une réalisation à l'aide de 2 portes ET, une porte OU et un inverseur.

Réponses

$$Z = (\overline{\text{Select}}.A) + (\text{Select}.B)$$

