

Sorties numériques et analogiques

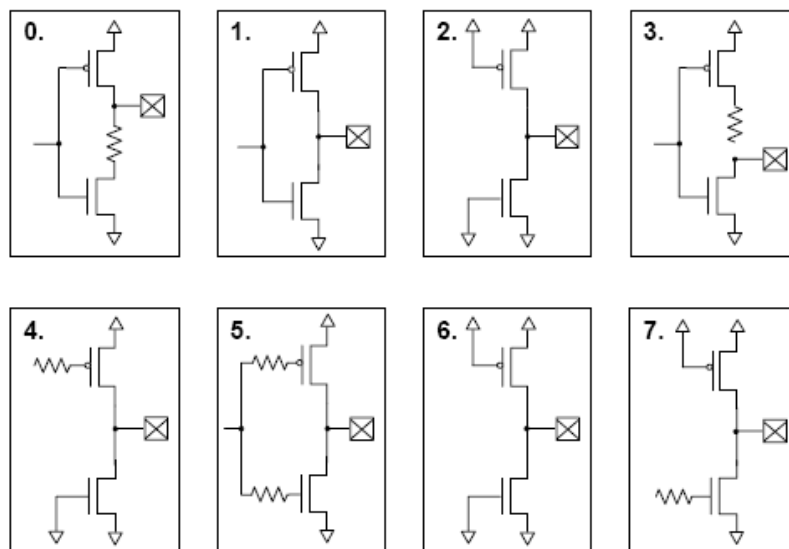
I. Introduction

Une des caractéristiques les plus importantes des circuits PSoC est la **grande variété de possibilités de configuration et d'utilisation des ses broches d'entrée/sortie**. Nous allons nous intéresser ici principalement aux **sorties numériques**.

L'**étage de sortie** est toujours constitué d'une **porte inverseuse CMOS**, constituée d'un MOS canal N (en bas) et d'un MOS canal P (en haut). Pour une tension d'entrée de la porte égale à 0 ou à V_{dd} (tension d'alimentation), il y a **toujours un transistor bloqué** (interrupteur ouvert) **et un transistor passant** (interrupteur fermé). A partir de cette base, un certain nombre de variantes sont proposées pour les entrées/sorties des circuits PSoC.

- mode Strong (1) : mode par défaut
- mode Strong Slow (5) : comme le précédent, mais en plus lent !
- modes High Z (2 et 6) : dans ce cas, les 2 transistors sont simultanément bloqués
- mode Resistive Pull Down (0)
- mode Resistive Pull Up (3)
- Open Drain, Drives High (4)
- Open Drain, Drives Low (7)

Nous ne nous intéresserons pas ici aux 2 derniers modes.



II. Sorties numériques

Programmez votre circuit PSoC en utilisant Lab_1A.zip, téléchargeable depuis Mootse.

II.1. Etude avec une horloge CPU à 3 MHz

Vérifiez que les "Global Resources" sont configurées comme indiqué ci-contre.

Dans la fenêtre *pinout*, vérifiez que les bits du port P2 sont configurés comme ci-dessous.

<input type="checkbox"/> P2[0]	Bit0, StdCPU, Strong Slow, DisableInt
<input type="checkbox"/> P2[1]	Bit1, StdCPU, Strong, DisableInt
<input type="checkbox"/> P2[2]	Bit2, StdCPU, High Z Analog, DisableInt
<input type="checkbox"/> P2[3]	Bit3, StdCPU, High Z, DisableInt
<input type="checkbox"/> P2[4]	Bit4, StdCPU, Pull Up, DisableInt
<input type="checkbox"/> P2[5]	Bit5, StdCPU, Pull Down, DisableInt
<input type="checkbox"/> P2[6]	Bit6, StdCPU, Pull Up, DisableInt
<input type="checkbox"/> P2[7]	Bit7, StdCPU, Pull Down, DisableInt

Global Resources	Value
CPU_Clock	3_MHz (SysClk/8)
32K_Select	Internal
PLL_Mode	Disable
Sleep_Timer	512_Hz
VC1= SysClk/N	1
VC2= VC1/N	1
VC3 Source	SysClk/1
VC3 Divider	1
SysClk Source	Internal 24_MHz
SysClk*2 Disable	No
Analog Power	SC On/Ref Low
Ref Mux	(Vdd/2)+/-BandGap
AGndBypass	Disable
Op-Amp Bias	Low
A_Buff_Power	Low
SwitchModePump	OFF
Trip Voltage [LVD (SMP)]	4.81V (5.00V)
LVDThrottleBack	Disable
Supply Voltage	5.0V
Watchdog Enable	Disable

On remarquera que l'attribut **Name** de chacune des broches du circuit peut être modifié à la convenance de l'utilisateur (ici, bit0 à Bit7).

Seul un **User Module DAC8** est implanté dans les blocs analogiques et numériques configurables du PSoC, mais il n'est pas, dans un premier temps, utilisé (la ligne de programme qui y fait référence dans la boucle est en commentaires). **Les signaux qui vont être générés le seront donc entièrement par logiciel, à partir la CPU_Clock à 3 MHz, elle même générée par division de fréquence par 8 de l'horloge SysClk à 24 MHz du PSoC.**

Générez les fichiers de configuration, puis passez dans la fenêtre *main.c* et vérifiez que vous avez le programme ci-dessous.

```
void main()
{
    BYTE value =0;
    while(1)
    {
        PRT2DR = value ;
        // DAC8_1_WriteBlind(value);
        //DAC8_1_WriteStall(value);
        value = value + 1 ;
    }
}
```

PRT2DR représente le port d'entrées/sorties n°2 du PSoC. *Quelle est la fonction remplie par ce programme ?*

Compilez le programme, puis générez le fichier .hex (build) et programmez le PSoC.

II.1.a. Sorties paramétrées en pull-up (Bit6 et Bit4)

Etude à vide

Observez les sorties 6 et 4 à vide ; relevez rapidement leurs oscillogrammes, comparez les fréquences des 2 signaux et expliquez.

Etude sur charge résistive

Chargez la sortie Bit6 avec une résistance externe de 5.6 k Ω (connectée entre cette sortie et la masse 0V). Quelles sont les valeurs de la tension de la sortie Bit6 au niveau haut et au niveau bas ? En déduire les schémas équivalents correspondant.

Etude sur charge capacitive

Chargez la sortie Bit6 avec un condensateur C de 18 nF (connectée entre cette sortie et la masse 0V).

Relevez les oscillogrammes correspondants ainsi que la valeur du temps de montée t_m de 10 à 90 %. En assimilant le comportement à celui d'un 1^{er} ordre passe-bas, déterminez la valeur de la constante de temps du régime transitoire et déduisez-en une valeur de la résistance de sortie à l'état haut.

Sorties pull-up reliées

Reliez Bit6 et Bit4 ; quelle est la fonction réalisée par cette connexion ?

II.1.b. Sorties paramétrées en pull-down (Bit7 et Bit5)

Etude à vide

Observez les sorties 7 et 5 à vide ; relevez et comparez leurs fréquences.

En déduire la durée d'exécution d'une boucle du programme et le nombre de cycles correspondant de l'horloge processeur (CPU_Clock).

Etude sur charge résistive

Chargez la sortie Bit7 avec une résistance de 5.6 k Ω , connectée entre cette sortie et la masse 0V, puis entre cette sortie et l'alimentation $V_{dd} = 5$ V. Quelles sont dans chaque cas les valeurs de la tension de la sortie Bit7 au niveau haut et au niveau bas ? En déduire les schémas équivalents correspondants.

Etude sur charge capacitive

Chargez la sortie Bit5 avec un condensateur C de 18 nF (connectée entre cette sortie et la masse 0V).

Relevez les oscillogrammes correspondant ainsi que la valeur du temps de descente t_d de 90 à 10 %. En assimilant le comportement à celui d'un 1^{er} ordre passe-bas, déterminez la valeur de la constante de temps du régime transitoire et en déduire une valeur de la résistance de sortie à l'état bas.

Sorties pull-down reliées

Reliez Bit7 et Bit5 ; quelle est la fonction réalisée par cette connexion ?

Que se passe-t-il si on relie ensemble une sortie pull-up et une sortie pull-down ?

II.1.c. Sorties paramétrées en High Z (Bit3 et Bit2)

Qu'observe-t-on sur les sorties paramétrées en High Z (Bit3) et High Z Analog (Bit2) ? A quelles utilisations ces paramétrages doivent-ils être réservés ?

II.1.d. Sorties paramétrées en Strong (Bit1) et Strong Slow (Bit0)

Vérifiez rapidement que les niveaux et les régimes transitoires ne sont pas modifiés quand on charge ces sorties par une résistance (5.6 k Ω) ou une capacité (18 nF) reliée à la masse. Que vaut la résistance interne dans chacun de ces états ?

En synchronisant l'oscilloscope sur Bit0 et en dilatant les oscillogrammes sur un front montant puis sur un front descendant, essayez de mettre en évidence la différence entre ces 2 paramétrages.

Que se passe-t-il si on relie les sorties Strong et Strong Slow ?

III. Sortie analogique et influence de la fréquence de CPU_Clock

III.1. Génération d'une sortie analogique

On va maintenant mettre en service le DAC 8 bits en validant dans le programme la ligne `DAC8_1_WriteBlind(value)`. A chaque passage dans la boucle, le contenu de `value` est écrit dans le DAC, qui va le convertir en une tension analogique disponible sur la broche P0_3.

Faites la modification, compilez, "Buildez" et programmez le PSoC. Observez à l'oscilloscope les signaux obtenus sur P2_7 et P0_3.

Pourquoi leurs fréquences sont-elles égales ? Que vaut cette fréquence commune ? En déduire la durée d'un passage dans la boucle

*Entre quelles valeurs la tension en dents de scie du DAC évolue-t-elle ? Justifiez en examinant le paramétrage des **Global Resources**.*

III.2. Influence de la fréquence de CPU_Clock

Dans la fenêtre des Global Ressources, passez la CPU_Clock à SysClk/1, soit 24 MZ.

Relancez toute la chaîne de génération et observez à l'oscilloscope les signaux obtenus sur P2_7 et P0_3.

Que vaut leur fréquence ? Comparez au cas précédent et expliquez.