La CEM dans les circuits intégrés

I. Introduction

Depuis une dizaine d'années, les circuits intégrés rejoignent les appareils et les systèmes dans le domaine de la CEM.

En effet, l'apparition des nouvelles matrices de portes logiques à haute densité (plusieurs centaines de milliers de portes à plusieurs millions de portes), les nouvelles technologies (0,25 nm) et les méthodes de conception haut niveau de type SOC (System On Chip), autorisent une forte intégration de fonctions complexes et rapides tels que processeurs de signaux numériques spécialisés, chaînes de traitement de signal, séquenceurs complexes d'algorithme de télécommunications, etc. Ils sont donc le siège de commutation simultanée de milliers de bascules, de variations rapides de courant sur les différents rails d'alimentation, de variations de potentiel sur les alimentations internes et externes qui peuvent être de l'ordre de grandeur des seuils logiques des portes.

En effet, l'évolution des performances des circuits intégrés grâce aux progrès de la lithogravure s'accompagnent de plusieurs effets parasites dont les conséquences sont particulièrement nuisibles : en particulier, l'augmentation de la complexité des puces s'accompagne d'une plus grande puissance consommée, d'un niveau d'émission de parasites plus grand, et d'une plus grande fragilité aux agressions d'origine électromagnétique.

Le niveau plus élevé d'émission de parasites est bien sûr lié à l'augmentation de la puissance consommée, mais aussi à l'augmentation de la complexité des circuits intégrés. Même si les progrès en lithogravure ont permis de réduire la tension d'alimentation et le pic de courant élémentaire de chaque porte, le temps de commutation plus rapide et l'intégration de centaines de millions de portes produisent à l'intérieur des circuits intégrés des commutations synchrones avec les signaux d'horloge de plusieurs dizaines d'ampères.

Tableau 1 – Évolution des technologies et leurs conséquences

Année	1992	1996	2000	2002	2004	2010
Technologie	0,7 µm	0,35 µm	0,18 µm	0,12 µm	90 nm	< 50 nm
Alimentation ..... (V)	5	3,3	1,9	1,2	1	0,5
Aire maximale ..... (mm^2)	14 × 14	18 × 18	20 × 20	22 × 22	25 × 25	30 × 30
Niveau d'interconnexions	2	5	6	7	8	9
Fréquence d'horloge ..... (MHz)	100	300	800	1 500	3 500	10 000
Nombre maximal de plots	350	800	1 500	1 800	3 500	6 000
Interconnexions	Alu	Tu + Alu	Tu/Alu/	Cu	Cu	Cu
Intégrité du signal						
Résistance de 1 mm d'interconnexion ..... (Ω)	30	500	2 000	1 500	2 500	5 000
Diaphonie maximale pour 1 mm d'interconnexion (% d'alimentation)	15	25	40	35	45	65
Modèle de couplage	Linéaire C	Linéaire C, R	3D R, C	3D C, R, L	3D C, R, L Maxwell	3D C, R, L Maxwell

Compatibilité électromagnétique						
Émission conduite ..... (µV)	30	50	70	90	95	100
Fréquence de travail : du DC à	120 MHz	300 MHz	1 GHz	3 GHz	10 GHz	30 GHz
Susceptibilité conduite ..... (A)	100 mA	50 mA	30 mA	10 mA	5 mA	1 mA
Modèle E/S	n.a	IBIS v1	IBIS v2	IBIS v3	IBIS-ml	IBIS-ml
Modèle du cœur	n.a	n.a	IMIC	ICEM v1	ICEM v2	ICEM v3
Modèle du MOS	Level 3	BSIM	BSIM2 MM9	BSIM3 MM9	BSIM4	BSIM4

Afin d'assurer la compatibilité avec des tensions « standards », deux types d'oxydes ont été utilisés sur une même puce, à partir de la génération 0,35 µm : un oxyde fin, peu résistant aux fortes tensions est utilisé pour le cœur de la puce pour réduire sa consommation ; un oxyde épais, supportant des tensions « élevées » telles que 3,3 V ou 2,5 V, est utilisé pour les parties périphériques de la puce réalisant l'interface avec le monde extérieur.

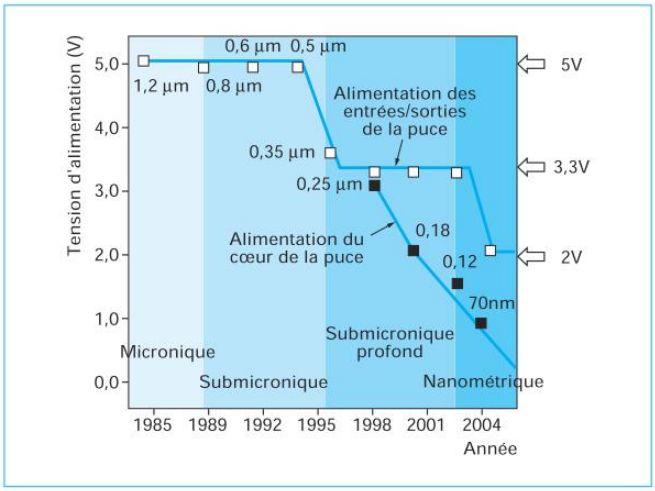


Figure 2 – Évolution de la tension d'alimentation avec la réduction des dimensions

Une tension d'alimentation faible à l'intérieur de la puce veut aussi dire une marge de tension de commutation plus faible, donc une plus grande sensibilité aux bruits. Les circuits intégrés sont donc de plus en plus fragiles vis-à-vis d'agressions électromagnétiques conduites par les alimentations ou les entrées/sorties, voire directement captées par rayonnement sur le circuit intégré lui-même.

II. Modélisation de l'émission parasite

La modélisation de l'émission parasite d'un circuit intégré est une tâche d'autant plus délicate que le circuit est complexe et que ses composantes internes sont difficilement accessibles. Il est cependant possible de construire un modèle à base d'éléments simples (résistances, inductances, capacités, générateurs de courants) qui permettent une évaluation relativement précise des spectres tels qu'ils sont mesurés sur le composant.

La modélisation de l'émission conduite concerne principalement la prédiction de l'énergie parasite injectée par le circuit intégré dans les alimentations. La mesure IEC 61967-4 consiste à récupérer une partie de l'énergie aux bornes d'une résistance de 1 Ω . On obtient une image du courant au moyen d'un oscilloscope ou d'un analyseur de spectre. La concordance temps/fréquence de ces deux mesures est en général très bonne. On peut donc s'intéresser soit au domaine temporel, soit au domaine fréquentiel, bien que ce dernier soit en général beaucoup plus riche en information et commode à exploiter. Un exemple de spectre mesuré sur un composant programmable de type microcontrôleur 16 bits est reporté sur la figure 3.

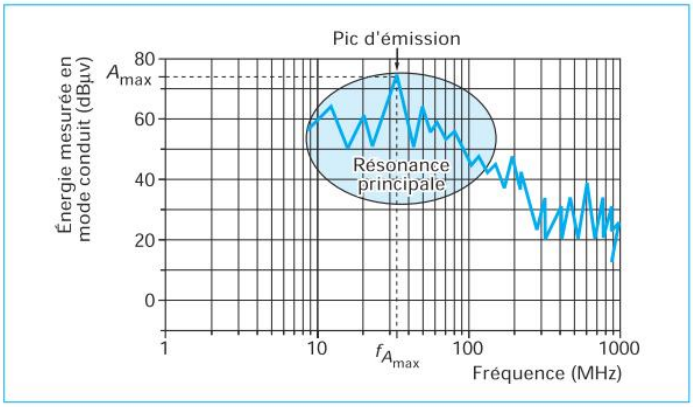


Figure 3 – Spectre mesuré en mode conduit sur un microcontrôleur 16 bits cadencé à 8 MHz

On constate la présence d'un nombre important d'harmoniques, depuis la fréquence du cœur (8 MHz) jusqu'à plusieurs centaines de mégahertz. Le pic d'émission, noté A_{max}, vaut environ 75 dB µV.

La fréquence correspondant à ce pic, F_{Amax}, est située à 32 MHz. On peut constater que les harmoniques de 8 à 60 MHz forment un groupe principal d'émission d'énergie conduite, qui va ensuite en diminuant en allant vers les hautes fréquences. Nous devons donc tenter d'expliquer le niveau d'énergie obtenu et la raison de cette résonance à 32 MHz.

II.1. Courant élémentaire

Supposons une porte élémentaire de type inverseur et observons le courant qui circule à chaque commutation. Sur la figure 4.a, le courant venant de l'alimentation positive V_{DD} charge la capacité du nœud de sortie de l'inverseur. Sur la figure 4b le courant circule par le transistor nMOS vers la masse V_{SS}.

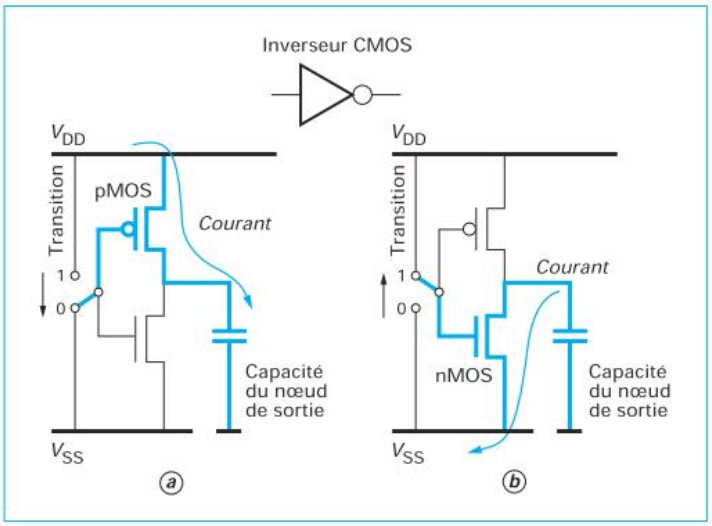
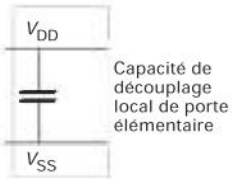


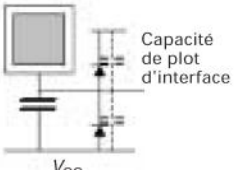
Figure 4 – Consommation élémentaire d'une porte de type inverseur CMOS

II.2. Capacité de découplage du circuit intégré

La capacité de découplage qui existe entre la tension d'alimentation positive et la masse du circuit joue un rôle fondamental dans les mécanismes d'émission parasite. Cette capacité est la somme d'une multitude de capacités élémentaires que l'on trouve dans chaque structure active ou passive. Citons deux sortes de capacités de découplage : la capacité entre les rails V_{DD} et V_{SS} au niveau des portes logiques, et la capacité des plots d'interface.



La capacité au niveau d'une porte élémentaire est une somme de capacités intermétal et de capacités de jonctions, inhérentes au dessin même de la porte. Le tableau 2 donne une évaluation de cette capacité par porte élémentaire.



Si, en technologie CMOS 0,12 µm, la capacité estimée est autour de 4 fF par porte, un circuit de 10 millions de portes logiques aurait une capacité de découplage intrinsèque de 40 nF, ce qui est relativement important. De même, chaque plot d'entrée/sortie représente une capacité de 1 pF environ, liée aux grandes surfaces de métal utilisé et aux importantes surfaces de jonction des dispositifs de protection contre les surtensions et décharges électrostatiques.

Tableau 2 – Évolution des tensions d'alimentation, de la densité des portes, du pic du courant et des capacités par porte en fonction de la technologie

Génération technologique	Tension d'alimentation (V)	Densité de portes (nombre portes/mm²)	Pic de courant (mA/porte)	Capacité (fF/porte)	Capacité de découplage (fF/porte)
1,2 µm (1985)	5	1 500	1,1	60	10
0,8 µm (1990)	5	4 000	0,9	40	8
0,5 µm (1993)	5	7 000	0,75	30	7
0,35 µm (1995)	5-3,3	13 000	0,6	25	6
0,25 µm (1997)	5-2,5	18 000	0,4	20	5
0,18 µm (1999)	3,3-2,0	22 000	0,3	15	5
0,12 µm (2001)	2,5-1,2	28 500	0,2	10	4
90 nm (2004)	2,5-1,0	45 000	0,1	7	4

II.3. Résonance élémentaire

La résonance élémentaire observée sur le spectre de la figure 6 peut être modélisée par la combinaison de l'inductance du chemin d'accès aux broches d'alimentation et de la capacité interne du circuit intégré.

Sur le schéma de la figure 6, on note la présence du générateur de courant I_b qui représente la somme des courants élémentaires de chaque porte lors de leur commutation, de la capacité de découplage C_d qui représente la somme des capacités de découplage élémentaires au niveau des portes logiques, des rails et des plots d'entrée/sortie, ainsi que des inductances d'accès aux alimentations extérieures.

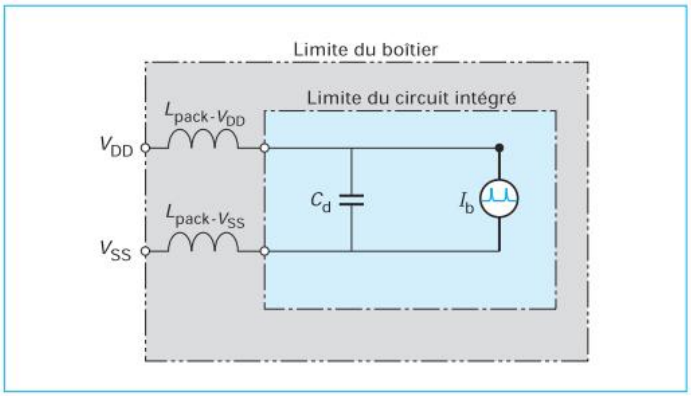


Figure 6 – Modèle simple d'émission d'un circuit intégré comportant la capacité de découplage C_d, le générateur de courant interne I_b et les inductances d'accès aux alimentations

Le modèle simple peut être amélioré par l'ajout d'une résistance série et d'une inductance sur V_{DD} et sur V_{SS}, ainsi que par le découpage de la capacité en deux parties distinctes comme le montre la figure 8. Cette disposition est très importante d'un point de vue électrique car elle permet de prédire l'effet de seconde résonance très souvent observée en mesure. Dans les mesures de la figure 9, le modèle avec les inductances et résistances série permet de s'approcher des mesures sur une large bande de fréquence.

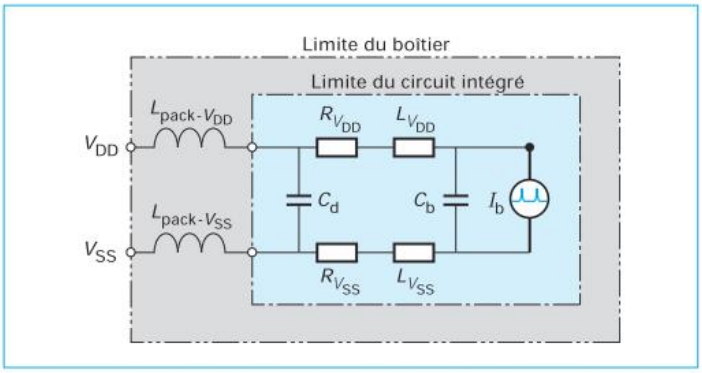


Figure 8 – Modèle interne amélioré comportant deux résistances série $R_{V_{DD}}$ et $R_{V_{SS}}$, et deux inductances série $L_{V_{SS}}$ et $L_{V_{DD}}$

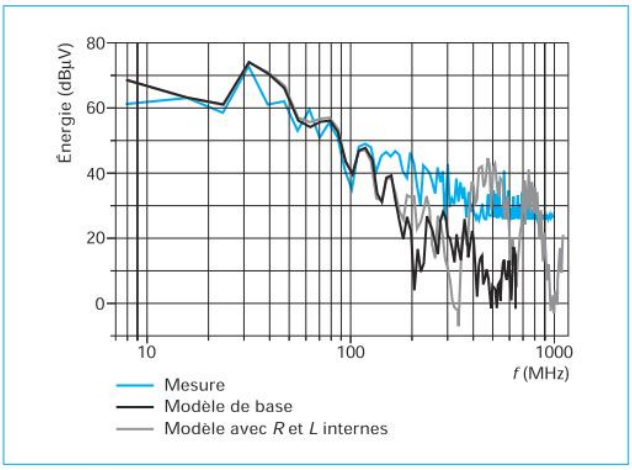


Figure 9 – Mesure avec modèle amélioré

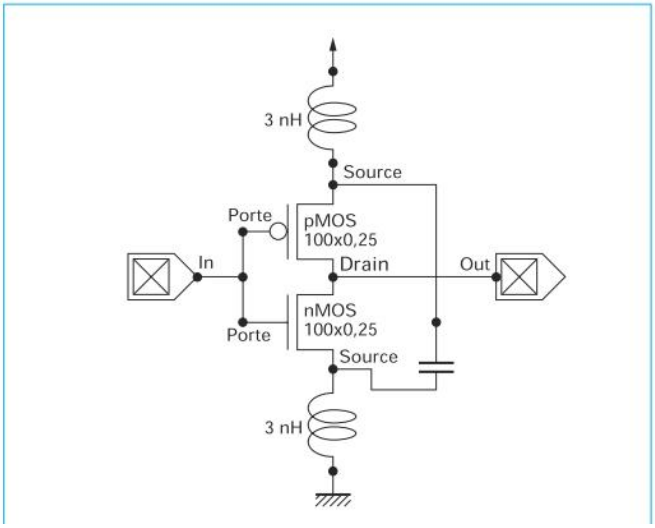
III. Origines des émissions parasites des circuits intégrés

III.1. Origine des perturbations

Dans le secteur de l'électronique embarquée, à application automobile ou aéronautique, les besoins en puissance de calcul nécessitent l'utilisation de processeurs de plus en plus complexes et puissants. L'utilisation de microcontrôleurs 32 bits, cadencés à 500 MHz ou plus, intégrant des protocoles de communication de haute performance tend à se généraliser.

L'augmentation de la puissance de calcul et du débit de communication s'accompagne de multiples problèmes d'intégrité de signal. Les processeurs, essentiellement synchrones, se comportent en commutateurs de courants internes pouvant atteindre des valeurs considérables (plusieurs ampères par nanoseconde), dont les conséquences peuvent être le parasitage de certaines bandes de fréquence, pouvant altérer les communications RF, voire les systèmes de sécurité (airbag, ABS, …), par couplage conduit ou rayonné. Il est primordial de ne pas parasiter des bandes de fréquence telles que celles aux alentours de 100 MHz (radio FM), de 430 MHz (communications radio locale) et de 900 MHz et 1 800 MHz (téléphonie mobile).

Ces émissions parasites sont principalement dues au courant consommé lors de l'activation de chaque porte du circuit intégré. Prenons l'exemple d'un inverseur CMOS (voir figure 4) : lors du passage de sa sortie du niveau logique bas au niveau logique haut, un courant I_{DD} véhiculé par l'alimentation V_{DD} du circuit charge la capacité en sortie de l'inverseur. Inversement, lors du passage de la sortie du niveau logique haut au niveau logique bas, la capacité en sortie de l'inverseur décharge un courant I_{SS} dans la masse.



La variation d'amplitude brutale et rapide du courant traversant les rails d'alimentation provoque d'importantes fluctuations de la tension

d'alimentation à cause de l'inductance parasite des pistes du circuit intégré, des fils de soudure «bonding » connectant la puce à son boîtier, des broches « lead » du boîtier lui-même, ainsi que des pistes du circuit imprimé « PCB – Printed Circuit Board – tracks ».

La combinaison de centaines de milliers de portes commutant au même moment, chose courante dans les circuits de grande taille tels que les microprocesseurs, entraîne des pics de courant consommé d'amplitude très élevée à l'origine de l'émission parasite du circuit. Le tableau 2 illustre l'augmentation de la densité d'intégration en fonction de l'évolution technologique.

Même si l'amplitude du pic de courant consommé par une porte est en constante diminution, le nombre de portes commutant simultanément augmente, en particulier lorsque de nombreuses fonctions travaillent en parallèle sur un même circuit. De plus, la tension d'alimentation diminuant de technologie en technologie, l'influence du courant consommé sur l'amplitude des fluctuations de cette tension d'alimentation devient prépondérante.

D'autre part, avec l'évolution technologique vers les petites dimensions, les fréquences d'horloge et de fonctionnement interne ne cessent d'augmenter. Le temps de montée τ des signaux d'horloge est réduit.

Le spectre correspondant est alors plus riche en hautes fréquences (la fréquence de coupure à 40 dB/décade de ce spectre est plus élevée), et donc, les signaux parasites générés et le rayonnement seront plus importants.

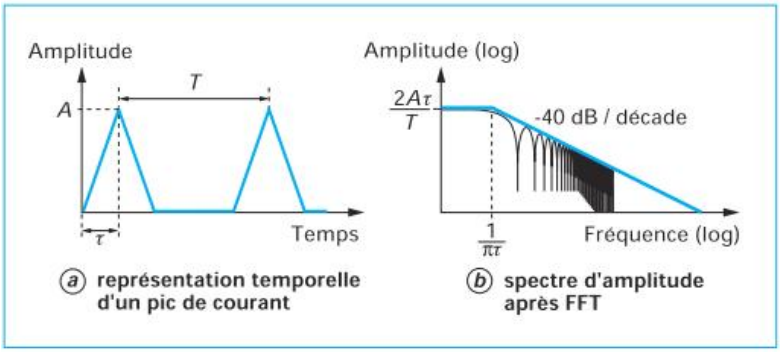


Figure 12 – Influence de la fréquence d'horloge sur le courant consommé

III.2. Mécanismes d'émission

Émission conduite par les alimentations (figure 13a)

Les pics de courant consommé, dont une petite partie est « atténuée » par les capacités de découplage, sont directement propagés à l'extérieur du circuit par le boîtier et vers d'éventuels équipements connectés aux mêmes alimentations.

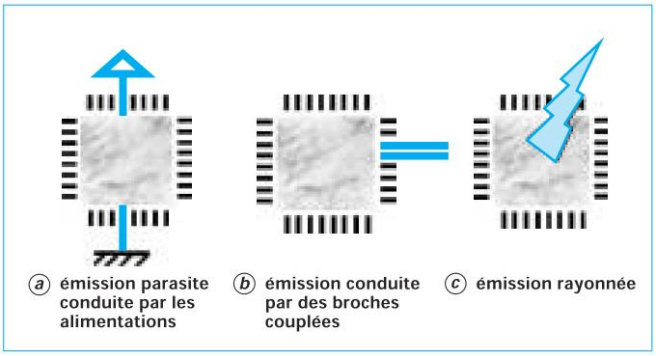


Figure 13 – Trois types d'émission parasite

Couplage par les plots d'entrée/sortie (figure 13b)

On peut retrouver des pics de courant sur d'autres broches du circuit intégré par couplage avec les broches d'alimentation voisines.

Émission rayonnée (figure 13c)

Les fluctuations de courants sur les alimentations provoquent l'apparition de champs magnétiques au-dessus de la puce. Ces champs peuvent générer des perturbations sur les équipements environnants par le phénomène inverse.

IV. Méthodes de mesure CEM des circuits intégrés

IV.1 Mesure de un ohm

Cette technique normalisée permet de mesurer le courant consommé circulant à travers une broche d'alimentation d'un circuit intégré.

Le courant est déduit de la tension mesurée aux bornes d'une résistance R_1 de 1 Ω , placée entre le V_{SS} du circuit intégré et la masse (figure 14).

La résistance R_2 de 49 Ω permet une adaptation d'impédance entre le point de mesure et l'entrée du matériel de mesure symbolisé par la prise SMB. Le condensateur C permet d'éliminer la composante continue du signal. Toutefois sa présence peut être néfaste et apporter des pertes en hautes fréquences. Cette méthode donne des résultats très intéressants jusqu'aux environs de 1 GHz.

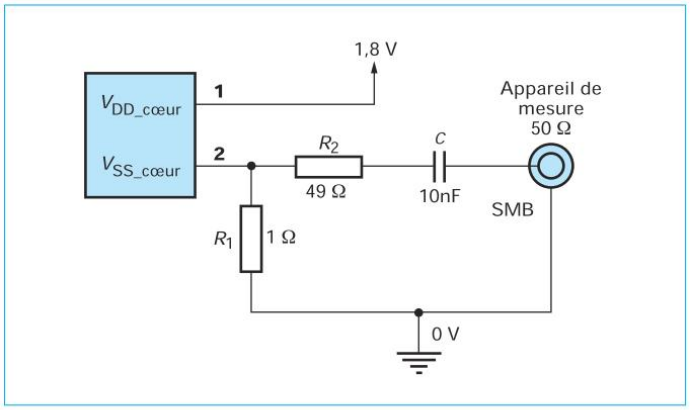


Figure 14 – Schéma de branchement de la technique de mesure 1 Ω (méthode VDE)

IV.2 Mesure TEM

TEM signifie Transverse Electromagnetic Mode. Cette technique normalisée (IEC 61967-2) permet de mesurer le rayonnement électromagnétique d'une carte électronique ou d'un circuit intégré.

L'échantillon se place au-dessus de l'ouverture d'une cellule en métal à l'intérieur de laquelle on trouve le septum, une plaque de métal isolée électriquement de la cellule, qui « collecte » les signaux émis comme le ferait une antenne (figure 15). Ces derniers sont ensuite dirigés, via une prise BNC (British Naval Connector) et un câble coaxial, vers un analyseur de spectre.

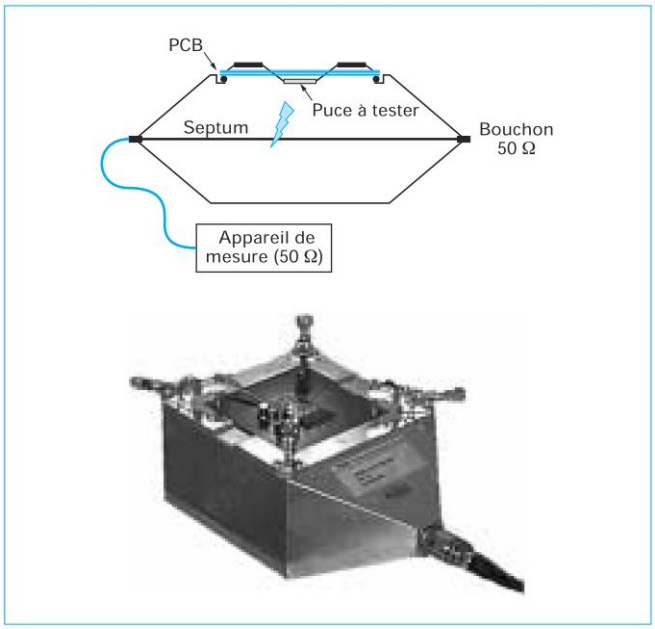


Figure 15 – Représentation et photographie d'une cellule TEM

Le circuit intégré seul est placé sur la première couche d'un circuit imprimé « 4 couches » de dimension 10 cm × 10 cm. Cette première couche, qui n'est autre qu'un plan de masse, sera insérée dans la cellule TEM face au septum. Une fois inséré dans la cellule, le circuit est complètement isolé. La couche suivante est dédiée à l'alimentation. Les deux dernières couches servent à véhiculer les signaux. La face externe permet de monter les composants annexes et brancher d'éventuels appareils de mesure, les alimentations et les générateurs de signaux.

Cette méthode est limitée en fréquence à 1 GHz. Au-delà, les ondes stationnaires générées à l'intérieur de la cellule TEM engendrent des pertes liées aux dimensions de la cellule. Les harmoniques, supérieures au gigahertz, émises par un circuit intégré sont alors sévèrement atténuées.

IV.3. Mesure GTEM

Pour des fréquences allant du gigahertz jusqu'à 18 GHz, la cellule TEM sera remplacée par une cellule GTEM, beaucoup plus encombrante et de forme différente (figure 17), le principe de mesure restant inchangé. Comme pour la cellule TEM, la GTEM est adaptée 50 Ω . On trouve plusieurs tailles de GTEM ayant des performances différentes. À la différence de la cellule TEM, la GTEM comporte des absorbants pour prévenir la réflexion des ondes.

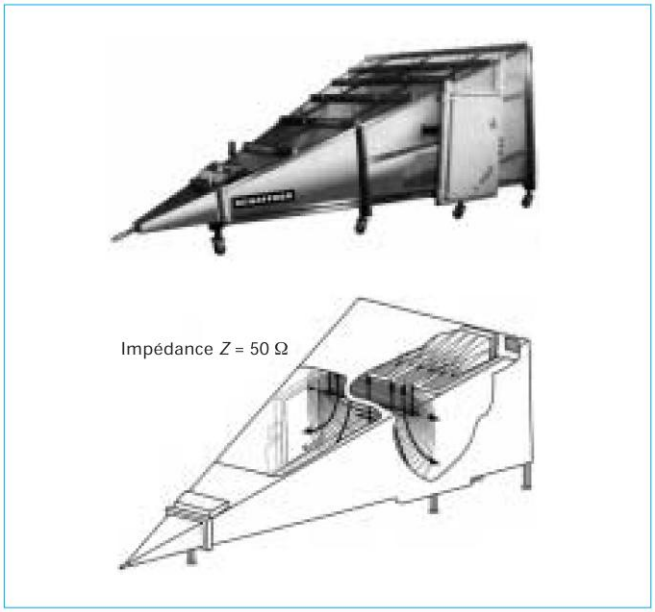


Figure 17 – Représentation et photographie d'une cellule GTEM

IV.4. Mesure par sonde

Cette méthode permet de détecter les champs magnétiques à proximité de la surface d'un circuit intégré (champ proche). Une sonde de 20 mm de diamètre, comportant un écran électrostatique pour s'affranchir du champ électrique (figure 18), balaye la surface du circuit afin de détecter les zones d'émission. Cette méthode, moins précise que les autres, a surtout pour but de localiser les parties sensibles du circuit afin d'aider les concepteurs. Cette technique permet de mesurer des signaux dont les fréquences sont comprises entre 1 MHz et 1 GHz.

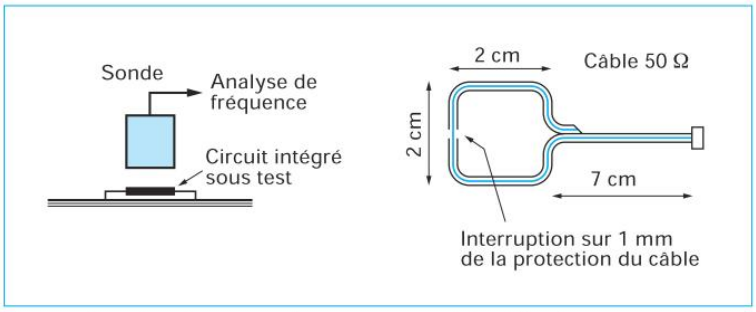


Figure 18 – Sonde magnétique servant à identifier les zones d'émissions sur la surface d'un circuit intégré

V. Vers un modèle des circuits intégrés : ICEM

Les évolutions technologiques des composants électroniques et la complexité croissante des équipements ont rendu nécessaire l'utilisation d'outils de prédiction de la compatibilité électromagnétique. La précision de ces simulations repose avant tout sur la qualité des modèles de composants.

On détaillera ici les modèles jusqu'à présent utilisés pour les simulations de CEM, en montrant les insuffisances qui ont conduit à l'élaboration d'un modèle spécifique d'émission des circuits intégrés. Ce modèle, nommé ICEM, est ensuite explicité. Il fait actuellement l'objet d'un processus de normalisation au niveau international.

V.1. Modèles existants : IBIS et IMIC

V.1.a. Modèle IBIS

Le modèle IBIS (Input/Output Buffer Information Specification) a été créé par Intel pour son processeur 80386 afin de pouvoir fournir à ses clients les caractéristiques des circuits d'entrée/sortie, sans révéler d'information technologique. Ce type de modèle est public depuis juin 1993 (version 1.1) ; il est devenu un standard de l'Electronic Industry Association (EIA) en mars 1995.

Le modèle IBIS est un modèle comportemental qui caractérise uniquement les entrées/sorties des composants numériques. Il permet de décrire un étage d'entrée/sortie sans avoir son schéma électrique.

Ce modèle est particulièrement destiné à la simulation de cartes ou de systèmes complets (les logiciels de CAO de cartes électroniques intègrent souvent des modèles et des outils de simulation IBIS), notamment au niveau de l'intégrité de signal (synchronisation, délais, diaphonie...). Il s'utilise également pour la prédiction des émissions rayonnées des cartes.

Le fichier IBIS contient ainsi, dans un format ASCII, toutes les informations sur chacun des composants de ces modèles :

- le boîtier : $R_{boîtier}$, $L_{boîtier}$, $C_{boîtier}$;
- les entrées et sorties : $C_{composant}$;
- les tableaux I(V) pour les diodes de protection reliées à la masse et au V_{DD} ;
- les tableaux I(V) pour le pull-up et le pull-down en sortie de l'inverseur ;
- les tableaux des temps de montée $(dV/dt)_r$ et de descente $(dV/dt)_f$;

Pour la plupart de ces données, le modèle nécessite des valeurs typiques, minimales et maximales.

Modèle IBIS d'une entrée

Le modèle d'une entrée (figure 20) est généralement constitué des deux éléments suivants :

- la liaison entre la puce et la broche externe (boîtier) : elle se caractérise par une capacité de boîtier $C_{boîtier}$ (par rapport au plan de masse, le plus souvent celui de la carte), une résistance $R_{boîtier}$ et une inductance $L_{boîtier}$ incluant la piste du boîtier et le fil d'or de liaison puce-boîtier (bonding).

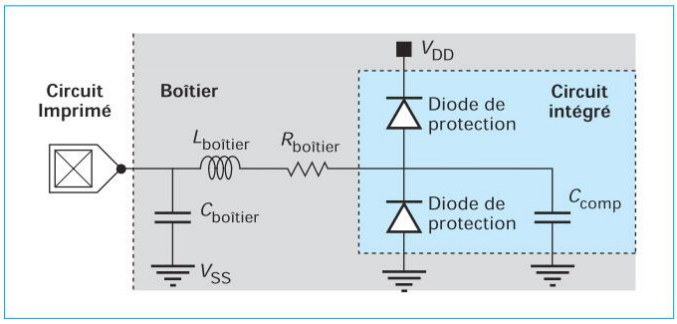


Figure 20 – Modèle IBIS d'une entrée

- l'étage d'entrée de la puce : il est modélisé par deux diodes de protection reliées à la masse et à l'alimentation V_{DD} et par la capacité d'entrée du composant C_{comp}.

Modèle IBIS d'une sortie

Le modèle IBIS donne la courbe de réponse I(V) de la sortie correspondant, pour les buffers, à $V_G = V_{DD}$ (figure 22). Cela permet une simulation assez précise tout en préservant le caractère confidentiel des paramètres technologiques et en étant indépendant du modèle et de son implémentation logicielle.

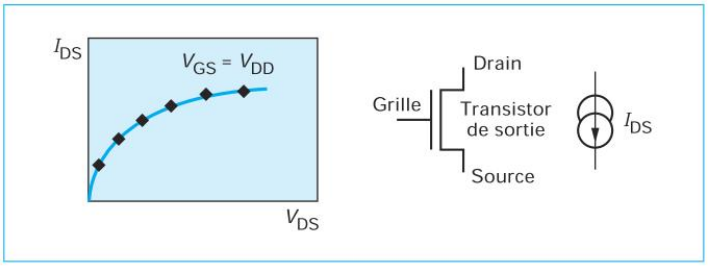


Figure 22 – Type de caractéristique requise pour identifier la loi *I* (*V*) au format IBIS

Ces données peuvent être déterminées :

- soit par la simulation (réalisée par le fondeur dans la configuration de type DC de $I_{DS}(V_{DS})$ pour $V_{GS} = V_{DD}$) (figure 22) ;
- soit par la mesure, en appliquant une tension sur la sortie et en mesurant le courant (figure 23).

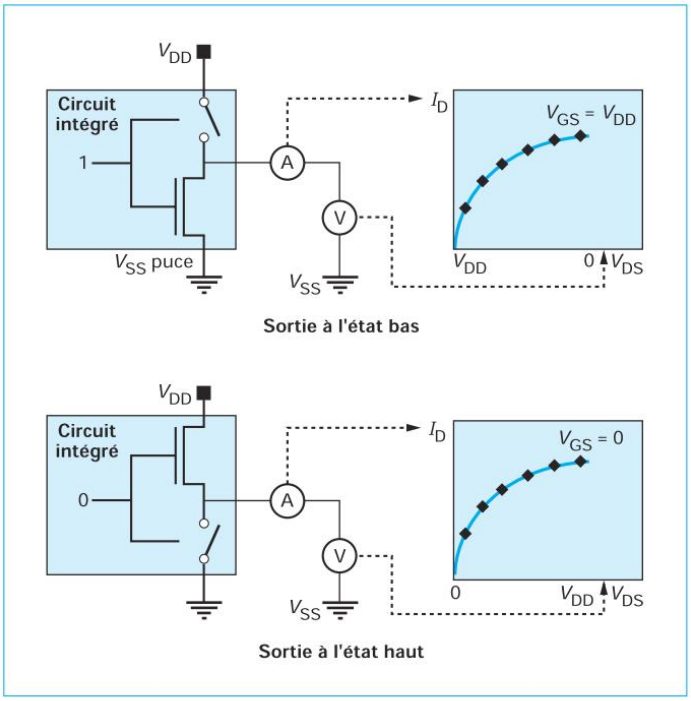


Figure 23 – Principe de l'extraction du courant par la mesure

Le modèle d'une sortie (figure 24) prend généralement en compte les deux éléments suivants :

- La liaison entre la puce et la broche externe (boîtier).
- l'étage de sortie de la puce : ce dernier est modélisé par la capacité de sortie du composant C_{comp}, les diodes de protection reliées à la masse et à l'alimentation V_{DD}, et par les caractéristiques I(V) de pull-up et de pull-down de l'inverseur de sortie.

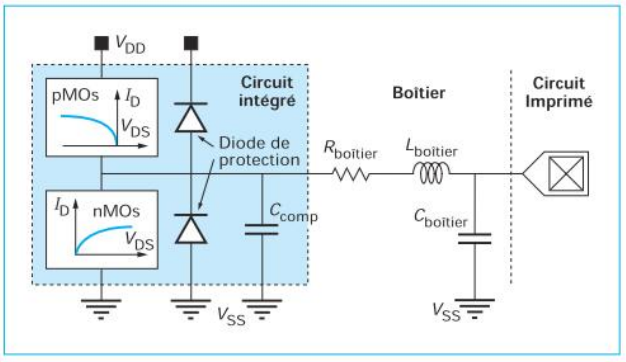


Figure 24 – Modèle IBIS d'une sortie

Eléments dynamiques

Le modèle IBIS renseigne également sur les caractéristiques dynamiques du composant : temps de montée, temps de descente des signaux, retards, etc. On calcule par exemple les pentes de ces signaux temporels pour la transition de 20 % à 80 % (ou inversement) de la tension finale (figure 25).

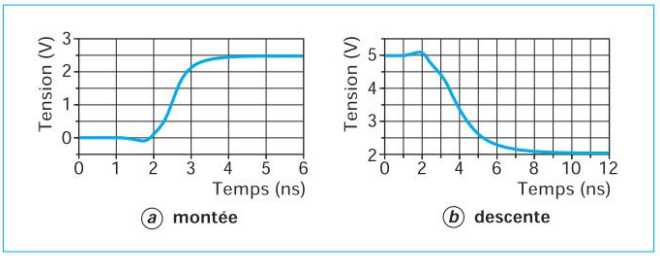


Figure 25 – Forme temporelle typique des signaux de commutation d'une sortie

Limitations du modèle IBIS

Le modèle IBIS permet de simuler correctement les phénomènes d'intégrité des signaux malgré une représentativité limitée dans le domaine fréquentiel. Dans le cadre de composants simples, les résultats obtenus par la simulation sont en général relativement proches de ceux mesurés.

Pour les simulations CEM, le modèle IBIS est insuffisant car il ne prend pas en compte les éléments suivants :

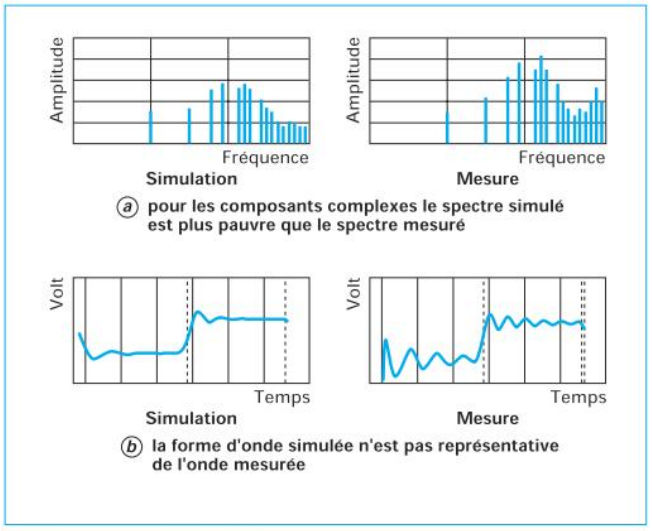


Figure 26 – Limites du modèle IBIS

- les sources de perturbations sur les entrées/sorties liées à l'activité interne du composant ; pour les composants à forte intégration, cette activité est souvent liée à des fréquences beaucoup plus élevées que celles des signaux E/S (figure 26a).

- les variations des tensions d'alimentation dues à la commutation simultanée des buffers et à l'activité interne du composant : ces perturbations véhiculées par les alimentations (ground bounce figure 26b) ont un rôle prépondérant sur le comportement en rayonnement des circuits imprimés.

- Le champ électromagnétique émis directement par le composant : les effets d'antenne des éléments boîtier, l'effet d'antenne du substrat de la puce, ou encore les boucles de courant internes à la puce notamment dans les rails d'alimentation ne sont pas modélisés.

V.1.b. Modèle IMIC

Le modèle IMIC (Interface Model for Integrated Circuit) est proposé par l'Electronic Industries Association of Japan (EIAJ) comme une amélioration du modèle IBIS actuel.

Le modèle IMIC inclut la description des interconnexions qui lient à l'intérieur du composant les étages de sortie. Cette description des interconnexions est donnée au format SPICE. Il offre aussi la possibilité d'ajouter des stimuli sur les étages internes. De plus, il propose de dissocier le modèle en trois entités : la puce, le boîtier et le module (figure 27). Par ailleurs, il permet d'ajouter des informations de mutuelle inductance et mutuelle capacité entre les broches du boîtier. En outre, il est capable de générer un format IBIS.

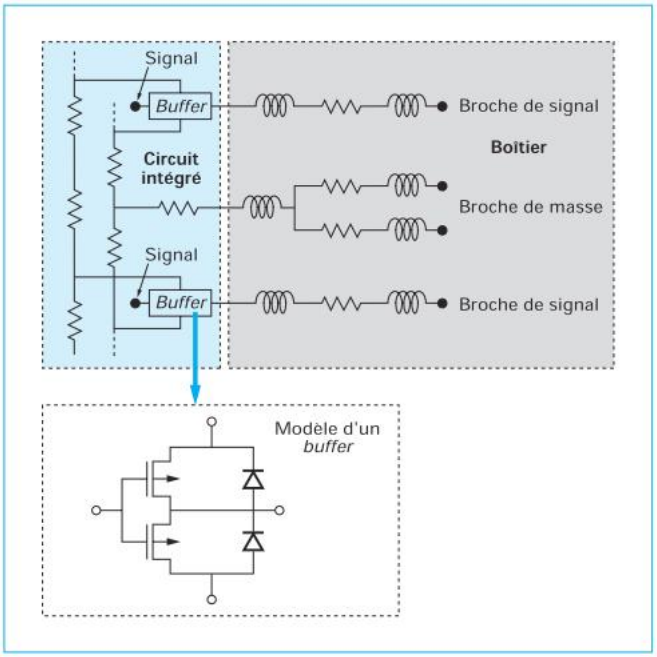


Figure 27 – Schéma du modèle IMIC

V.2. Modèle d'émission ICEM

V.2.a. Apports du modèle ICEM

Le modèle d'émission nommé ICEM (Integrated Circuit Electromagnetic Model)) est complémentaire du modèle IBIS. Il peut notamment utiliser les mêmes modèles de boîtiers ou être inséré comme modèle spécifique.

L'apport principal du modèle ICEM, en comparaison des modèles IBIS et IMIC, est la prise en compte de l'activité interne du composant. Dans les composants CMOS , la commutation simultanée des portes logiques due aux activités propres du composant (calcul, transferts en mémoire, etc.) crée des appels de courants sur les alimentations : ce sont les bruits parasites générés par l'activité des circuits intégrés.

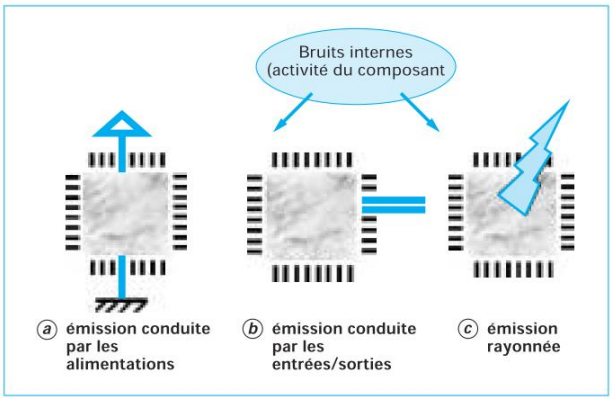


Figure 28 – Modes de couplage des perturbations internes

Ces bruits se propagent selon deux modes : un mode de conduction et un mode de rayonnement direct. On distingue, dans la propagation en mode conduit, le cas où ces perturbations se couplent aux alimentations, et le cas où elles se couplent aux entrées/sorties du composant.

V.2.a. Description du modèle d'émission

Un schéma du modèle est donné par la figure 29, pour le cas d'un circuit à alimentation unique. Il comprend des éléments du boîtier du composant et des éléments internes au composant.

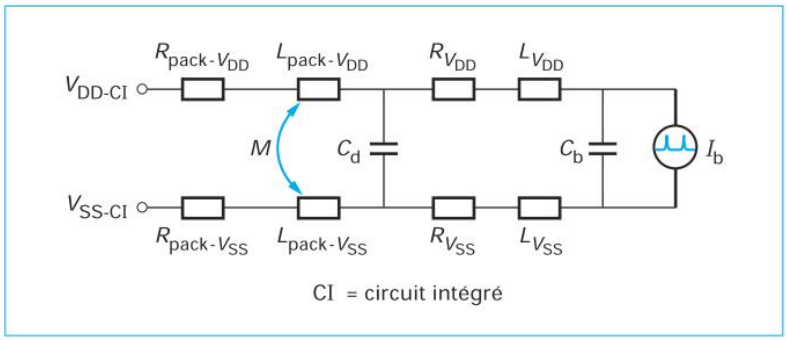


Figure 29 – Une représentation du modèle ICEM

Les éléments du modèle sont :

$R_{pack\text{-}VDD}$: résistance de boîtier (pack) de l'alimentation positive V_{DD} ;

$R_{pack\text{-}VSS}$: résistance de boîtier de la masse V_{SS} ;

$L_{pack\text{-}VDD}$: inductance de boîtier de l'alimentation positive V_{DD} ;

$L_{pack\text{-}VSS}$: inductance de boîtier de la masse V_{SS} ;

C_d : capacité parasite entre les broches V_{DD} et V_{SS} du boîtier ;

M : inductance mutuelle entre et $L_{pack\text{-}VDD}$ *et* $L_{pack\text{-}VSS}$;

R_{VDD} : résistance série de V_{DD} générée par le *bonding* (ou fil d'or) et les interconnexions sur le silicium ;

R_{VSS} : résistance série de V_{SS} générée par le *bonding* (ou fil d'or) et les interconnexions sur le silicium ;

L_{VDD} : inductance série de V_{DD} générée par le *bonding* (ou fil d'or) et les interconnexions sur le silicium ;

L_{VSS} : inductance série de V_{SS} générée par le *bonding* (ou fil d'or) et les interconnexions sur le silicium ;

C_b : capacité interne entre V_{DD} et V_{SS} sur le silicium ;

I_b : générateur de courant.

V.2.b. Eléments du modèle

Générateur de courant I_b

C'est l'élément essentiel du modèle d'émission parasite. Il s'agit d'un générateur de courant dont les valeurs sont contenues dans une liste (ou un fichier) donnant à chaque instant de la simulation les valeurs du courant qui circulent sur les alimentations, lorsqu'on se place au plus près des zones où ces courants se génèrent.

Cette source de courant résume en réalité toute l'activité du composant : les contributions individuelles de milliers de portes logiques CMOS lors de leurs commutations simultanées sont additionnées pour donner le courant global transitant entre V_{DD} et V_{SS}. Cette source unique a l'avantage de simplifier la simulation CEM d'une carte électronique puisqu'elle ne nécessite pas de simuler en même temps le circuit intégré (simulation qui requiert d'importantes ressources informatiques et de nombreuses bibliothèques technologiques, et que, par conséquent, seul le fondeur peut réaliser).

On peut générer le modèle cette source de courant de diverses manières, soit au niveau physique, soit à des niveaux plus élevés (niveau d'interpolation, niveau comportemental, etc.), soit par des estimations statistiques.

Dans tous les cas, la source de courant créée sera liée à une activité spécifique du composant (quelles parties ou quels blocs sont-ils utilisés dans le composant ? Quel type de fonctionnement :

calcul, mémoire ?) ainsi qu'à la fréquence d'horloge du circuit. On aura donc ces paramètres comme entrées de la simulation générant la source de courant ; ils pourront être sous forme de programme ou de stimuli électriques, selon le type de simulation choisi.

La simulation physique, réalisée avec un simulateur de type SPICE, prend en compte chaque MOS du circuit intégré. Ce type de simulation n'est possible que sur de très petits circuits (une dizaine de milliers de transistors).

Des langages comportementaux (Verilog [IEEE-1364] et VHDL [IEEE-1076]), qui travaillent à des niveaux de représentation plus élevés, peuvent aussi être utilisés. Les simulations sont alors plus rapides car elles ne font plus appel aux valeurs analogiques courant/tension, mais à l'état (haut/bas) des nœuds du circuit en fonction du temps. On peut utiliser les courbes résultantes (qui donnent tous les nœuds du circuit qui changent d'état au même instant, cf. figure 31) pour créer la source de courant *I(t)*.

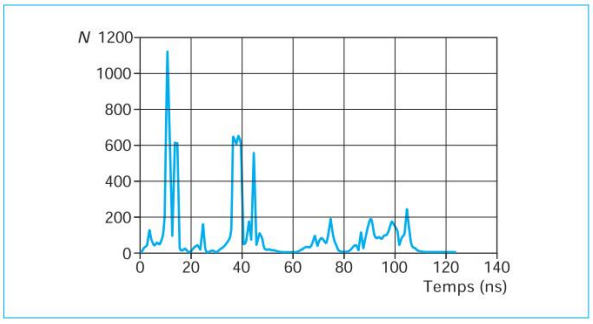


Figure 31 – L'activité d'un circuit : nombre de nœuds *N* changeant d'état au même instant

L'estimation statistique, à l'inverse des méthodes ci-dessus, davantage réservées au fondeur, pourra aussi être employée par l'utilisateur du circuit intégré. En connaissant la génération technologique, la taille ou la surface du circuit intégré, on pourra, grâce au tableau 2, calculer les pics de courant générés à chaque front d'horloge.

● Enfin, on pourra créer cette source de courant à partir de mesures conduites par déduction de la perturbation originelle.

Capacité interne C_b entre V_{DD} et V_{SS} sur le silicium

Cette capacité, nommée **capacité de découplage**, entre V_{DD} et V_{SS} au niveau du silicium, résulte de différentes capacités dues à la technologie :

- Capacités de jonction PN en inverse (figure 32a) ;
- Capacité de métal (figure 32b) ;
- Capacité d'oxyde (figure 32c) ;
- Capacité ajoutée : les fondeurs ont de plus en plus tendance à volontairement ajouter de la capacité (un des trois types décrits ci-dessus) pour diminuer l'émission électromagnétique.

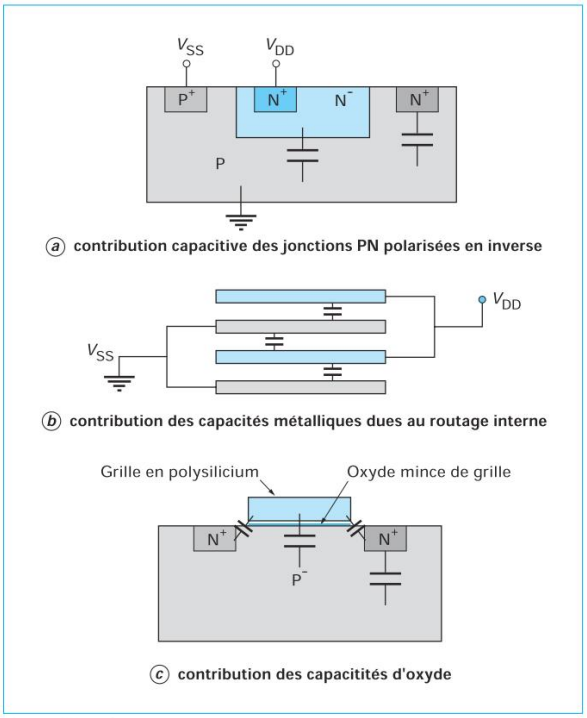


Figure 32 – Contribution des différentes capacités à la capacité

Résistances et inductances série de V_{DD} / V_{SS} : R_{VDD} / R_{VSS} et L_{VDD} / L_{VSS}

Ces résistances et inductances regroupent les éléments présents sur le silicium (interconnexions en aluminium ou en cuivre) et ceux qui lient la puce au boîtier (fils d'or le plus souvent, ou *bondings*).

Calcul des résistances

L'évaluation des paramètres résistifs peut être obtenue en appliquant les formules considérant la résistance par carré (figure 33a).

La résistance par carré, notée $R_{\square}$, correspond à une portion de conducteur dont la longueur est égale à la largeur, vu de haut. La résistance par carré est d'autant plus grande que la section du conducteur est faible :

$$R_{\square} = \rho \frac{\ell}{S} = \rho \frac{w}{w \cdot e} = \frac{\rho}{e}$$

avec *e* épaisseur du métal (µm),

w côté d'un carré élémentaire (µm),

l longueur totale du conducteur (µm),

S section du conducteur (µm^2),

ρ_{Al} = 0,0277 Ω.µm résistivité de l'aluminium,

ρ_{Cu}= 0,0172 Ω · µm résistivité du cuivre,

ρ_{Au}= 0,022 Ω · µm résistivité de l'or.

Typiquement on mesure des résistances par carré de l'ordre de :

- 50 mΩ/mm pour des fils d'or de 25 µm de diamètre ;
- 38 mΩ/mm pour des fils d'aluminium de 32 µm de diamètre.

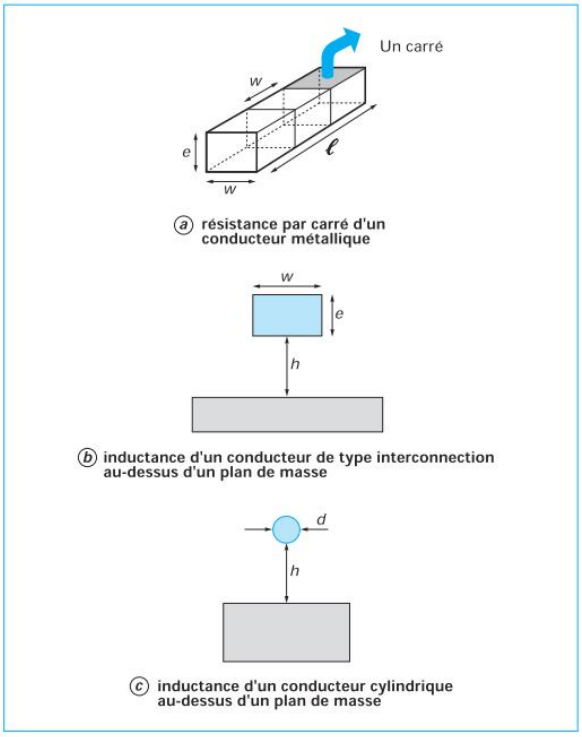


Figure 33 – Résistances et inductances série de V_{DD}/V_{SS}

Calcul de l'inductance d'interconnexion

De même, il est possible d'évaluer les paramètres inductifs d'interconnexion sur silicium ainsi que ceux des *bondings* en utilisant les formules suivantes qui prennent en compte la forme et la position par rapport au plan de masse (figure 33***b***) :

$$L_{11} = \mu_0 \mu_r \frac{1}{2\pi} \ln\left(\frac{8h}{w} + \frac{w}{4h}\right)$$

avec L_{11} inductance du conducteur (H/m),

μ_0 et μ_r permittivité et permittivité relative du conducteur : $\mu_0 = 1{,}257 \cdot 10^{-6}$ H/m et $\mu_r = 1$ pour l'air et le silicium (valable pour tous les matériaux non magnétiques),

w largeur du métal (m),

h hauteur par rapport au substrat (m).

Calcul de l'inductance d'un bonding

L'inductance d'un fil est donnée par la formulation approchée suivante, pour un conducteur cylindrique sur un plan de masse (figure 33***c***) :

$$L = \mu_0 \mu_r \frac{1}{2\pi} \ln\left(\frac{4h}{d}\right)$$

avec *L* inductance du fil (H/m),

$\mu_0 = 1{,}257 \cdot 10^{-6}$ H/m et $\mu_r = 1$ pour l'air,

d diamètre du fil (m)

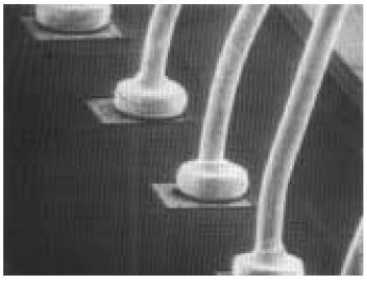


Figure 34 – Photographie de *bondings*

h hauteur du fil par rapport au plan de masse (m).

Cette formulation sera utilisée pour la modélisation des fils de bondings (figure 34). Typiquement, la valeur approchée de l'inductance de bonding est de 1 nH/mm.

Éléments parasites de boîtier : $R_{pack\text{-}VDD}$/$R_{pack\text{-}VSS}$, $L_{pack\text{-}VDD}$/$L_{pack\text{-}VSS}$, C_d

Les éléments $R_{pack\text{-}VDD}$, $R_{pack\text{-}VSS}$, $L_{pack\text{-}VDD}$, $L_{pack\text{-}VSS}$ représentent la contribution en série du boîtier (*leads*) sur les alimentations V_{DD} et V_{SS} . Pour la plupart des boîtiers, on calcule ces résistances et inductances à l'aide des formulations données précédemment.

C_d est la capacité parasite présente **entre les broches** des boîtiers (figure 35***b***).

On détermine cette capacité, à l'aide de la formule (figure 35***b***) :

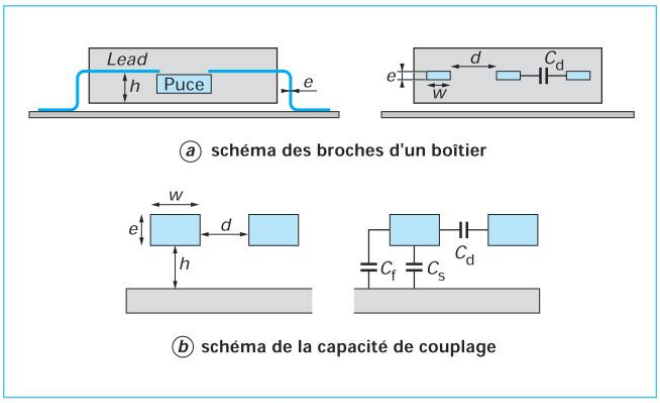


Figure 35 – Capacité parasite d'un boîtier

$$C_p = \varepsilon_0 \varepsilon_r \left[1{,}82 \left(\frac{e}{h} \right)^{1{,}08} + \left(\frac{w}{h} \right)^{0{,}32} \right] \left(\frac{d}{h} + 0{,}43 \right)^{-1{,}38}$$

On notera que capacités et inductances sont le plus souvent calculées par référence à un plan de masse (hauteur de l'élément au-dessus de ce plan), ce qui peut causer des problèmes lorsque ce plan n'existe pas (cas fréquent dans certaines cartes et applications industrielles).

Le tableau ci-contre donne les valeurs d'inductance et de capacité pour les boîtiers les plus usuels.

Tableau 3 – Valeurs typiques des boîtiers

Boîtier	Définition	Inductance	Capacité
	Dual In Line (DIL)	2 à 15 nH	1 à 10 pF
	Shrink Dual In Line (SDIL)	1 à 10 nH	1 à 10 pF
	Small Outline Package (SOP)	1 à 7 nH	1 à 7 pF
	Quad Flat Pack (QFP)	3 à 7 nH	2 à 5 pF
	Ball Grid Array (BGA)	0,5 à 10 nH	1 à 10 pF
	Fine Pitch Ball Grid Array (FBGA)	0,5 à 10 nH	1 à 20 pF
	Mold Chip Scale Package (MCSP)	0,5 à 5 nH	1 à 15 pF

V.2.c. Exemple de simulation avec le modèle ICEM

À titre d'exemple de l'utilisation du modèle ICEM, on donne en figure **36** la comparaison entre le spectre d'**émission conduite** mesuré sur un microcontrôleur 16 bits et le spectre **simulé** du même composant à l'aide du modèle ICEM. Le maximum d'émission est correctement simulé et l'enveloppe générale du spectre est donnée. On observe cependant des différences entre mesure et simulation pour des fréquences supérieures à 200 MHz, mais à des niveaux d'émission relativement faibles.

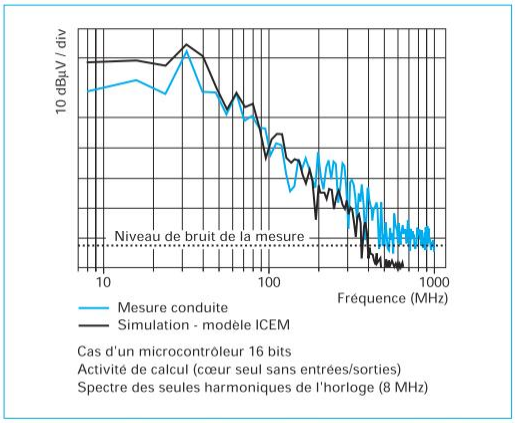


Figure 36 – Exemple de comparaison entre mesure et simulation avec le modèle ICEM

V.2.d. Différentes formes du modèle

À partir des éléments décrits ci-dessus, le modèle ICEM peut suivre certaines variations selon le type et la structure des alimentations du circuit intégré.

. Cas d'une alimentation commune aux parties numériques et aux entrées/sorties (figure 37)

Dans ce cas, le modèle des I/O (entrées/sorties ou *Inputs/Outputs*) peut être identique à celui décrit dans IBIS. On peut aussi représenter l'activité des I/O de la même manière que l'activité interne : par un générateur de courant équivalent $I_{I/O}$.

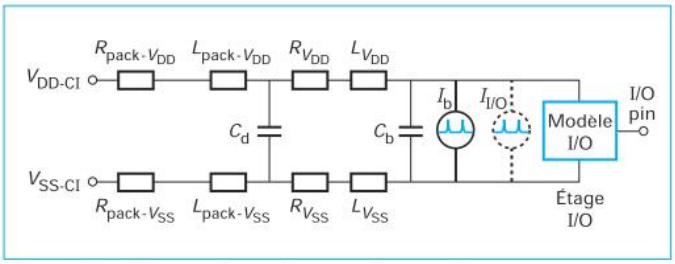


Figure 37 – Alimentation unique pour le numérique et les entrées/sorties

Cas d'alimentations séparées (figure 38)

Lorsque les alimentations sont séparées, on utilise des structures identiques pour la partie numérique et pour la partie I/O. Ces deux alimentations sont reliées par une impédance Z_{sub} qui rend compte de l'impédance du substrat de silicium, qui est commun à toute la puce et par lequel les perturbations peuvent transiter d'un système d'alimentation à l'autre. Les valeurs typiques de l'impédance de substrat sont comprises entre 1 et 10 Ω.

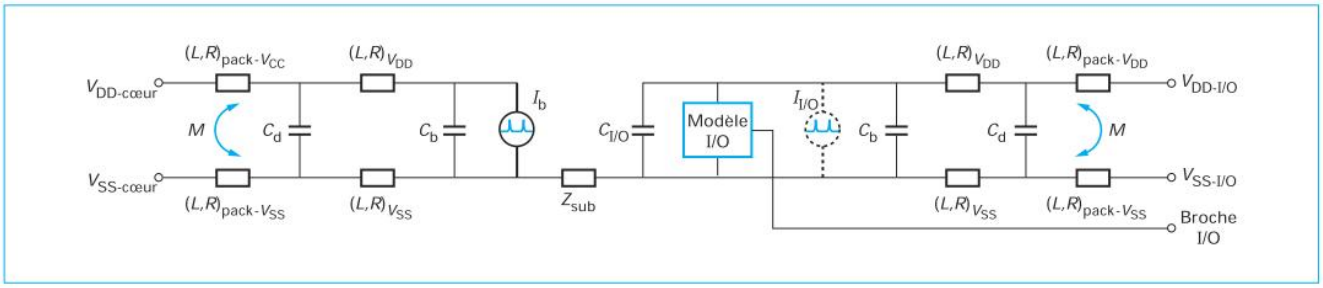


Figure 38 – Alimentations différentes pour le numérique et les entrées/sorties

Cas d'alimentation avec régulateur de tension intégré sur la puce (figure 39)

Lorsqu'un régulateur de tension a été placé sur la puce afin de transformer une tension élevée (+ 5 V par exemple) en alimentation plus basse tension pour la partie numérique du composant (+ 3,3 V ; + 2,5 V ou + 1,8 V par exemple), on peut avoir recours à la résistance R_{VDD} pour assurer cette chute de tension.

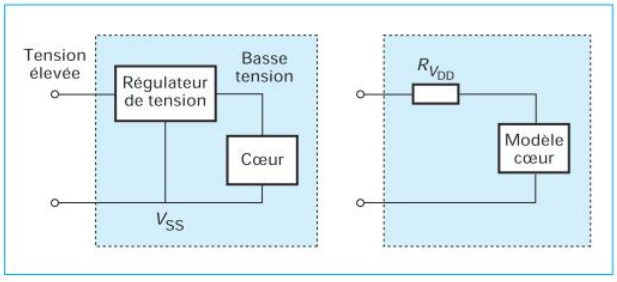


Figure 39 – Alimentation avec régulateur de tension incorporé au silicium

V.2.e. Impact des entrées / sorties (I/O)

Les entrées/sorties sont des éléments importants à inclure dans le modèle d'émission. En effet, bien qu'ayant des fréquences d'utilisation plus faibles que les fréquences d'horloge du cœur numérique (typiquement $f_{I/Omax} = 1/4\ f_{cœur)}$, les entrées/sorties sont le plus souvent des *buffers* connectés à de fortes charges et sont conçues pour drainer des courants plus élevés que les portes logiques du cœur.

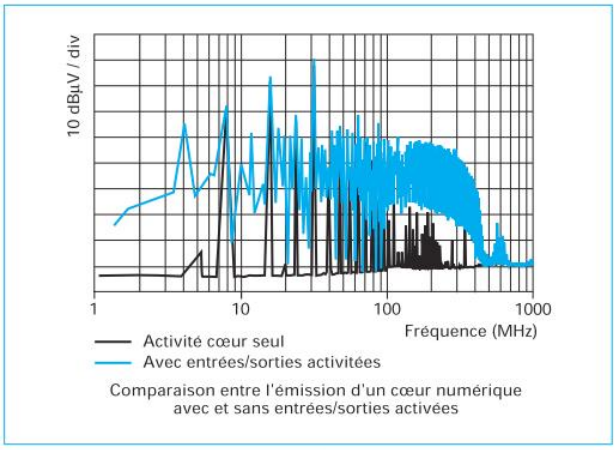


Figure 40 – Mesures des spectres d'émission avec et sans entrées/sorties activées

L'effet des I/O sur le spectre émis sera donc très net à basse fréquence (fréquence des I/O), mais également à plus haute fréquence, comme le montre la figure 40.

Les entrées/sorties peuvent se modéliser de la même manière qu'avec le modèle IBIS. On peut aussi se servir d'un modèle plus simple où le *buffer* d'entrée/sortie est représenté par des résistances variables au cours du temps : il y a alors pour chaque MOS une résistance d'état passant R_{on} , et une résistance d'état bloqué R_{off}.

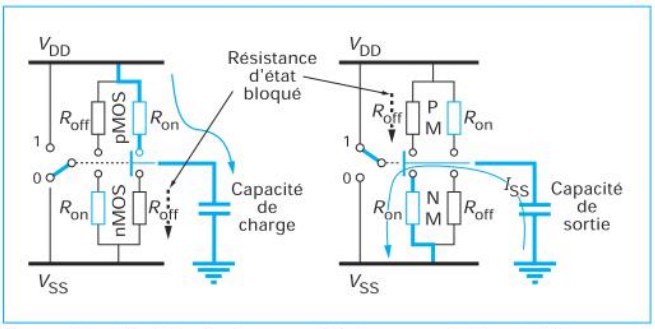


Figure 41 – Modèle simple avec résistances variables de l'étage de sortie d'une I/O

V.2.f. Modèle de rayonnement direct

Le modèle décrit jusqu'à présent ne rend compte que de l'émission conduite des circuits intégrés. Il peut cependant être utilisé pour simuler les émissions rayonnées dans le cas de mesures de rayonnement direct comme en cellule TEM.

On le complètera en modélisant le rayonnement direct par des capacités et inductances mutuelles assurant le couplage entre les parties émettrices du composant (silicium de la puce, boîtier et *bondings*) et les parties réceptrices de la mesure (septum de la cellule TEM). Les capacités de couplage relieront le silicium de la puce au septum et les couplages inductifs prendront la forme d'inductances mutuelles entre les inductances de boîtier ou de *bondings* et l'inductance propre du septum (figure 42).

D'autres modèles de couplage de rayonnement direct sont possibles : on pourra notamment les déduire de simulations tridimensionnelles de champs électromagnétiques en les convertissant sous forme d'éléments électriques.

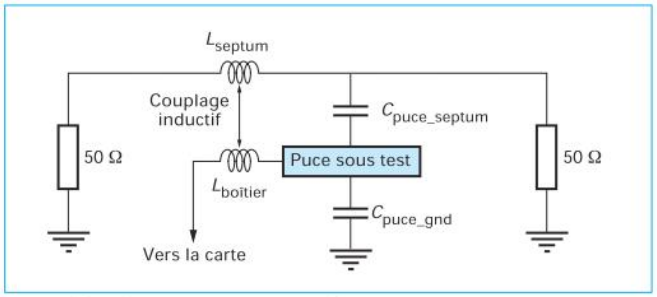


Figure 42 – Schéma du couplage d'une puce avec le septum de la cellule TEM

V.2.g. Vers un standard international

Être capable de fournir un modèle CEM d'émission d'un composant est aujourd'hui un *argument commercial* pour le fondeur, car il permet à l'équipementier de simuler son système électronique complet avant même qu'il ne soit fabriqué. Il peut ainsi s'assurer, sans campagnes de mesures coûteuses, de la conformité de son futur système, et peut aussi prendre les dispositions nécessaires (circuits imprimés, composants de découplage, filtres), pour satisfaire aux normes de son équipement.

Tout comme les normes de mesure d'émission des circuits intégrés qui lui sont associées, le modèle ICEM n'a pas vocation à imposer des niveaux maximaux d'émission, mais seulement à mettre sous un format commun des données qui pourront ensuite être comparées et mises en œuvre selon les besoins propres des utilisateurs.

L'intérêt d'une telle norme est aussi d'inciter à des évolutions, à des prises de conscience des problèmes de CEM, chez les fabricants, les utilisateurs ou encore chez les créateurs de logiciels permettant la simulation d'émissions électromagnétiques de cartes électroniques. Aujourd'hui ces logiciels ne considèrent pas encore les alimentations des circuits intégrés et des cartes comme étant des éléments importants d'émission. Le modèle ICEM montre ainsi la nécessité pour les outils de CAO d'évoluer et d'intégrer des alimentations non parfaites telles qu'elles sont décrites dans ce modèle.

VI. Susceptibilité des circuits intégrés

VI.1. Origine

La susceptibilité des circuits intégrés aux interférences RF (radiofréquence) prend de plus en plus une place importante dans la littérature traitant de la CEM depuis la multiplication des sources parasites de moyenne et forte puissance telles que les téléphones cellulaires, ou encore les réseaux rapides et autres systèmes sans fils.

Les composants peuvent recevoir des interférences qui peuvent être superposés au signal qui se propage créant ainsi des phénomènes comme l'intermodulation, la cross-modulation et autres perturbations.

Par ailleurs, les câbles et lignes extérieurs du circuit intégré, d'une part, les traces du circuit imprimé (PCB), d'autre part, peuvent se comporter comme des antennes et être par conséquent le support du bruit RF.

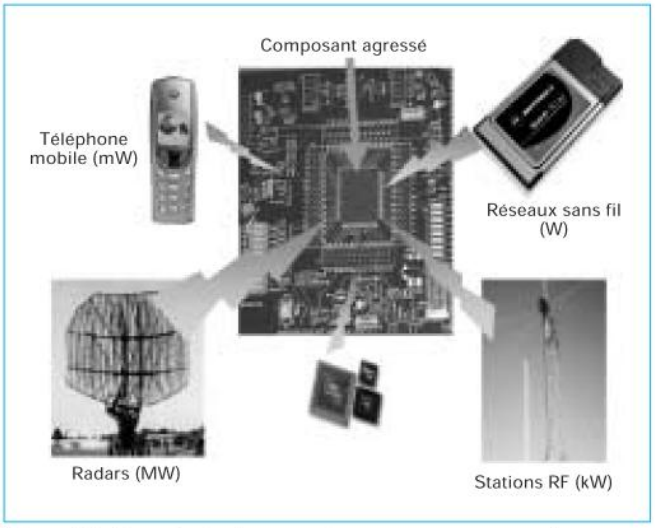


Figure 43 – Les principales agressions pour un composant électronique

La figure 43 résume les principales agressions que peut recevoir un composant électronique. Cela peut aller du milliwatt (téléphonie mobile) jusqu'au mégawatt (puissance fournie par un radar sous forme impulsionnelle).

VI.2. Méthodes de mesure

VI.2. a. Méthode de la cage de Faraday

La méthode dite WBFC (*WorkBench Faraday Cage*) est une méthode de mesure du niveau de susceptibilité des circuits intégrés en mode commun. Le banc de test est basé sur une cage de Faraday à l'intérieur de laquelle le circuit intégré sous test ainsi que le PCB sont placés.

Dans cette méthode, il est considéré que le circuit intégré reçoit principalement les interférences collectées à travers les câbles directement connectés au PCB. L'énergie RF est alors transmise à travers une résistance de 150 Ω (figure 44). Le niveau de susceptibilité est mesuré en vérifiant les états des entrées/sorties (I/O) à l'intérieur de la cage. La bande de fréquence dans laquelle opère cette méthode est [150 kHz, 1 GHz]. Il peut arriver que cette méthode ne puisse pas détecter des erreurs de fonctionnement durant le test de susceptibilité si le circuit imprimé se trouvant à l'intérieur de la cage a été conçu afin de réduire le bruit du mode commun.

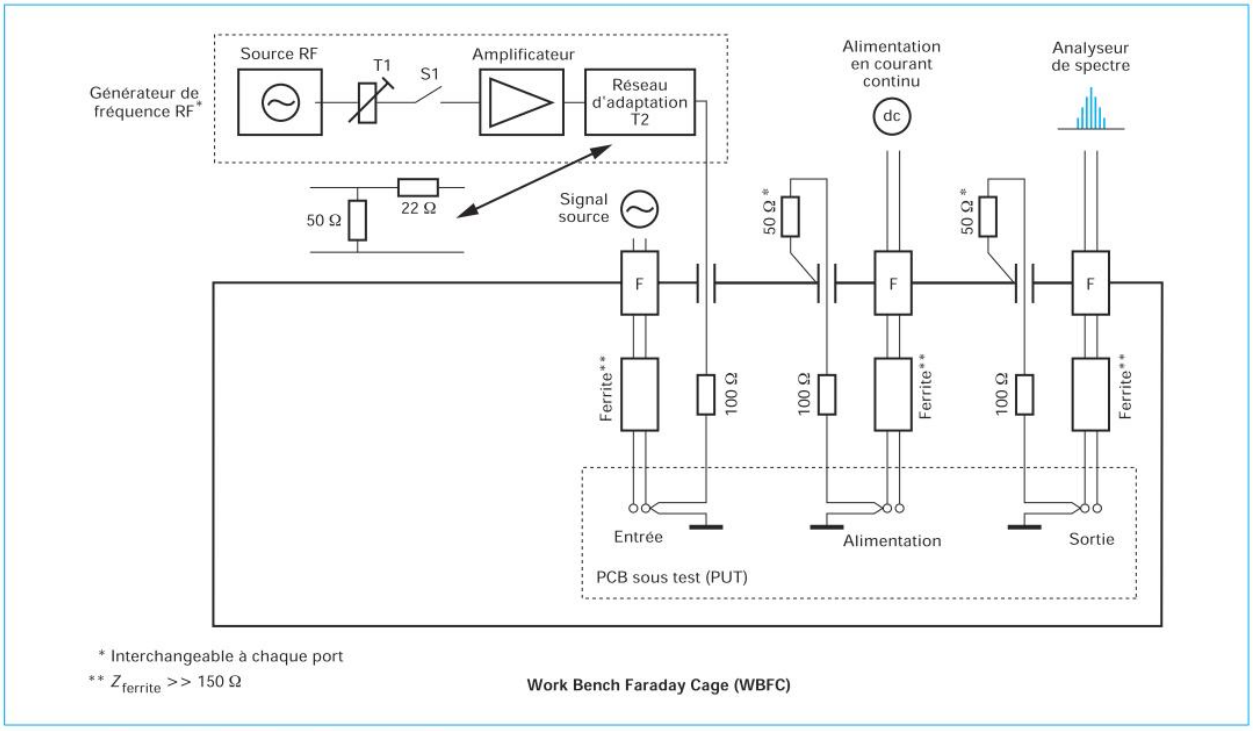


Figure 44 – Banc de test WBFC pour la susceptibilité

VI.2.b. Méthode de l'injection de courant

La méthode BCI (*Bulk Current Injection*) permet de mesurer le niveau de susceptibilité à travers un couplage inductif créé par les lignes reliées au circuit intégré. Les mesures sont valables dans la bande de fréquences [15 kHz, 400 MHz] même si, actuellement, on peut disposer de pinces pouvant injecter des perturbations allant jusqu'à 1 GHz. Le principe de la méthode est basé sur l'injection d'un courant en utilisant une sonde magnétique placée à l'entrée et à la sortie du circuit intégré (figure 45).

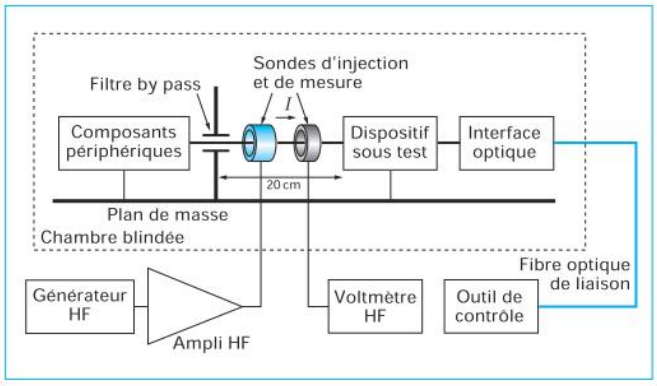


Figure 45 – Banc de test utilisant la méthode BCI pour la susceptibilité

Pour avoir accès aux signaux de sortie, une liaison à

fibre optique est utilisée. Dès que ces signaux subissent une défection, la lecture du courant injecté permet de fournir le seuil de susceptibilité recherché.

VI.2.c. Méthode de l'injection directe

La méthode DPI (*Direct Power Injection*) permet également la mesure du niveau de susceptibilité à l'aide d'un couplage capacitif directement appliqué sur le circuit intégré (figure 46). Le banc de test requiert un PCB spécifique sur lequel on place le composant sous test. Comme le nom de la méthode l'indique, l'injection est réalisée par le biais d'un couplage capacitif (C_b) opérant dans la bande de fréquences [10 kHz, 1 GHz].

Dans les méthodes précédemment décrites, il n'est pas suggéré un critère selon lequel le composant est hors de fonctionnement.

VI.3. Caractérisation d'un microcontrôleur

Dans le domaine de l'automobile, de l'aéronautique ou de la téléphonie, les microcontrôleurs prennent une place de plus en plus importante dans le monde des systèmes embarqués.

En effet, ils permettent au sein d'une même puce d'intégrer des fonctions aussi bien logiques qu'analogiques, différents types de mémoires (RAM, ROM, EEPROM, flash...), ainsi que divers protocoles de communication. Toutes ces caractéristiques font qu'actuellement les microcontrôleurs sont des composants particulièrement bien adaptés pour gérer et contrôler une partie ou la globalité d'un système embarqué.

La susceptibilité des microcontrôleurs aux interférences électromagnétiques est un sujet qui peut être abordé sous deux principaux aspects : au niveau matériel et au niveau logiciel, les deux aspects étant très liés dans ce type de composant.

Vu la complexité des microcontrôleurs, il est difficile, voire impossible, d'évaluer leur susceptibilité de façon générale. En effet, l'entrée d'un convertisseur analogique-numérique sera plus susceptible que celle d'un port d'entrée numérique. C'est pourquoi notre démarche consiste à évaluer la susceptibilité des microcontrôleurs en isolant chacun des blocs fonctionnels.

La figure 48 présente le protocole suivi pour réaliser une mesure. Quel que soit le bloc fonctionnel considéré, la démarche consiste à faire travailler au maximum cette unité et à limiter le recours aux autres. La mesure s'effectue en deux étapes.

La première étape est effectuée en l'absence d'agression pour définir le comportement normal du composant. Du fait de la relative difficulté à évaluer l'état de fonctionnement interne du micro-contrôleur vu de l'extérieur, un signal périodique de contrôle d'activité doit être émis par le composant sous test. Ce signal est utilisé pour définir un gabarit, en tension et en temps, qui sera ultérieure

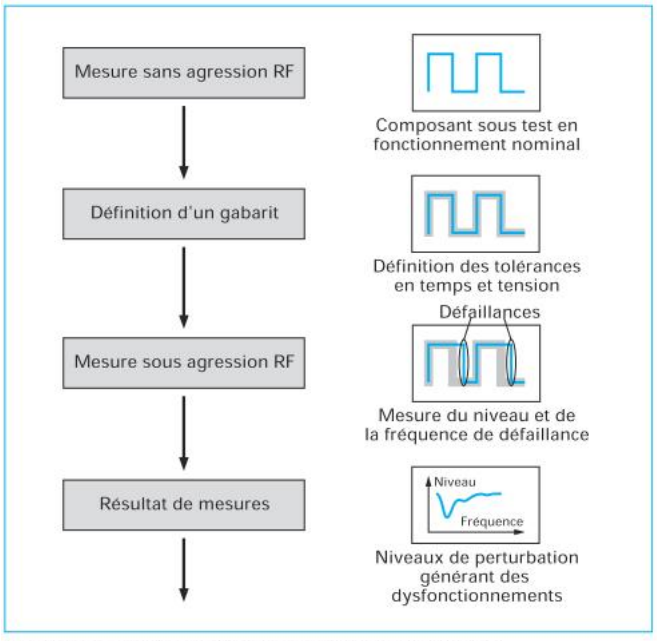


Figure 48 – Protocole de mesure de la susceptibilité d'un microcontrôleur

Une fois le gabarit défini, nous pouvons passer à la seconde étape qui consiste à faire travailler le microcontrôleur en présence de la perturbation radiofréquence pour évaluer sa susceptibilité intrinsèque. Pour cela on définit un niveau maximal d'injection de la perturbation, au-delà duquel, on considère que l'immunité du composant est satisfaisante. La mesure consiste à relever le niveau de perturbation injecté et la fréquence lui correspondant. Un résultat typique est présenté sur la figure 49.

Pour certaines fréquences, vers 80 MHz si l'on considère la figure 49, le composant est particulièrement susceptible. Par conséquent, une perturbation de faible amplitude à une telle fréquence provoquera un dysfonctionnement du composant avec toutes les conséquences qui s'en suivront au niveau de l'application.

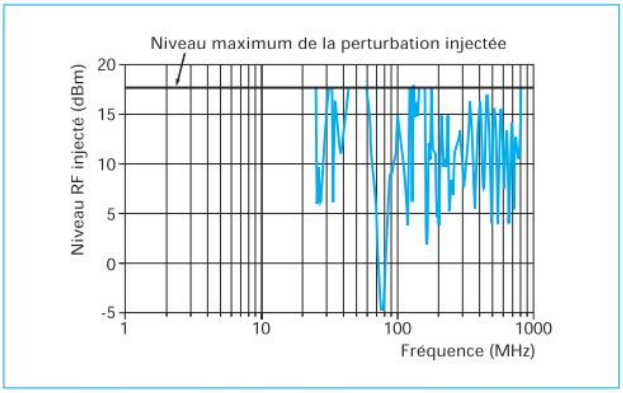


Figure 49 – Résultat de mesure de susceptibilité

VII.4. Approche des logiciels défensifs

Certaines techniques pour renforcer la robustesse d'un système consistent à prendre un maximum de précautions lors de la réalisation du logiciel embarqué. Ces différentes techniques sont communément regroupées sous le terme « logiciels défensifs ». On peut ainsi augmenter l'immunité d'un microcontrôleur à moindre coût, du fait que l'environnement matériel n'est pas affecté. En contrepartie, il est important de mesurer préalablement l'impact au niveau de la vitesse d'exécution de l'application ainsi qu'au niveau des ressources mémoires. Par ailleurs, il est important de noter que ces protections sont complémentaires de dispositifs matériels et ont pour principal objectif de détecter un dysfonctionnement afin de redémarrer le plus rapidement et le plus proprement possible le système.

Dans ce qui suit, nous illustrons quelques techniques considérant principalement deux aspects : la gestion des allocations mémoire ainsi que l'acquisition de données.

Pour la gestion de la mémoire, nous présentons deux façons correspondant à deux types de mémoire : la mémoire contenant le programme exécutable qui est généralement de type non volatile, et la mémoire servant pour l'exécution du programme qui pour sa part est principalement du type RAM.

Considérons dans un premier temps, la gestion de la mémoire non volatile contenant l'application. La figure 50 présente deux façons de charger la mémoire programme, en supposant que la totalité des allocations mémoire ne sont pas utilisées. Dans le premier cas, on charge l'application dans la partie haute de la mémoire, la zone mémoire inutile restant vierge et donc potentiellement avec la valeur hexadécimale $FF. En conséquence, si une perturbation RF vient changer le contenu du pointeur prgramme et que celui-ci vient pointer sur une adresse inutilisée, il exécutera l'instruction dont le code correspond à $FF. Il s'en suivra une perte du contrôle et toutes les conséquences qui en découlent.

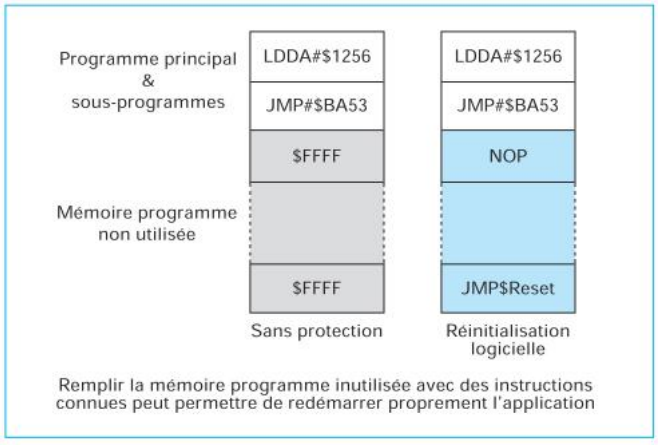


Figure 50 – Chargement de la mémoire programme

La solution de la colonne de droite présente la faculté d'être autosuffisante à certaines conditions. L'adresse choisie pour la réinitialisation générale doit bien évidemment exister en mémoire programme, mais doit également correspondre à une série d'une ou deux instructions la plus neutre possible : idéalement l'instruction NOP. Ainsi, si cette combinaison existe, cela permet de redémarrer rapidement et proprement l'application suite à un saut à une adresse erronée. Tout cela sans aucun ajout de composant externe au microcontrôleur. On remarquera également que cette solution n'est coûteuse ni en espace mémoire ni en temps de calcul. Remplir la mémoire programme inutilisée avec des instructions connues peut permettre de redémarrer proprement l'application.

Maintenant, nous pouvons nous intéresser à la gestion de la mémoire RAM principalement utilisée par les variables lors de l'exécution de l'application. La figure 51 montre comment protéger le contenu de quelques variables situées en RAM. Le nombre et le choix de ces variables sont guidés par la criticité pour l'application.

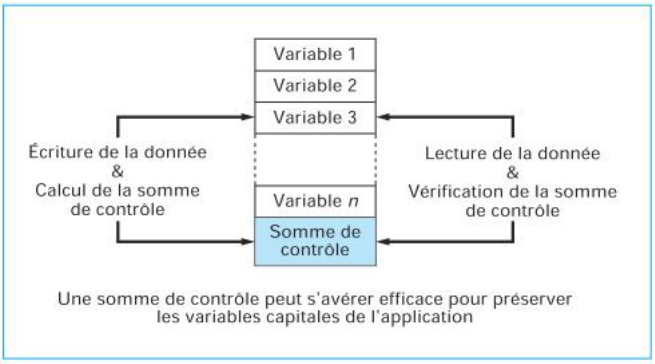


Figure 51 – Principe de protection de variables critiques situées dans la mémoire RAM

Le principe est le suivant : on considère un bloc de variables et un emplacement contigu contenant une somme de contrôle de ce bloc. À chaque écriture effectuée, on recalcule la somme de contrôle et on met à jour sa valeur. À chaque lecture, on recalcule la somme de contrôle que l'on compare avec celle précédemment stockée, pour s'assurer de l'intégrité des données. Afin de limiter la perte de temps en calcul, il est important de déterminer le nombre de variables critiques, et dans le cas d'un nombre trop important, de fragmenter l'espace mémoire en plusieurs sous-blocs.

Après avoir illustré certaines techniques de gestion de la mémoire, nous allons considérer un autre aspect important dans le fonctionnement des microcontrôleurs, à savoir la gestion des entrées/sorties. Là encore, il faut faire la distinction entre deux types de signaux d'entrée : l'analogique et le numérique. En effet, de par leur nature, les premiers sont plus susceptibles.

Ainsi, dans le cas d'un convertisseur analogique-numérique, un filtrage numérique peut être suffisamment efficace pour discerner une valeur valide d'une valeur erronée : une variable peut suivre une certaine loi de variation, ou avoir un domaine de validité connu, ce qui facilitera d'autant la détection d'erreur (figure 52).

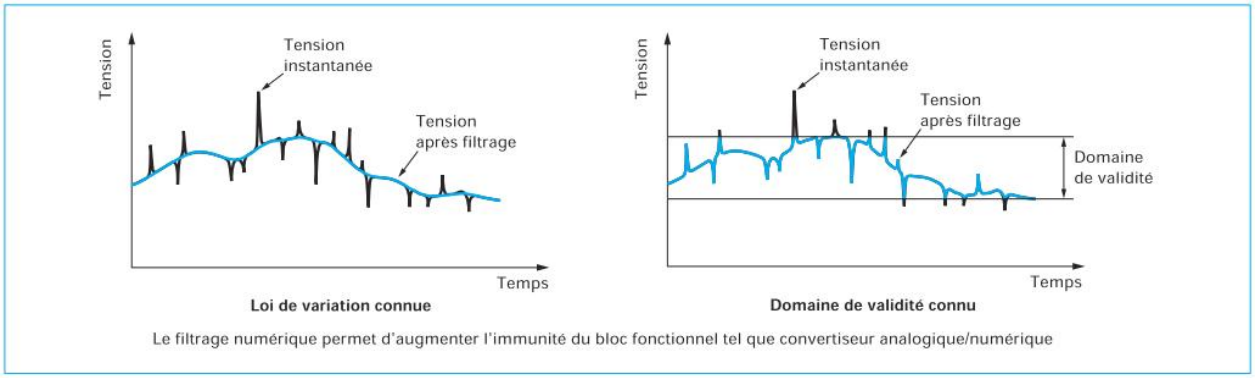
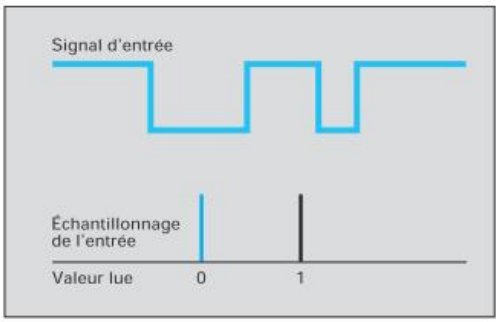


Figure 52 – Apport du filtrage numérique pour l'immunité

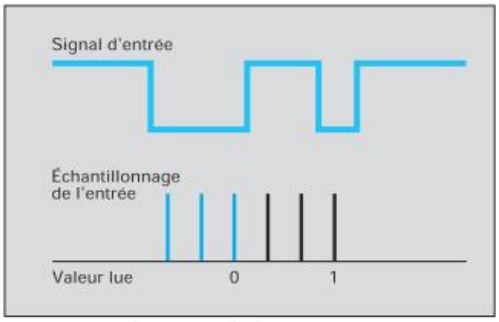
Pour des entrées numériques devant traiter des signaux de fréquences suffisamment basses, une lecture multiple, comme présentée à la figure 53, peut permettre de détecter la présence d'une perturbation électromagnétique. Selon les critères de fiabilité de l'application, le microcontrôleur peut décider de procéder à un vote majoritaire, ou tout simplement de rejeter cette valeur et d'attendre la prochaine.

De façon générale, il est nécessaire de mettre régulièrement à jour les registres de direction des différents ports d'entrées/sorties, afin de limiter les changements d'état intempestifs d'un port. Cela est d'autant plus vrai que bien souvent ces registres sont situés près des ports.

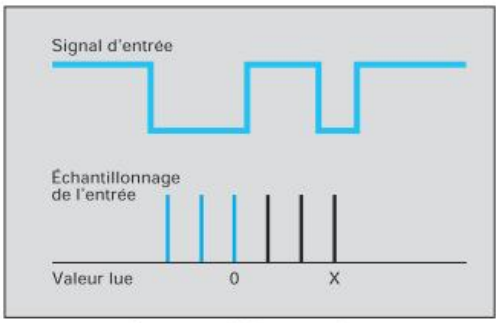
Les différentes techniques présentées ci-dessus revêtent un caractère général et peuvent ainsi être appliquées dans la majorité des applications. D'autres techniques plus spécifiques aux caractéristiques du système considéré peuvent être mises en place. Enfin, l'utilisation de telles protections dépendra de plusieurs facteurs comme le niveau de criticité de l'application, l'environnement électromagnétique, le coût en terme d'allocation mémoire, ou en terme de temps d'exécution.



Sans aucune protection



Lectures multiples avec vote



Lectures multiples avec rejet