

Conversions analogique - numérique et numérique - analogique.

I. Introduction.

Le monde physique est par nature analogique (dans la quasi-totalité des cas). Il est perçu via des signaux analogiques (son, ondes visuelles, etc.) qui peuvent être traités par des systèmes analogiques (cf. Fig. I.1).

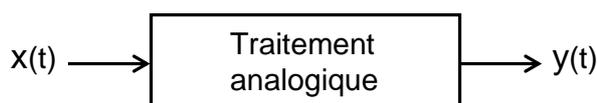


Fig. I.1 – Traitement analogique.

Depuis une vingtaine d'années, le traitement numérique des données prend le pas sur les approches purement analogiques. Le recours au numérique permet en effet un stockage aisé de l'information, une excellente reproductibilité des traitements, la possibilité de développer relativement aisément des fonctionnalités complexes, une réduction des coûts de production, etc.

L'interface nécessaire entre le monde analogique et un traitement numérique donné est réalisé par des convertisseurs analogique – numérique (CAN, ou ADC pour *Analog to Digital Converter* en anglais¹) et numérique – analogique (CNA, ou DAC pour *Digital to Analog Converter*). Le rôle d'un CAN est de convertir un signal analogique en un signal numérique pouvant être traité par une logique numérique, et le rôle d'un CNA est de reconvertir le signal numérique une fois traité en un signal analogique (cf. Fig. I.2).



Fig. I.2 – Conversions et traitement numérique des données.

Les parties suivantes décrivent les principes de conversion et les architectures des CAN (partie II) et des CNA (partie III).

¹ Ce cours utilise fréquemment des termes et abréviations en langue anglaise, on les retrouve dans la documentation technique, les livres de références et les publications scientifiques .

II. Conversion analogique numérique.

II.1. Principe de la conversion analogique numérique.

Définition : Un convertisseur analogique – numérique (CAN) est un dispositif électronique permettant la conversion d'un signal analogique en un signal numérique.

Cette première définition pour être complète en appelle deux autres, celles des signaux analogiques et numériques :

Signal analogique : signal continu en temps et en amplitude.

Signal numérique : signal échantillonné et quantifié, discret en temps et en amplitude.

Conceptuellement, la conversion analogique – numérique peut être divisée en trois étapes : **l'échantillonnage temporel**, la **quantification** et le **codage**.

La figure II.1 présente successivement ces trois étapes pour un CAN dont la sortie du signal numérique est sur 3 bits :

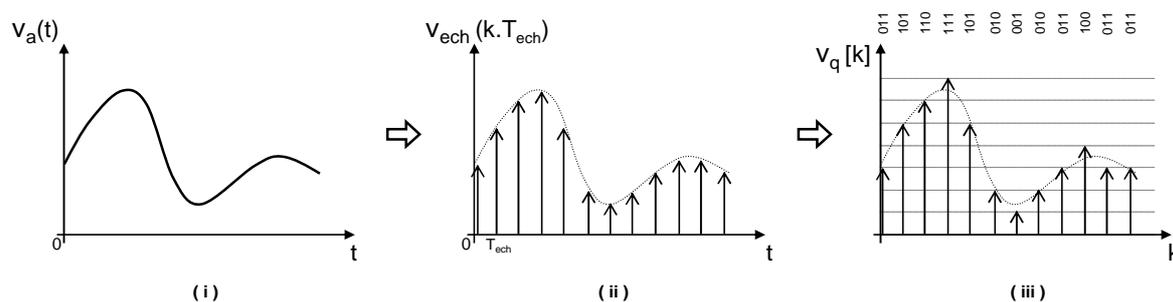


Fig. II.1 – (i) signal analogique (ii) signal échantillonné (iii) puis quantifié.

Un signal analogique, $v_a(t)$ continu en temps et en amplitude (i) est échantillonné à une **période d'échantillonnage** constante T_{ech} . On obtient alors un signal échantillonné $v_{ech}(k.T_{ech})$ discret en temps et continu en amplitude (ii). Ce dernier est ensuite quantifié, on obtient alors un signal numérique $v_q[k]$ discret en temps et en amplitude (iii). La quantification est liée à la **résolution** du CAN (son nombre de bits) ; dans l'exemple précédent $v_q[k]$ peut prendre huit amplitudes différentes (soit 2^3 , 3 étant le nombre de bits du CAN). La figure II.1.iii présente également le code numérique sur trois bits (en code binaire naturel) associé à $v_q[k]$ en fonction du temps.

Les notions précédentes seront approfondies dans les parties suivantes.

La figure II.2 présente le symbole d'un CAN à N bits qui sera utilisé dans la suite de ce cours.

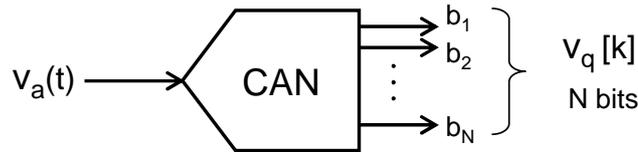


Fig. II.2 – Convertisseur analogique numérique.

II.2. Aspects temporels et fréquentiels de l'échantillonnage.

L'obtention d'un signal échantillonné $x_{ech}(k.T_{ech})$ à partir d'un signal analogique $x(t)$ peut être modélisée mathématiquement dans le domaine temporel par la multiplication de $x(t)$ par un peigne de Dirac de période T_{ech} (noté $\delta_{Tech}(t)$):

$$x_{ech}(k.T_{ech}) = x(t) \cdot \delta_{Tech}(t) = x(t) \cdot \sum_k \delta(t - k.T_{ech})$$

L'échantillonnage est illustré graphiquement dans le domaine temporel aux points (i), (ii) et (iii) de la figure II.3.

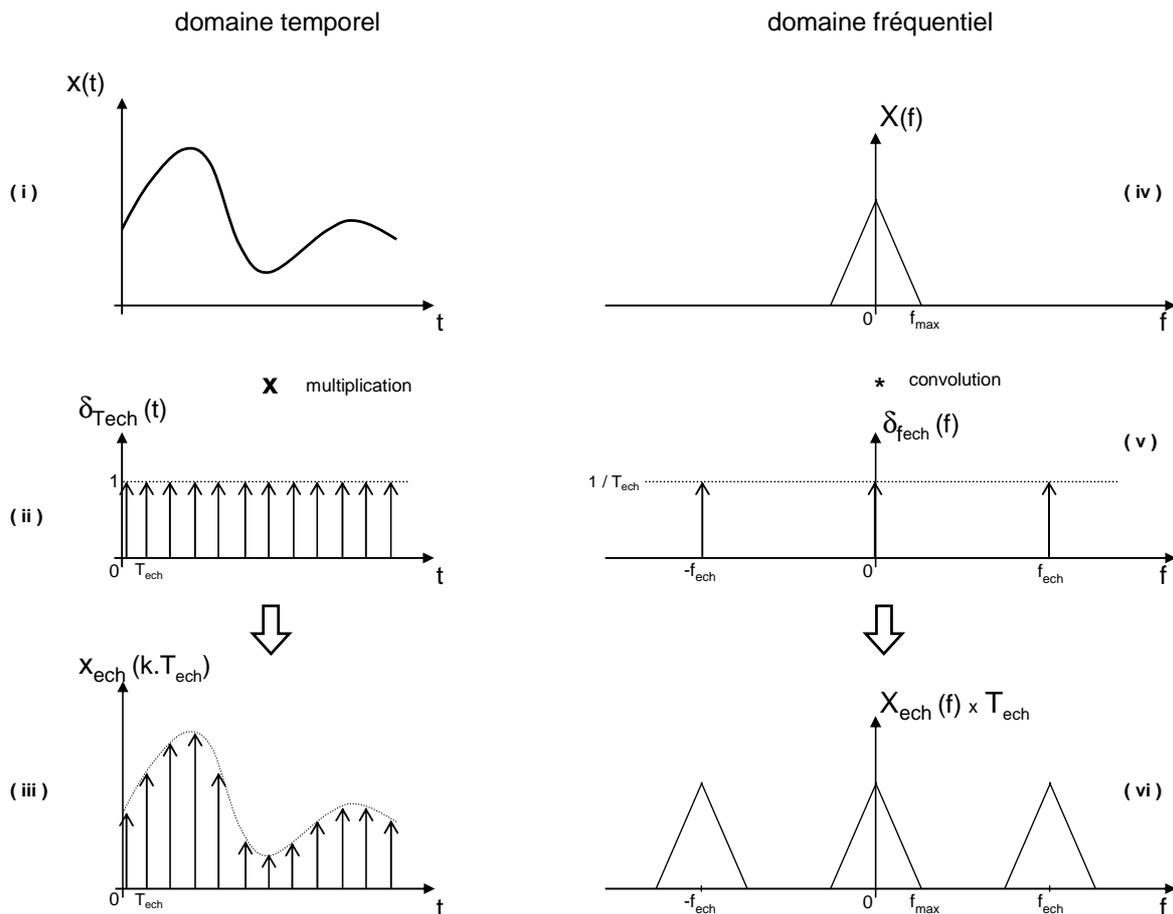


Fig. II.3 – Echantillonnage d'un signal analogique.

L'échantillonnage peut également être décrit graphiquement dans le domaine fréquentiel.

Au signal analogique $x(t)$, est associé dans le domaine fréquentiel le spectre $X(f)$ (cf. Fig. II.3.iv) s'étendant sur une bande de fréquence de $-f_{\max}$ à f_{\max} .

L'on rappelle un certain nombre de résultats démontrés en cours d'analyse de Fourier :

- Une multiplication dans le domaine temporel correspond à un produit de convolution dans le domaine spectral (et inversement),
- La transformée de Fourier d'un peigne de Dirac temporel, de période T_{ech} , et d'amplitude 1, est un peigne de Dirac dans le domaine fréquentiel, de période $f_{\text{ech}} = 1 / T_{\text{ech}}$ et d'amplitude $1 / T_{\text{ech}}$.

Ainsi, à la multiplication temporelle $x(t) \cdot \delta_{T_{\text{ech}}}(t)$ on fait correspondre dans le domaine fréquentiel le produit de convolution $X(f) * \delta_{f_{\text{ech}}}(f)$ ($\delta_{f_{\text{ech}}}(f)$ étant la transformée de Fourier de $\delta_{T_{\text{ech}}}(t)$), cf. point (v) de la Fig. II.3). Le résultat de ce produit de convolution (Fig. II.3.vi) est la transformée de Fourier du signal échantillonné $x_{\text{ech}}(k \cdot T_{\text{ech}})$. On obtient le spectre $X(f)$ répété à toutes les fréquences multiples de la fréquence d'échantillonnage (centrés sur les $k \cdot f_{\text{ech}}$, k entier), à un facteur multiplicatif près sur l'amplitude T_{ech} introduit par le peigne fréquentiel de Dirac.

Une approche graphique dans le domaine spectral permet d'illustrer la récupération de l'information contenue dans un signal échantillonné par un filtrage passe bas (cf. Fig. II.4). En supposant un filtrage passe bas parfait (un tel filtre est impossible à réaliser) sur la bande de fréquence de $-f_{\text{ech}}/2$ à $f_{\text{ech}}/2$ (appelée **bande de Nyquist**, la fréquence $f_{\text{ech}}/2$ étant appelée **fréquence de Nyquist**), on retrouve le spectre $X(f)$ et donc le signal temporel qui y correspond $x(t)$.

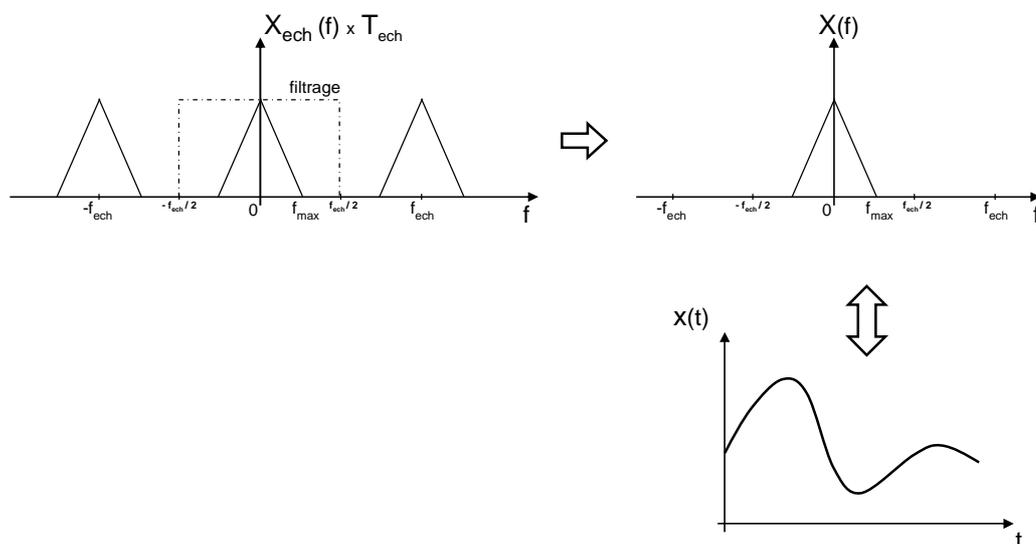


Fig. II.4 – Récupération de l'information par filtrage passe bas.

Notion de repliement de spectre (aliasing).

Les illustrations graphiques précédentes correspondent au cas où $f_{\text{ech}}/2 > f_{\text{max}}$. Dans le cas où on augmente la période d'échantillonnage (on a alors f_{ech} qui diminue) il apparaît un phénomène de recouvrement spectral illustré figure II.5.



Fig. II.5 – Repliement de spectre.

Ce phénomène apparaît dès lors que f_{max} , la plus grande fréquence de la partie du spectre centré sur 0, devient supérieur à $f_{\text{ech}} - f_{\text{max}}$ la plus basse fréquence de la partie du spectre centrée sur f_{ech} ; les parties du spectre qui se superposent s'ajoutent, et on obtient le spectre replié de la figure précédente. Il n'est plus possible de récupérer le signal analogique de départ par filtrage passe bas.

La contrainte qui en découle sur la fréquence d'échantillonnage pour éviter le repliement s'écrit mathématiquement :

$$f_{\text{ech}} > 2.f_{\text{max}}$$

Elle s'énonce sous la forme du **théorème de Shannon**, ou **théorème de l'échantillonnage** :

"Un signal $x(t)$ peut être représenté de manière univoque par une suite de valeurs échantillonnées si la fréquence d'échantillonnage, f_{ech} , est au moins deux fois plus élevée que la plus grande des fréquences, f_{max} , contenues dans le spectre."

A titre d'exemple, la plage de fréquences audio que nous percevons s'étend de 20 Hz à 20 kHz, ce qui explique le choix de la fréquence d'échantillonnage des CD qui a été fixée à 44,1 kHz (avec une légère marge, entre autre, liée à la difficulté de réaliser des filtres abruptes).

Le spectre réel est généralement de largeur infinie (à cause du bruit, ou de signaux interférents non désirés), il y a donc toujours un phénomène de repliement spectral susceptible de ramener dans la bande de Nyquist, du bruit ou un signal d'interférence. D'où la nécessité de toujours

inclure un filtre passe bas anti-repliement (*anti-aliasing filter*) ayant une fréquence de coupure à $f_{ech}/2$ devant un CAN.

II.3. Caractéristiques des convertisseurs analogique - numérique idéaux.

On ne s'intéressera dans le cadre de ce cours qu'aux seuls CAN à quantification uniforme.

Caractéristique de transfert.

Le pas de quantification et la précision d'un CAN dépendent du nombre de bits en sortie, appelé **résolution**. Pour un CAN à N bits, le nombre d'états possibles en sortie est 2^N , ce qui permet d'exprimer des signaux numériques de 0 à 2^N-1 en code binaire naturel.

Un CAN est caractérisé également par la plage de variation acceptable de la tension analogique d'entrée, appelée **Pleine Echelle** (FS pour *Full Scale* en anglais) et que nous noterons V_{PE} .

La pleine échelle est divisée en autant de plages d'égale dimension (cas de la quantification uniforme) qu'il y a d'états possibles de la sortie numérique. Chaque plage est associée à un code numérique représentant la tension analogique d'entrée.

La figure II.6 représente la caractéristique de transfert idéale (sans défaut) en escalier d'un CAN à 3 bits.

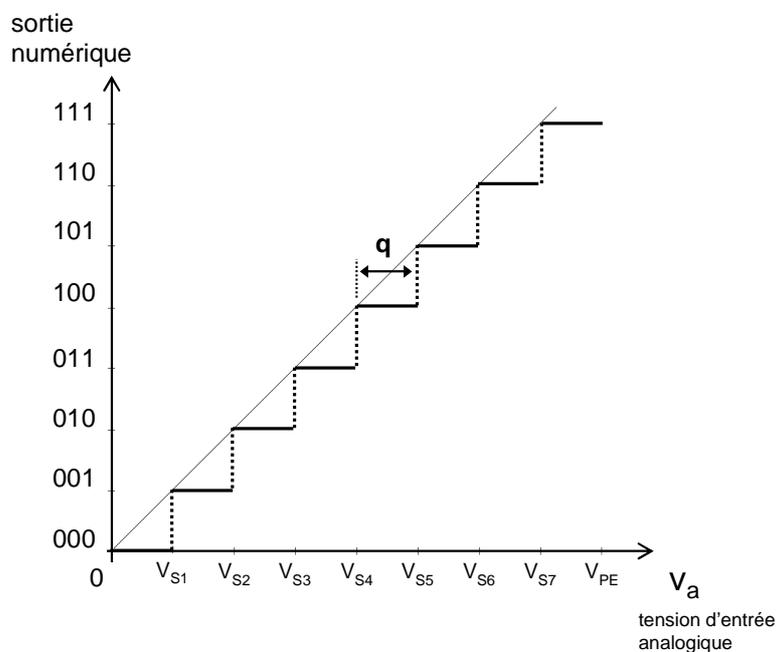


Fig. II.6 – Caractéristique de transfert idéale d'un CAN à quantification linéaire par défaut.

On définit le **quantum**, ou **LSB** (pour *Least Significant Bit*, le bit de poids faible) comme étant la dimension de ces plages. On le note q et l'obtient par :

$$q = \text{LSB} = \frac{V_{PE}}{2^N} \quad (\text{il y a bien } 2^N \text{ "marches" à "l'escalier"})$$

Les tensions de seuil V_{sk} , correspondant aux transitions entre les codes de sortie, sont telles que :

$$V_{sk} = k.q \quad k \in \{1, \dots, 7\}$$

ce qui correspond à une quantification linéaire par défaut.

Sur la figure précédente est également portée en pointillé la droite de transfert idéale ; elle correspond à un CAN de résolution infinie (un tel CAN n'existe pas).

Plus la résolution d'un CAN est élevée, plus la sortie numérique est une image précise du signal analogique d'entrée comme l'illustre le tableau II.1 pour une tension de pleine échelle de 5V.

N	quantum
8	19,5 mV
10	4,8 mV
12	1,22 mV
14	305 μ V

Tab. II.1 – Quantum d'un CAN en fonction de sa résolution ($V_{PE}=5V$).

Erreur de quantification (ou de codage) : différence entre la valeur du signal échantillonné et la valeur analogique d'entrée correspondant au code de sortie (correspondance donnée par la droite de transfert idéale), l'erreur de codage est exprimée en LSB. La figure II.7 donne l'erreur de codage d'un CAN à 3 bits pour une quantification linéaire par défaut.

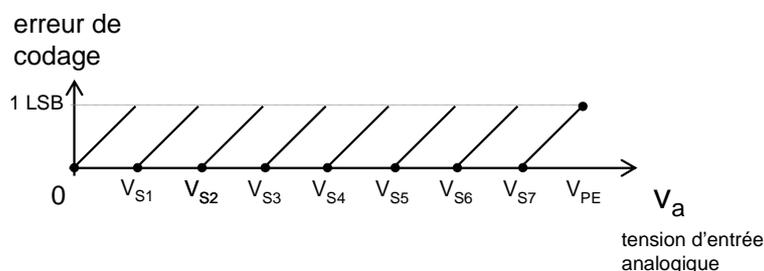


Fig. II.7. – Erreur de codage de la quantification linéaire par défaut.

L'erreur de quantification est comprise entre 0 et 1 LSB. Ainsi, tous les signaux analogiques compris entre V_{S2} et V_{S3} , par exemple, sont représentés par le code binaire 010.

Ce type d'erreur est inhérent aux CAN, il est lié à l'étape de quantification.

Plus la résolution (le nombre de bits) d'un CAN est élevée plus l'erreur de quantification est réduite.

Un simple changement de convention, dans la fixation des tensions de seuil, permet de réduire l'erreur de quantification en valeur absolue. Ainsi, on utilisera plutôt la quantification linéaire centrée, pour laquelle la droite de transfert idéale passe par le centre des "marches" de la caractéristique (cf. Fig. II.8).

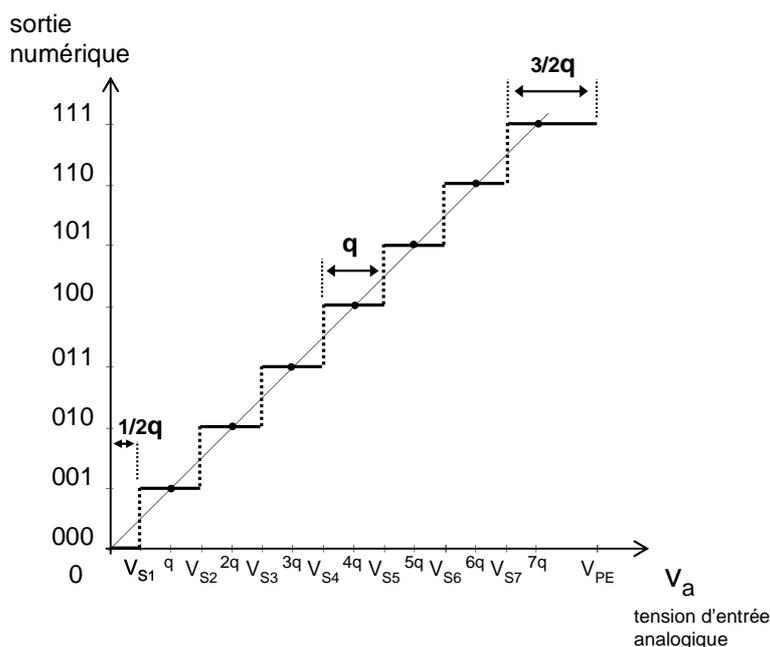


Fig. II.8 – Caractéristique de transfert d'un CAN à quantification linéaire centrée.

La droite de transfert idéale coupe la caractéristique idéale de transfert pour $v_a = k.q$ tel que $k \in \{1, \dots, 2^N - 1\}$ (cf. points sur la figure). On obtient la caractéristique pour une quantification linéaire centrée en décalant vers la gauche de $1/2LSB$ la caractéristique correspondant à une quantification linéaire par défaut. A noter que le premier palier mesure $1/2LSB$ et le dernier $3/2LSB$.

La figure II.9 donne l'erreur de codage pour une quantification linéaire centrée. Elle varie entre $-1/2LSB$ et $+1/2LSB$ (sauf pour le dernier palier où elle peut atteindre $1LSB$ pour la pleine échelle).

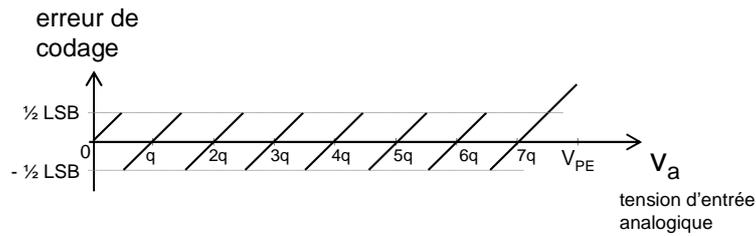


Fig. II.9 – Erreur de codage de la quantification linéaire centrée.

CAN bipolaire.

Les caractéristiques précédentes sont celles de CAN **unipolaires** dont la tension analogique d'entrée est positive. Bien souvent, un même CAN peut être configuré également en mode **bipolaire** de façon à accepter une tension analogique d'entrée négative ou positive (la plage de variation est alors symétrique entre $-1/2V_{PE}$ et $+1/2V_{PE}$). La figure II.10 présente la caractéristique de transfert correspondante.

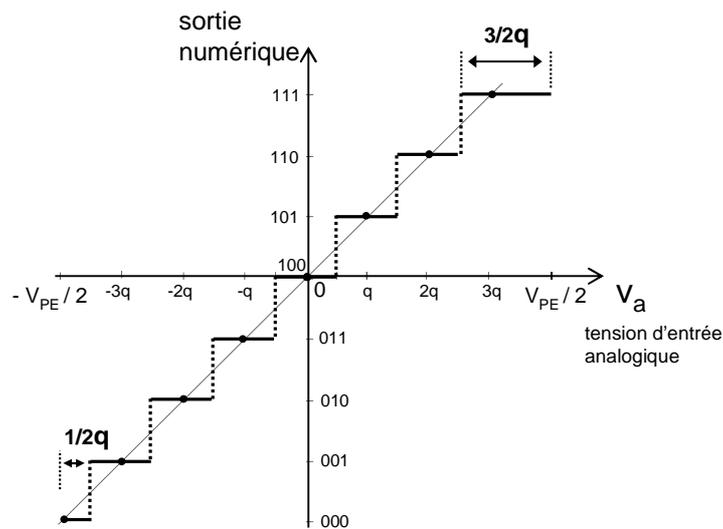


Fig. II.10 – Caractéristique de transfert d'un CAN bipolaire.

Bruit de quantification.

Considérons un signal analogique d'entrée triangulaire d'amplitude $V_{PE} - q$ et de pente α , l'erreur de quantification correspondante est reportée avec le signal sur la figure II.11. On note $E_q(t)$ l'erreur de quantification, c'est un motif en dents de scies variant entre $-1/2LSB$ et $+1/2LSB$ et de pente également α .

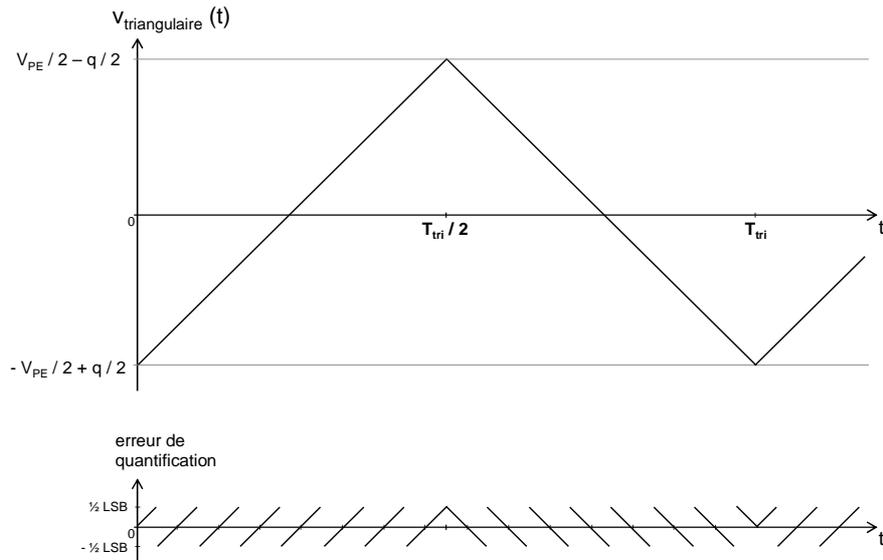


Fig. II.11 – Erreur de quantification d'un signal triangulaire.

On assimile l'erreur de quantification à un bruit dont on calcule la puissance moyenne (pour une résistance normalisée de 1Ω) :

$$P_{\text{bruit}} = \frac{1}{T_{\text{tri}}} \int_0^{T_{\text{tri}}} E_q^2(t) dt$$

tel que $E_q(t) = \pm \alpha t$ sur des intervalles $\Delta t = q/\alpha$ d'où

$$P_{\text{bruit}} = \frac{1}{\Delta t} \int_{-\Delta t/2}^{\Delta t/2} \alpha^2 t^2 dt$$

$$P_{\text{bruit}} = \frac{\alpha}{q} \int_{-q/2\alpha}^{q/2\alpha} \alpha^2 t^2 dt$$

Soit
$$P_{\text{bruit}} = \frac{q^2}{12}$$

On admettra que ce résultat est valide² pour un signal pleine échelle triangulaire ou sinusoïdal dès que la résolution est supérieure à 6.

Le **rapport signal sur bruit** (SNR pour Signal to Noise Ratio) d'un CAN idéal est défini pour une entrée sinusoïdale pleine échelle, c'est le quotient entre la valeur efficace du signal $V_{\text{eff, sinus}}$ et celle du bruit $V_{\text{eff, bruit}}$ (s'agissant d'un CAN idéal le bruit se réduit au bruit de quantification) :

$$SNR = \frac{V_{\text{eff, sinus}}}{V_{\text{eff, bruit}}}$$

² Pour une quantification linéaire par défaut on a $P_{\text{bruit}} = q^2 / 3$.

Avec
$$V_{eff, sinus} = \frac{V_{PE}}{2\sqrt{2}} = \frac{2^{N-1}q}{\sqrt{2}}$$

Et
$$V_{eff, bruit} = \sqrt{P_{bruit}} = \frac{q}{\sqrt{12}}$$

D'où
$$SNR = \sqrt{6} \cdot 2^{N-1}$$

Soit en dB
$$SNR_{dB} = 20 \log SNR = 6,02N + 1,76$$

Le SNR d'un CAN augmente avec sa résolution (gain de 6 dB par bit supplémentaire).

Ce résultat représente le SNR maximal atteignable pour un convertisseur (il n'est valable que pour un signal sinusoïdal pleine échelle).

Codage.

En mode unipolaire le codage le plus couramment utilisé est le code binaire naturel. Un mot binaire s'écrit : $b_1 b_2 \dots b_{N-1} b_N$, avec b_1 le bit de poids fort (PF, ou MSB *Most Significant Bit*) et b_N le bit de poids faible (pf, ou LSB *Less Significant Bit*), le nombre décimal correspondant est : $D = b_1 \cdot 2^{N-1} + b_2 \cdot 2^{N-2} + b_{N-1} \cdot 2^1 + b_N \cdot 2^0$.

A un code D donné correspond la tension : $V = q \cdot (b_1 \cdot 2^{N-1} + b_2 \cdot 2^{N-2} + \dots + b_{N-1} \cdot 2^1 + b_N \cdot 2^0)$

ou encore
$$V = V_{PE} \cdot (b_1 / 2 + b_2 / 2^2 + \dots + b_N / 2^N)$$

En fonction de l'architecture du CAN considéré on peut être amené à manipuler un code **thermomètre**. Par comparaison avec un code binaire classique sur N bits il s'écrit avec 2^{N-1} bits (cf. Tab. II.2).

D	binaire	code thermomètre
7	111	1111111
6	110	0111111
5	101	0011111
4	100	0001111
3	011	0000111
2	010	0000011
1	001	0000001
0	000	0000000

Tab. II.2 – Code thermomètre.

En mode bipolaire, on peut utiliser plusieurs codes courants présentés table II.3.

Le code binaire signé est obtenu en rajoutant un bit de signe devant le MSB au code binaire naturel. Pour un bit de signe nul, le nombre est positif, il est négatif pour un bit égale à un.

Le code binaire signé est peu propice aux opérations arithmétiques.

D	signé	binaire décalé	complément à 2
3	011	111	011
2	010	110	010
1	001	101	001
0	000/100	100	000
-1	101	011	111
-2	110	010	110
-3	111	001	101
-4	-	000	100

Tab. II.3 – Codes bipolaires.

Le code binaire décalé consiste, comme son nom l'indique, à décaler le code binaire naturel. Il permet de compter de -2^{N-1} à $2^{N-1}-1$. b_1 fait office de bit de signe. C'est un code fréquemment utilisé dans les CANs.

Le code complément à 2 correspond au code binaire décalé avec complémentation du bit de signe. Pour les nombres positifs on retrouve le code binaire naturel. Ce code doit son succès à sa facilité d'implémentation au niveau des opérateurs logiques.

II.4. Caractéristiques des convertisseurs analogiques – numériques réels.

En plus de l'erreur systématique de quantification les CANs réels présentent des défauts que l'on classe en paramètres statiques et dynamiques.

Paramètres statiques.

Erreur d'offset (erreur de décalage) : on appelle offset un décalage horizontal de la caractéristique de transfert d'un CAN, l'erreur d'offset est exprimée usuellement en LSB (cf. Fig. III.1). Une mesure de l'offset peut être faite en retranchant $\frac{1}{2}$ LSB à la première tension de seuil V_{S1} .

Erreur de gain : l'erreur de gain permet de mesurer l'écart entre la pente de la caractéristique idéale de transfert et la pente de la caractéristique réelle obtenue par régression linéaire des centres des paliers (cf. Fig. II.12 également).

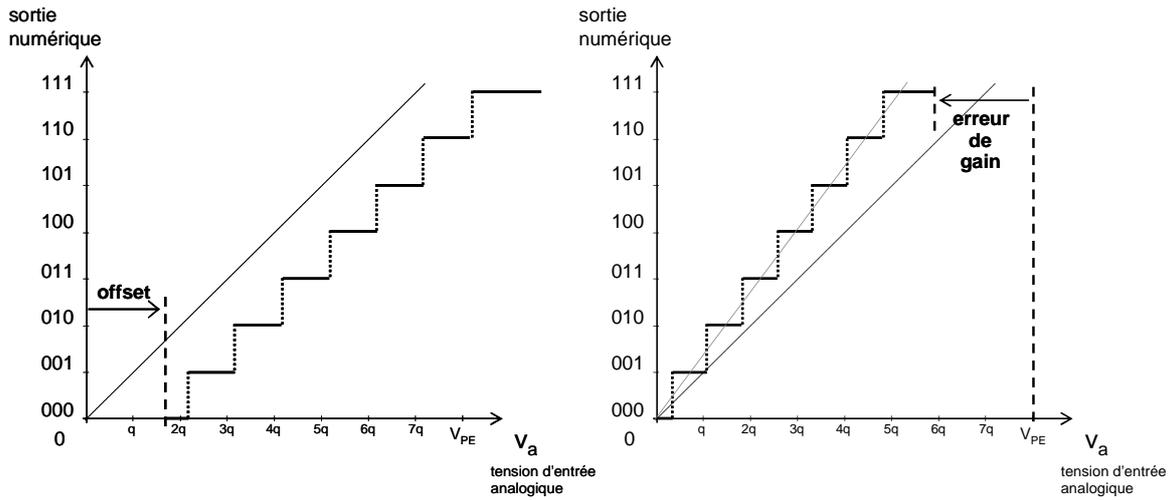


Fig. II.12 – Erreurs d’offset et de gain.

Non linéarités.

Les erreurs de non linéarité caractérisent les variations locales des tensions de seuil. On distingue non linéarités différentielles (**DNL** pour *Differential Non Linearity*) et intégrales (**INL** pour *Integral Non Linearity*). Elles sont mesurées après annulation des erreurs d’offset et de gain. Elles sont exprimées en LSB.

La **DNL** représente l’écart entre la dimension réelle d’un palier de la caractéristique de transfert réelle et la dimension idéale (1 LSB) :

$$DNL(k) = \frac{(V_{Sk+1} - V_{Sk}) - q}{q} \quad (\text{cf. Fig. II.13})$$

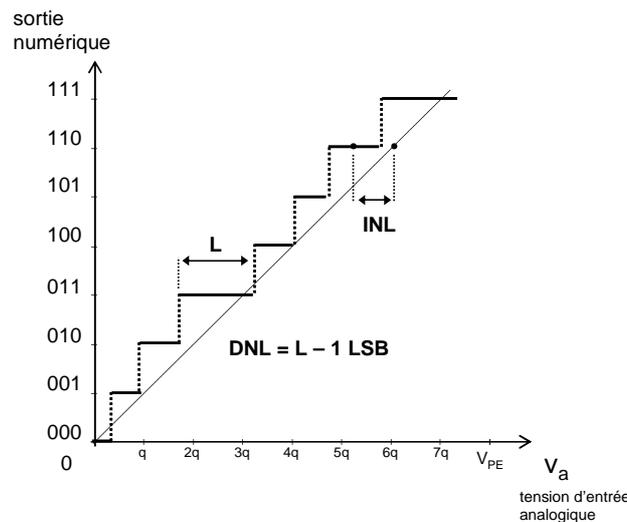


Fig. II.13 – Non linéarités différentielles et intégrales.

L'**INL**, est une représentation cumulative des DNL, elle matérialise l'écart entre le centre d'un palier et la droite de transfert idéale :

$$INL(k) = \frac{V_{Sk} - V_{Sk \text{ idéale}}}{q} = \sum_{j \leq k} DNL(j) \text{ (cf. Fig. II.13)}$$

Erreur de code manquant : on parle d'erreur de code manquant quand un des codes de sortie n'apparaît jamais quelque soit la valeur de la tension analogique d'entrée (cf. Fig. II.14, où le code 010 est manquant). Si les DNL d'un CAN sont strictement comprises entre $-\frac{1}{2}\text{LSB}$ et $+\frac{1}{2}\text{LSB}$, il ne peut pas y avoir de code manquant.

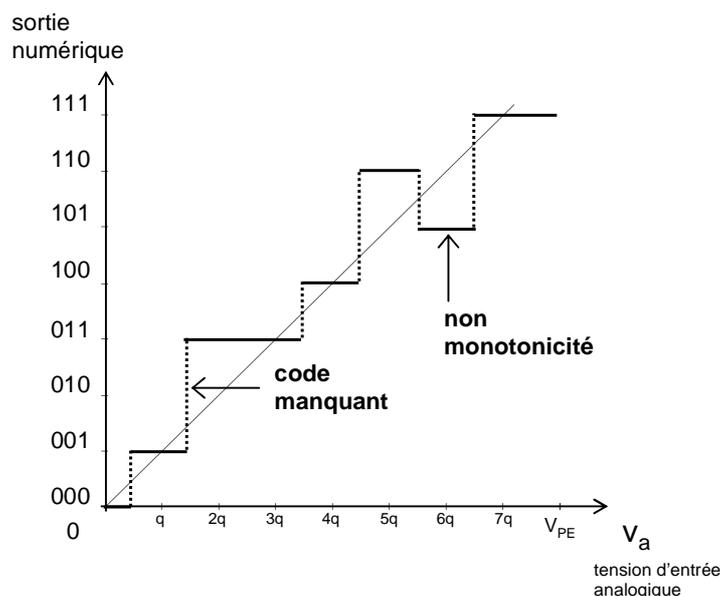


Fig. II.14 – Code manquant et non monotonicité.

Monotonicité : Il y a erreur de monotonicité lorsque les codes numériques en sortie ne se succèdent pas de façon croissante pour un signal d'entrée croissant (cf. Fig. II.14).

Paramètres dynamiques.

Les paramètres dynamiques permettent de mesurer la dégradation du signal numérique en sortie d'un CAN par rapport au signal analogique d'entrée.

Ils sont mesurés par analyse spectrale. Le CAN caractérisé est soumis en entrée à un signal analogique sinusoïdal pleine échelle (généralement). Les défauts du CAN réel entraînent la présence de bruit et d'harmoniques du signal d'entrée en sortie. La figure II.15 donne le spectre correspondant en sortie, calculé par FFT (*Fast Fourier Transform*, ou transformée de Fourier rapide). On retrouve le fondamental d'amplitude a_1 à la fréquence f_{sin} , ainsi que des harmoniques d'amplitudes a_k aux fréquences $k.f_{\text{sin}}$. Il y a également présence de bruit (le bruit

de quantification bien évidemment mais aussi le bruit créé par les différents défauts du CAN). On rencontre parfois également des raies dans le spectre qui émergent du niveau de bruit moyen à des fréquences non harmoniques de la sinusoïde d'entrée, on les nomme **Spurious** (cf. la raie d'amplitude s Fig. II.15).

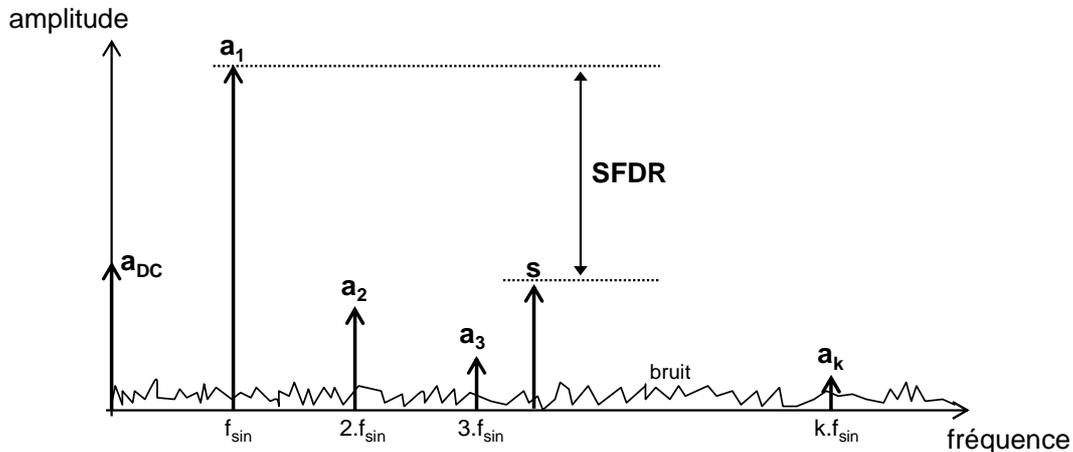


Fig. II.15 – Spectre en sortie pour la mesure des paramètres dynamiques.

La suite de ce paragraphe décrit les principaux paramètres dynamiques.

SNR (*Signal to Noise Ratio*), rapport signal sur bruit hors distorsion :

Il représente le rapport entre la puissance du signal (le fondamental) et la puissance de bruit (sans prendre en compte la composante continue et les harmoniques).

$$SNR_{dB} = 10 \cdot \log \left(\frac{P_{signal}}{P_{bruit}} \right)$$

Le SNR mesuré dans un cas pratique sera nécessairement inférieur au SNR théorique explicité au II.3.

SINAD (*Signal to Noise ratio And Distorsion*), rapport signal sur bruit avec distorsion :

Il représente le rapport entre la puissance du signal et la puissance comprise dans le bruit, les harmoniques et les éventuels spurious.

$$SINAD_{dB} = 10 \cdot \log \left(\frac{P_{signal}}{P_{bruit + distorsion}} \right)$$

ENOB (*Effective Number Of Bits*), nombre de bits effectif :

Sa définition est liée à celle du SINAD. L'ENOB est le nombre de bits du CAN idéal qui donnerait le même SINAD que le CAN réel.

D'où $SINAD_{dB} = 6,02 \cdot ENOB + 1,76$

$$ENOB = \frac{SINAD_{dB} - 1,76}{6,02}$$

SFDR (*Spurious Free Dynamic Range*) :

Le SFDR donne la plage de fonctionnement du CAN exprimée comme la distance (en dB) séparant l'amplitude du fondamental et l'harmonique ou *spurious* d'amplitude la plus élevée sur la bande de fréquence considérée (généralement du continu à $f_{ech}/2$).

$$SFDR_{dB} = 20 \cdot \log \frac{a_1}{\max(a_k, s)}$$

Le SFDR est illustré figure II.15. Il s'exprime relativement à l'amplitude du signal, l'unité utilisée est le dB_c (dB *below carrier*).

THD (*Total Harmonic Distorsion*), taux de distorsion harmonique :

Il permet de caractériser la distorsion introduite par un CAN. Le THD est le rapport entre la puissance des harmoniques et la puissance du fondamental.

$$THD = 10 \cdot \log \frac{P_{harmoniques}}{P_{signal}}$$

Avec $P_{harmoniques} = a_2^2 + a_3^2 + \dots + a_k^2$ et $P_{signal} = a_1^2$.

II.5. Architectures des convertisseurs analogique – numérique.

On distingue deux grandes familles de CAN basées sur deux approches différentes de l'échantillonnage : les CAN classiques dont la fréquence d'échantillonnage est telle que le spectre du signal converti occupe quasiment toute la bande de Nyquist (*Nyquist Rate ADC*) et les CAN à sur échantillonnage (*Oversampling ADC*) dont seule une partie réduite du bruit de quantification affecte le signal converti.

CAN classiques.

Ils sont basés sur deux principes de conversion, série ou parallèle ; et se subdivisent en trois sous-familles, les CAN série, les CAN parallèle et les CAN série - parallèle.

La conversion dans un CAN série est effectuée pas à pas, il en est ainsi des CAN à intégration, à approximations successives et à redistribution de charges.

La conversion parallèle consiste à comparer simultanément la valeur à convertir à tous les seuils, le nom donné à ces convertisseurs est CAN Flash.

Les CAN série – parallèle combinent les deux approches afin de tirer partie de leurs avantages respectifs tout en limitant les effets de leurs défauts.

Convertisseur par intégration.

Il existe plusieurs sortes de convertisseurs à intégration basés sur un principe similaire, le décompte du temps écoulé lors de la charge d'une capacité. La figure II.16 donne l'architecture d'un CAN double rampe (*dual slope ADC*) qui est la variété la plus répandue.

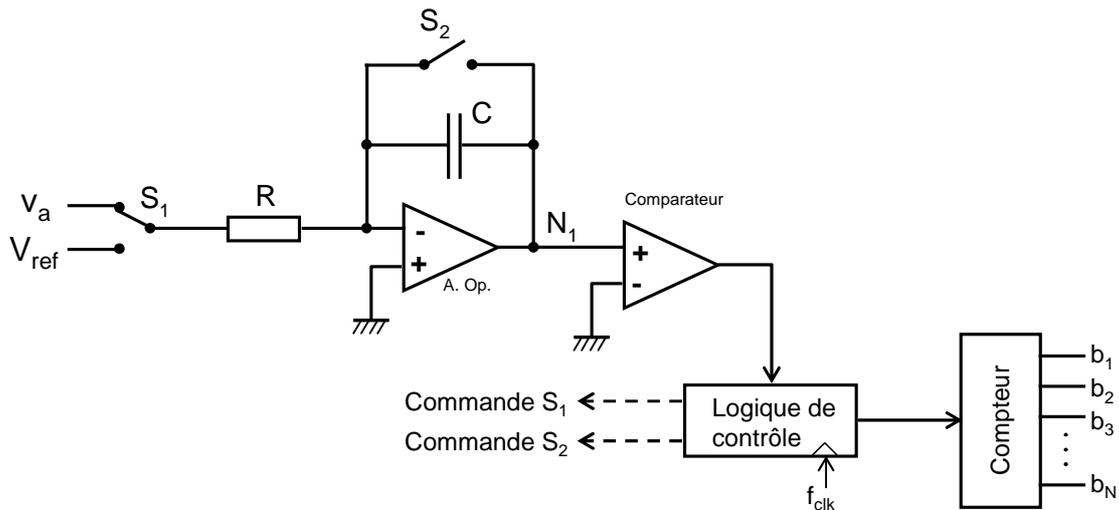


Fig. II.16 – Convertisseur double rampe.

La conversion d'une tension analogique d'entrée v_a , négative par exemple, se décompose en deux phases. Au début du cycle de conversion l'interrupteur S_2 est fermé de façon à décharger la capacité C , d'où $v_{N1} = 0$.

La première phase commence lorsque S_2 est ouvert et que l'entrée de l'intégrateur formé par l'amplificateur opérationnel, R et C est connectée (via S_1) à v_a . Il s'établit un courant $I = v_a / R$ dans la résistance R , dirigé de la droite vers la gauche ($v_a < 0$). D'où une croissance linéaire de v_{N1} avec une pente positive $|v_a| / RC$ (cf. Fig. II.17). Simultanément le compteur est activé et il s'incrémente au rythme du signal d'horloge f_{clk} (de fréquence constante). La première phase se termine lorsque le compteur a compté 2^N périodes (avec N la résolution du CAN). On note V_{pic} la tension obtenue en sortie de l'intégrateur (v_{N1}), elle vérifie

$$\frac{V_{pic}}{T_1} = \frac{|v_a|}{RC}$$

Avec T_1 , la durée de la première phase. A noter que la valeur de T_1 est fixe (elle est fonction de f_{clk} et de N). A la fin de la phase le compteur est remis à zéro.

La deuxième phase de la conversion commence à $t = T_1$, en connectant l'entrée de l'intégrateur au potentiel de référence V_{ref} (tel que $V_{ref} > 0$). Le courant dans la résistance s'inverse, il est égal à V_{ref} / R . v_{N1} entame une décroissance linéaire avec une pente $-V_{ref} / RC$ (cf. Fig. II.17). Dans le même temps le compteur a recommencé à compter dès le début de la deuxième phase. Elle s'achève quand la tension en sortie de l'intégrateur s'annule (le passage par zéro est détecté par le comparateur) après une durée T_2 telle que

$$\frac{V_{pic}}{T_2} = \frac{V_{ref}}{RC}$$

d'où
$$T_2 = T_1 \cdot \left(\frac{|v_a|}{V_{ref}} \right)$$

Les durées T_1 et T_2 sont respectivement proportionnelles à 2^N et à n la valeur de sortie du compteur à l'instant $t = T_1 + T_2$, avec le même coefficient de proportionnalité, ce qui implique

$$n = 2^N \cdot \frac{|v_a|}{V_{ref}}$$

La sortie du compteur représente l'équivalent analogique de v_a .

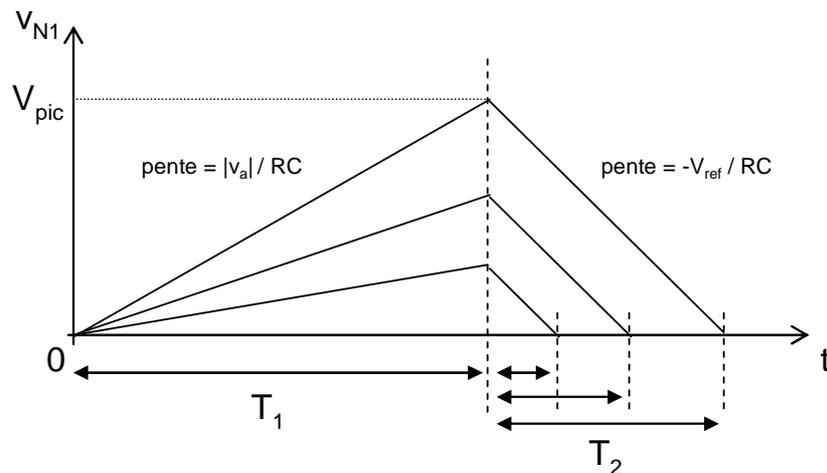


Fig. II.17 – Détail des phases de conversion.

La première phase du cycle de conversion est à durée constante T_1 et à pente variable (dépendant de v_a), à l'inverse, la deuxième phase est à pente constante (fixée par la tension de référence) et à durée variable.

Les CAN double rampe permettent d'obtenir une très bonne précision (jusqu'à 18 bits). Leur principale force réside dans l'indépendance du résultat de conversion vis-à-vis des valeurs

exactes de R et de C, ce qui relâche la contrainte concernant la précision de ces éléments et leurs éventuelles dérives (liées au vieillissement, à la température, etc.).

Le temps de conversion est cependant relativement important, il peut atteindre $2^{N+1}T_{clk}$ pour une tension proche de V_{ref} en valeur absolue.

Convertisseur à approximations successives (SAR converter).

La figure II.18 donne la topologie d'un convertisseur à approximations successives (SAR converter, pour *Successive Approximation Register*).

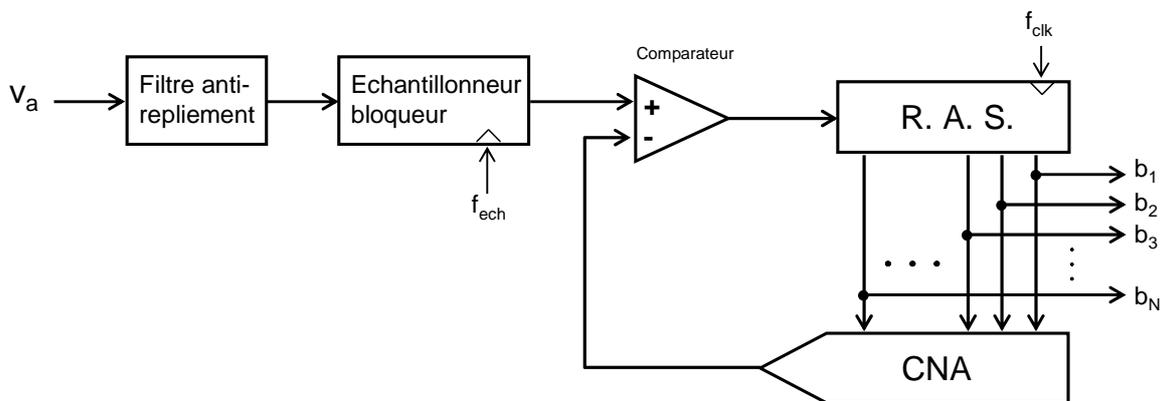


Fig. II.18 – Convertisseur à approximations successives.

Le signal analogique à convertir passe par un filtre anti-repliement puis est échantillonné et bloqué pendant toute la phase de conversion.

Le CAN possède une boucle de rétroaction, constituée d'un CNA de même résolution et d'un comparateur qui commande un Register à Approximation Successive (RAS, qui donne son nom à cette architecture).

Le principe de conversion est basé sur une recherche du code de sortie par dichotomie (cf. Fig. II.19), à chaque coup d'horloge l'intervalle de recherche est divisé par 2. En début de conversion tous les bits de sortie (RAS et CAN) sont positionnés à zéro à l'exception du MSB, b_1 , qui est fixé à un. Le mot binaire correspondant (100...0) est présenté au CNA qui délivre en sortie une tension $V_{ref}/2$. Cette dernière est comparée à v_a . Si v_a est inférieur à $V_{ref}/2$ alors b_1 passe à zéro, dans le cas contraire il reste à un ; dans les deux cas il s'agit de la valeur finale de conversion du bit considéré.

Tous les bits de sortie jusqu'au LSB sont testé successivement sur le même principe. C'est le RAS, commandé par la sortie du comparateur, qui gère les valeurs données aux bits.

La figure II.19 présente l'évolution de la sortie numérique d'un CAN 3 bits pour une tension analogique v_a correspondant au code de sortie 101.

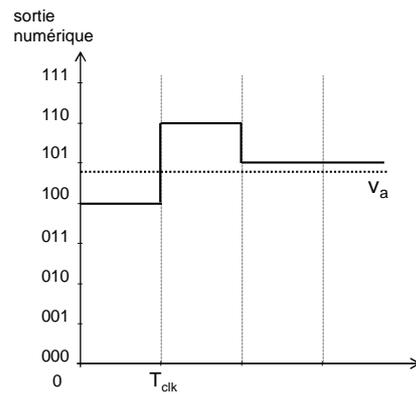


Fig. II.19 – Illustration conversion.

La précision du comparateur doit être supérieure au LSB.

En première approximation, le temps de conversion est $N \cdot T_{clk}$ (à noter cependant que la durée des phases élémentaires s'accroît pour les bits de poids le plus faible afin de laisser le temps au signal issu du CNA de se stabiliser avant la comparaison).

C'est une architecture de conception ancienne, mais encore très répandue. On trouve des CAN SAR jusqu'à 18 bits et quelques MHz.

Convertisseur à redistribution de charges.

Les convertisseurs à redistribution de charge (cf. Fig. II.20 pour un exemple sur 4 bits) sont particulièrement bien adaptés aux technologies CMOS (les transistor MOS permettent de réaliser de bien meilleurs interrupteurs que les transistors bipolaires).

L'exemple présenté, comporte quatre capacités pondérées de façon binaire (C , $C/2$, $C/4$ et $C/8$) et une cinquième capacité de terminaison $C_T = C/8$ de façon à avoir une capacité totale $2C$ (le nombre total de capacités est $N + 1$), un comparateur de tension, plusieurs *switches* analogiques et une logique de contrôle des *switches* commandée par la sortie du comparateur.

Un cycle de conversion se divise en trois phases successives distinctes : une phase d'échantillonnage (i), une phase de maintien (ii) et une phase de redistribution de la charge (iii).

Phase d'échantillonnage :

L'interrupteur S_B est fermé, d'où $v_+ = 0$. Les *switches* S_i ($i=1, \dots, 4$) et S_T connectent les armatures inférieures des capacités à v_a via le *switch* S_A . Il apparaît donc une tension v_a aux bornes de la capacité totale $2C$, qui stocke une charge totale $2Cv_a$.

Cette phase correspond à un échantillonnage de v_a .

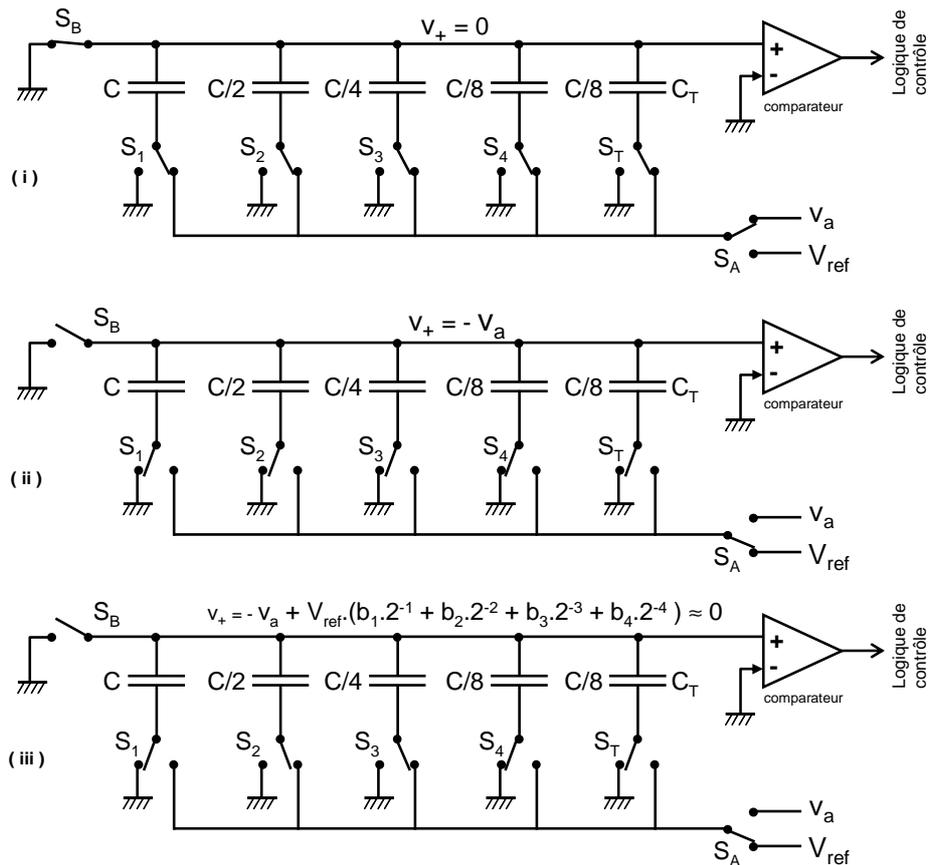


Fig. II.20 – CAN à capacités commutées : (i) échantillonnage, (ii) maintien, (iii) redistribution de la charge.

Phase de maintien :

L'interrupteur S_B est ouvert et les *switches* S_1 à S_T sont basculés vers la masse. Il n'existe dès lors aucun chemin de décharge pour les capacités qui gardent stockée la même charge (d'où le nom phase de maintien). La tension à leurs bornes reste identique, ce qui impose $v_+ = -v_a$.

Dans le même temps S_A bascule vers V_{ref} en préparation de la phase suivante.

Phase de redistribution de la charge :

Cette phase, pendant laquelle se déroule à proprement parler la conversion, s'apparente dans son principe à la recherche par dichotomie déjà décrite pour les CAN à approximation successive.

Lorsqu'un *switch* S_i est basculé de la masse vers V_{ref} il se produit une redistribution de la charge stockée au niveau des armatures supérieures des capacités telle que le potentiel v_+ augmente de $V_{ref} / 2^i$ (si le *switch* est rebasculé vers la masse la charge reprend sa répartition initiale et v_+ le potentiel initial).

Les *switches* de S_1 à S_4 sont testés successivement. Lors du basculement d'un *switch*, si le potentiel de v_+ est négatif, le *switch* reste positionné vers V_{ref} ; dans le cas où le potentiel

devient positif il est rebasculé vers la masse (c'est le comparateur, via la logique de contrôle qui pilote les *switches*).

Lors de cette phase la tension de l'armature supérieure (v_+) passe progressivement à zéro, sa valeur finale (à un LSB près).

A la fin de la phase de maintien on a

$$v_+ = -v_a + V_{\text{ref}}.(b_1.2^{-1} + b_2.2^{-2} + b_1.2^{-3} + b_1.2^{-4}) \approx 0$$

On en déduit le mot de sortie numérique : un *switch* à la masse correspond au bit 0, un *switch* connecté à V_{ref} au bit 1. Le MSB correspond à la capacité la plus grande et ainsi de suite jusqu'au LSB qu'y correspond à la capacité la plus faible. La totalité de la charge initialement stockée l'est maintenant dans les capacités dont le bit est à 1, les capacités dont le bit est à 0 sont déchargées.

La sortie du CAN de la figure II.20 est 0110.

Convertisseur Flash.

Le convertisseur flash est un convertisseur parallèle, l'entrée analogique à convertir est comparée simultanément aux 2^N-1 tensions de seuils (pour un CAN N bit).

Ces tensions de seuil sont obtenues par un pont diviseur comportant 2^N résistances connectées en série entre V_{ref} et la masse. Si toutes les résistances sont identiques on obtient des tensions de seuil correspondant à une quantification linéaire par défaut (voir II.3). Pour obtenir une quantification linéaire centrée, la résistance connectée à la masse est prise égale à $R/2$ et celle connectée à V_{ref} égale à $3R/2$ (c'est le cas de l'exemple présenté figure II.21).

Un CAN flash à N bits comporte 2^N-1 comparateurs (un pour chaque seuil à comparer), 2^N-1 bascules d'échantillonnage et une logique de conversion.

Chacun des comparateurs délivre en sortie le résultat de la comparaison entre la tension de seuil correspondante et le signal analogique v_a , le résultat est stocké dans une bascule d'échantillonnage.

En considérant une valeur de v_a supérieure à la tension de seuil V_k de moins d'un LSB, les comparateurs de C_k à C_{2^N-1} dont les tensions de seuils associées sont inférieures à v_a délivrent en sortie un 1 logique ; les comparateurs de C_{k-1} à C_1 dont les tensions de seuils associées sont supérieures à v_a délivrent en sortie un 0 logique. On obtient, en sortie des comparateurs un code thermomètre (voir II.3) sur 2^N-1 bits, d'où la nécessité d'inclure une logique de conversion du code thermomètre en un code binaire classique.

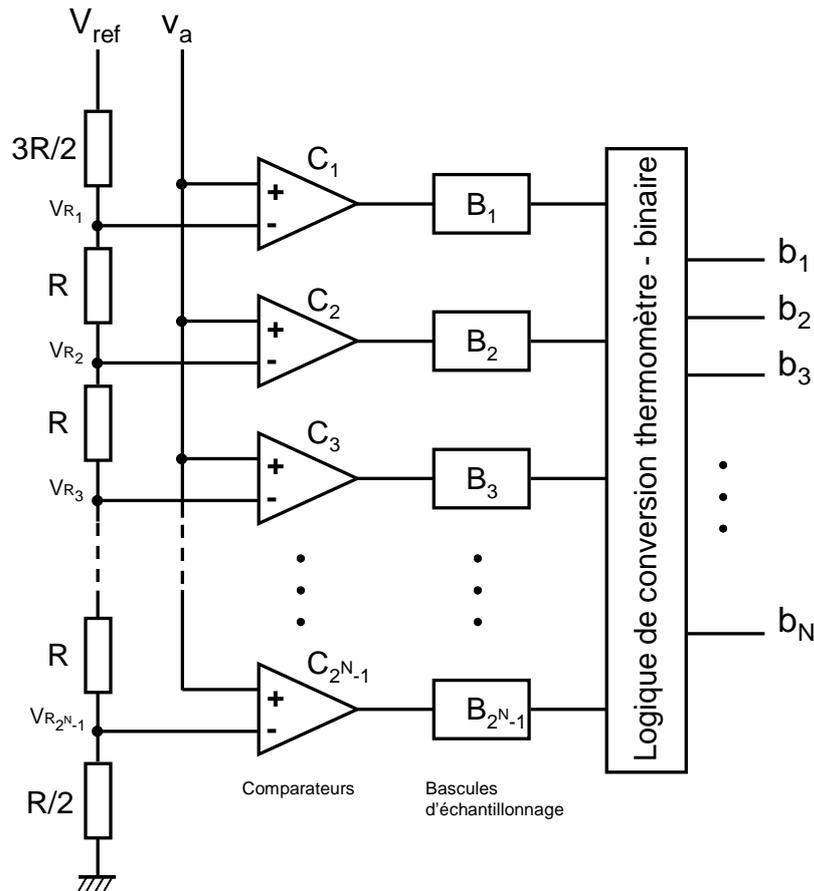


Fig. II.21 – Convertisseur Flash.

La conversion est réalisée en un seul cycle d’horloge, ce type de convertisseur est donc par essence extrêmement rapide.

Cependant leur complexité croît exponentiellement avec N le nombre de bits (en 2^N). Le coût résultant en terme de surface (2^N-1 comparateurs, 2^N-1 bascules), pour une résolution élevée limite leur emploi à une douzaine de bits³ (on gardera à l’esprit $2^{12} = 4096$).

Convertisseur pas à pas (multi-step).

Les convertisseurs série – parallèles marient et tempèrent les avantages et les inconvénients des approches précédentes.

Un exemple de convertisseur pas à pas 8 bits est présenté figure II.22.

Un premier convertisseur parallèle (CAN 4bits MSB) détermine les bits de poids fort correspondant au signal analogique v_a . Le résultat de cette conversion partielle est stocké dans

³ On notera également qu’une augmentation du nombre de comparateurs s’accompagne d’une croissance de la capacité sur l’entrée analogique et donc également d’une augmentation du temps de conversion.

un registre de bascule en attendant la fin de la conversion. Un CNA, sur 4 bits également⁴, reconverti le mot obtenu en un signal analogique qui est soustrais à v_a .

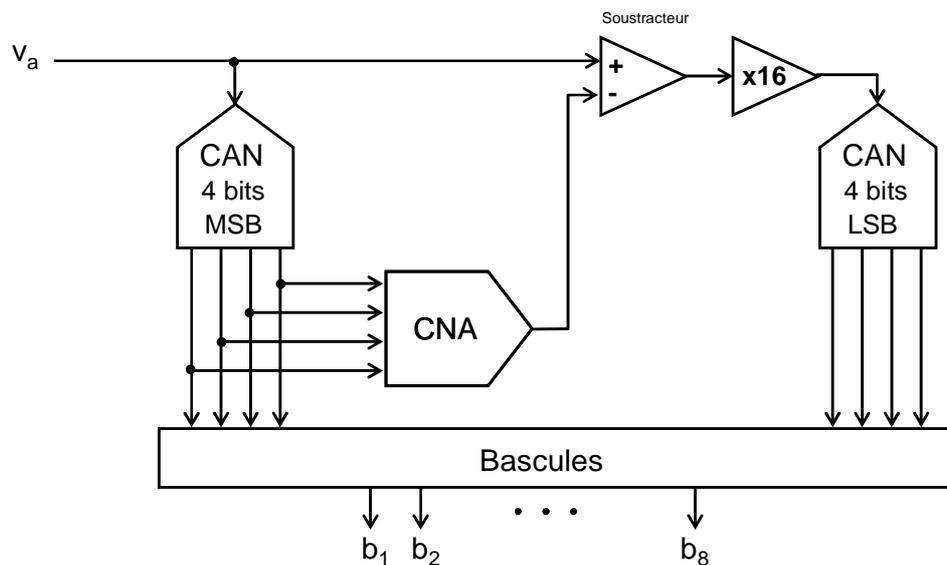


Fig. II.22 – Convertisseur multi-step.

Un second CAN parallèle sur 4 bits (CAN 4 bits LSB) permet de déterminer les 4 bits de poids faible. Avant cette dernière conversion, le signal analogique est amplifié avec un gain $2^4 = 16$, afin d'être recalé en pleine échelle ; cela permet d'utiliser deux CAN identiques ayant la même tension de référence.

Les deux CAN utilisés sont des CAN Flash, ainsi une conversion est réalisée en deux coups d'horloge. Cette durée, $2T_{clk}$, correspond à un retard entre l'instant où le signal analogique est présenté en entrée du CAN et l'instant où la conversion est terminée.

Cependant, lors du calcul des LSB le premier CAN est de nouveau disponible. Il peut donc être utilisé pour calculer les MSB d'une nouvelle valeur échantillonnée de v_a . On obtient alors un résultat de conversion tous les coups d'horloge, avec un retard de deux coups d'horloge sur le signal analogique.

La dégradation du temps de conversion s'accompagne d'un gain en surface important. Chaque CAN possède $2^4 - 1 = 15$ comparateurs, ce qui donne un total de 30 à comparer aux $2^8 - 1 = 255$ comparateurs d'un CAN flash classique à 8 bits.

⁴ La précision du CNA doit correspondre à 8 bits sous peine de fausser la détermination des LSB.

Convertisseur Pipeline.

Les convertisseurs Pipeline sont l'application du principe précédent poussé à l'extrême : un CAN N bits étant réalisé avec N étages de 1 bit. La figure II.23 donne la topologie de l'étage élémentaire d'un CAN pipeline.

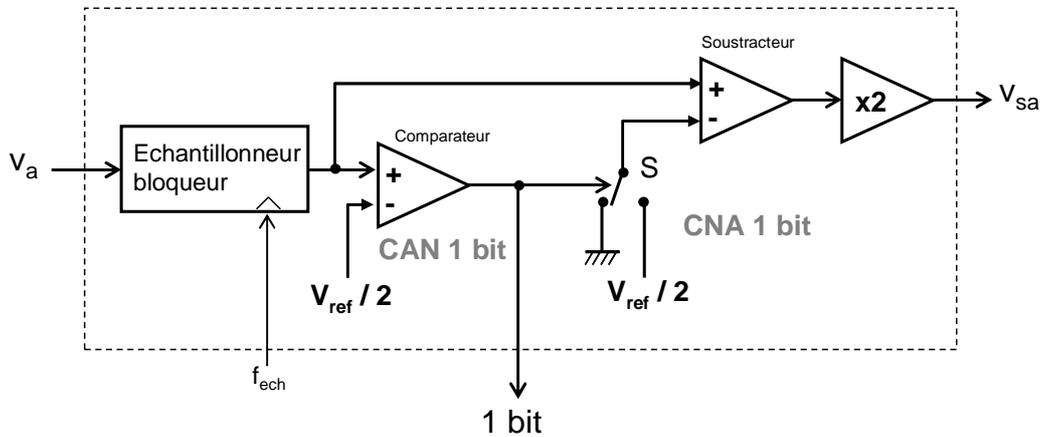


Fig. II.23 – Etage élémentaire d'un convertisseur Pipeline.

La conversion A/N sur un bit est réalisée par comparaison de v_a , après échantillonnage et blocage, avec $V_{ref} / 2$. La conversion N/A sur un bit est faite par un *switch*, commandé par la sortie du comparateur, connectant l'entrée moins du soustracteur à $V_{ref} / 2$ ou a la masse. Le signal en sortie du soustracteur est recalé en pleine échelle par une multiplication par $2^1 = 2$.

La figure II.24 donne la topologie d'un CAN Pipeline à N bits basés sur des étages élémentaires à 1 bit.

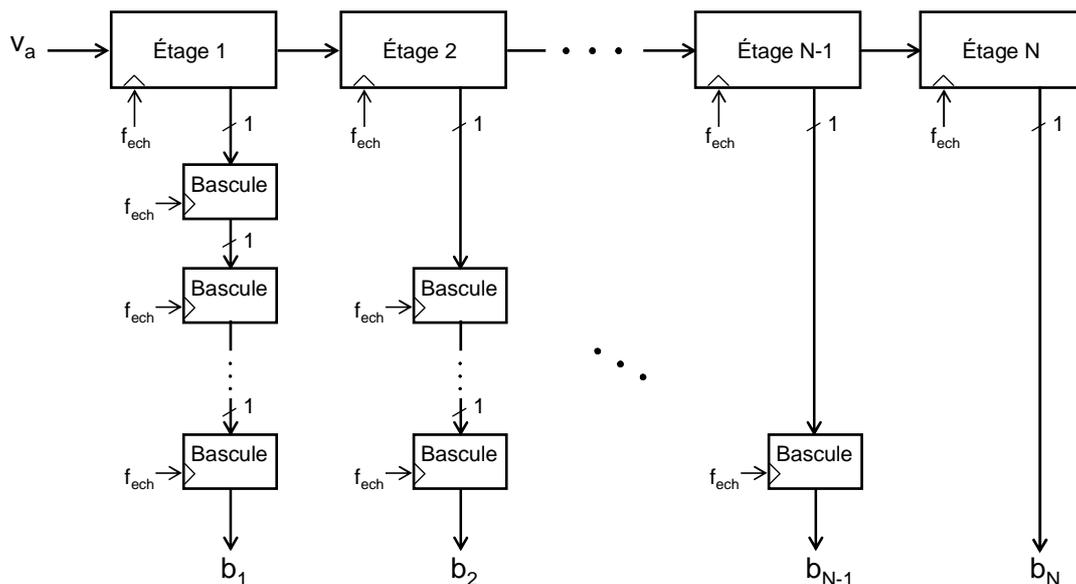


Fig. II.24 – Topologie d'un convertisseur Pipeline.

N conversions en parallèle sur 1 bit sont effectuées à chaque coup d'horloge. Les résultats sont stockés dans des registres à décalage de longueur variable. Il y a un temps de latence de $N.T_{ech}$ entre l'instant où v_a est échantillonné par le premier étage et l'instant où le résultat de la conversion est présenté en sortie. Ce temps de latence rend difficile l'utilisation des CAN Pipeline pour réaliser des asservissements. En régime établi, un résultat de conversion différent est présenté en sortie à chaque coup d'horloge.

Le nombre de comparateurs est limité à N dans cette architecture.

Convertisseur à sur échantillonnage, convertisseur Sigma – Delta.

Principe du sur échantillonnage.

Les convertisseurs A/N dont nous venons d'étudier le principe dans ce qui précède sont dits à échantillonnage de Nyquist (Nyquist Rate Converters), leur fréquence d'échantillonnage est choisie du même ordre de grandeur que le double de la fréquence maximale contenue dans le signal échantillonné (et bien évidemment supérieure à $2f_{max}$). La représentation spectrale associée correspond à la partie gauche de la figure II.25.

Le recours à une fréquence d'échantillonnage supérieure de plusieurs ordres de grandeur à $2f_{max}$ permet d'accroître le rapport sur bruit d'un convertisseur (cf. partie droite de la figure II.25).

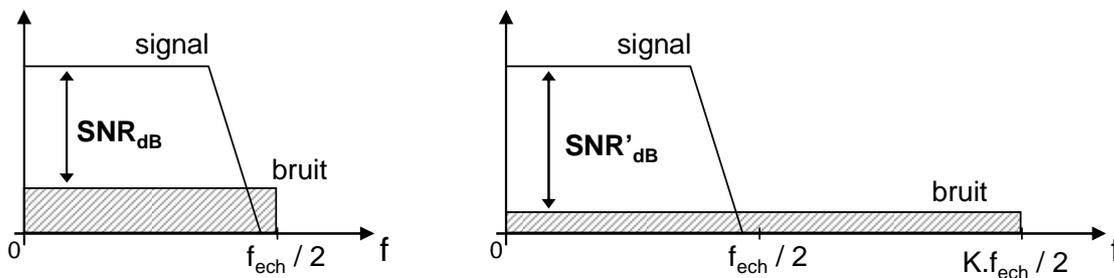


Fig. II.25 – Effet du sur échantillonnage sur le bruit de quantification.

La densité spectrale de puissance de bruit de quantification est en effet répartie uniformément sur la bande de Nyquist (de $-f_{ech} / 2$ à $+f_{ech} / 2$) et est telle que

$$DSP_{bruit} = \frac{q^2}{12.f_{ech}}$$

Le fait d'échantillonner à une fréquence K fois plus élevée permet de diviser d'autant la DSP de bruit :

$$DSP'_{bruit} = \frac{q^2}{12.K.f_{ech}}$$

On obtient alors un rapport signal sur bruit amélioré exprimé par :

$$\text{SNR}'_{\text{dB}} = 6,02.N + 1,76 + 10.\log K$$

Ainsi, le fait de multiplier la fréquence d'échantillonnage par 4 permet d'augmenter le rapport signal sur bruit de $10\log(4) = 6,02$ dB (ce qui correspond également au gain du SNR_{dB} lorsque l'on augmente le nombre de bits de 1).

On notera également, que le sur échantillonnage, permet de relâcher les contraintes sur le design du filtre anti-repliement (coupure à $Kf_{\text{ech}} / 2$).

Les convertisseurs qui utilisent ce principe sont appelés convertisseurs à sur échantillonnage (*oversampling converters*). C'est le cas du convertisseur A/N sigma – delta présenté au paragraphe suivant.

Convertisseur Sigma – Delta ($\Sigma\Delta$).

La figure II.26 présente l'architecture d'un convertisseur A/N Sigma – Delta.

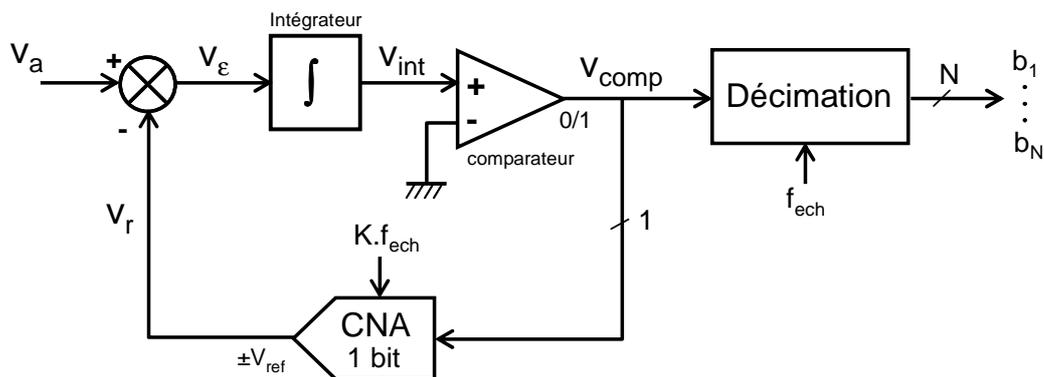


Fig. II.26 – Topologie d'un convertisseur sigma – delta.

Le signal analogique d'entrée v_a est converti en mots binaires de N bits à la fréquence f_{ech} (fréquence de Nyquist). Le sur échantillonnage est localisé au niveau du système bouclé constitué par un soustracteur, un intégrateur, un comparateur et un convertisseur N/A sur 1 bit (sa fréquence de conversion est Kf_{ech} , K est appelé facteur de sur échantillonnage).

Le signal analogique $v_ε$ en sortie du soustracteur correspond à la soustraction du signal issu de la boucle de retour v_r par le signal d'entrée v_a . $v_ε$ est intégré pour donner en sortie de l'intégrateur le signal v_{int} . Ce dernier est connecté à l'entrée + d'un comparateur dont l'entrée – est reliée à la masse. En sortie du comparateur, le signal v_{comp} sur un bit, peut prendre les valeurs logiques 1 ou 0 (pour $v_{\text{int}} \geq 0$ on a $v_{\text{comp}} = 1$ et pour $v_{\text{int}} < 0$ on a $v_{\text{comp}} = 0$).

V_{comp} commande le CNA 1 bit de la boucle de retour ; sa sortie v_r peut prendre les valeurs V_{ref} ou $-V_{ref}$ (pour $v_{comp} = 1$ on a $v_r = V_{ref}$ et pour $v_{comp} = 0$ on a $v_r = -V_{ref}$). La valeur de v_{comp} est prise en compte par le CNA sur les fronts montants d'une l'horloge à la fréquence Kf_{ech} .

Intuitivement, en assimilant l'intégration d'un signal au calcul de sa valeur moyenne et l'action du comparateur à l'annulation de v_{int} (en moyenne), on conçoit que ce système assure des valeurs moyennes identiques pour v_a et v_r . Pour une fréquence d'échantillonnage largement supérieure à celle de v_a , la valeur moyenne de v_r correspond à la valeur instantanée de v_a (qui se confond avec sa valeur moyenne). De plus v_r est une image du flot de bits de v_{comp} , ce dernier donne donc une représentation de v_a .

On peut modéliser le $\Sigma\Delta$ par le schéma de la figure II.27 en considérant que v_r est l'image bruité de v_{int} , soit $v_r = v_{int} + b$, en notant b le bruit de quantification ajouté par le comparateur (CAN 1 bit).

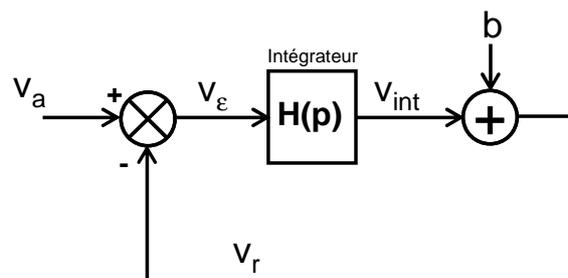


Fig. II.27 – Mise en équation du sigma – delta.

On a

$$v_{\epsilon} = v_a - v_r$$

$$v_{int} = H(p).v_{\epsilon}$$

$$v_r = b + H(p).v_{\epsilon} = b + H(p).v_a - H(p).v_r$$

d'où

$$v_r = \frac{b}{1 + H(p)} + \frac{H(p)}{1 + H(p)}v_a$$

pour un intégrateur du 1^{er} ordre tel que $H(p) = \alpha / p$

on obtient

$$v_r = b \cdot \frac{p}{\alpha + p} + v_a \cdot \frac{\alpha}{\alpha + p}$$

Le premier terme de l'équation précédente correspond à un filtrage passe haut du bruit, et le deuxième terme à un filtrage passe bas du signal d'entrée. Ainsi le bruit est réduit à basse fréquence et rejeté vers les hautes fréquences par le filtrage passe haut. Ce phénomène est appelé **noise shaping**, il permet d'accroître encore le SNR sur la bande de fréquence utile.

Le flot de bits (à la fréquence Kf_{ech}) de v_{comp} contient l'information sur la valeur moyenne de v_a (que l'on assimile à v_a dès lors que Kf_{ech} est bien plus grand que la plus grande fréquence contenue dans v_a). Cette valeur est extraite du flot de bits par un filtrage passe bas numérique et présentée sur N bits à la fréquence f_{ech} , ce traitement est appelé **décimation** (cf. fig. II.26).

La figure II.28 présente le spectre d'un signal et du bruit associé lors de son passage par un convertisseur A/N Sigma – Delta.

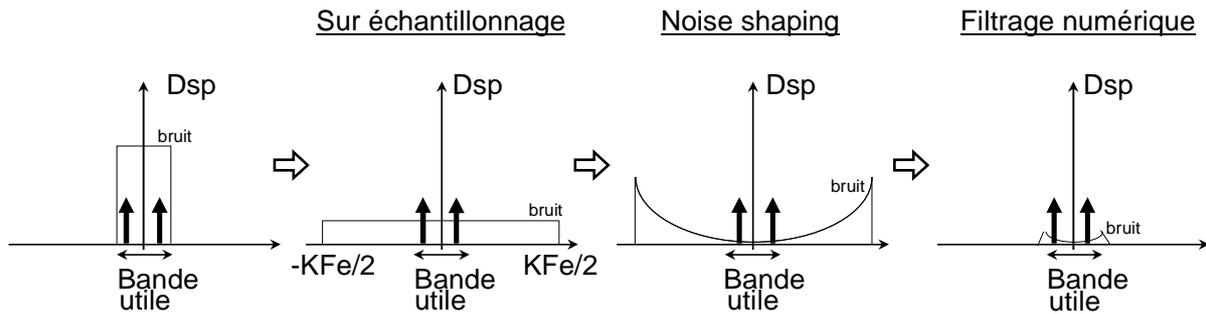


Fig. II.28 – Propriétés fréquentielles d'un convertisseur sigma – delta.

Elle illustre graphiquement les trois étapes de conversion : sur échantillonnage, noise shaping et filtrage, qui permettent d'obtenir un SNR important.

L'exemple (extrêmement) simplifié suivant permet de mieux appréhender le fonctionnement d'un $\Sigma\Delta$.

On considère, un intégrateur tel que sa sortie varie de la valeur appliquée à son entrée entre deux fronts montants de l'horloge, et une tension analogique d'entrée constante $v_a = V_{ref} / 2$. A l'état initial, juste après un front montant, on prend $v_{int} = 0$, donc $v_{comp} = 1$ d'où $v_r = V_{ref}$ et $v_e = -V_{ref} / 2$.

A la fin de la période d'intégration, juste avant le front montant, $v_{int} = -V_{ref} / 2$ et donc $v_{comp} = 0$. Juste après le front, $v_r = -V_{ref}$ et donc $v_e = 3V_{ref} / 2$. A cet instant, commence une nouvelle période d'intégration qui conduit v_{int} à la valeur V_{ref} et donc v_{comp} à 1. Et ainsi de suite comme reporté dans le tableau de la figure II.29.

On constate qu'il s'établit un fonctionnement périodique. La période correspond à quatre périodes d'horloge.

On vérifie $\langle v_r \rangle = V_{ref} / 2$, la valeur de v_a .

	V_{int}	V_{comp}	V_r	V_ϵ
État initial	0	1	V_{ref}	$-V_{ref}/2$
Fin intégration	$-V_{ref}/2$	0		
Après front clk			$-V_{ref}$	$3V_{ref}/2$
Fin intégration	V_{ref}	1		
Après front clk			V_{ref}	$-V_{ref}/2$
Fin intégration	$V_{ref}/2$	1		
Après front clk			V_{ref}	$-V_{ref}/2$
Fin intégration	0	1		
Après front clk			V_{ref}	$-V_{ref}/2$
Fin intégration	$-V_{ref}/2$	0		
Après front clk			$-V_{ref}$	$3V_{ref}/2$
Fin intégration	V_{ref}	1		
Après front clk			V_{ref}	$-V_{ref}/2$
Fin intégration	$V_{ref}/2$	1		
Après front clk			V_{ref}	$-V_{ref}/2$
Fin intégration	0	1		
Après front clk			V_{ref}	$-V_{ref}/2$
Fin intégration	$-V_{ref}/2$	0		

Fig. II.29 – Illustration du fonctionnement.

La figure II.30 donne les courbes de v_{int} et v_{comp} pour $v_a = V_{ref}/2$ et également pour $v_a = 0$.

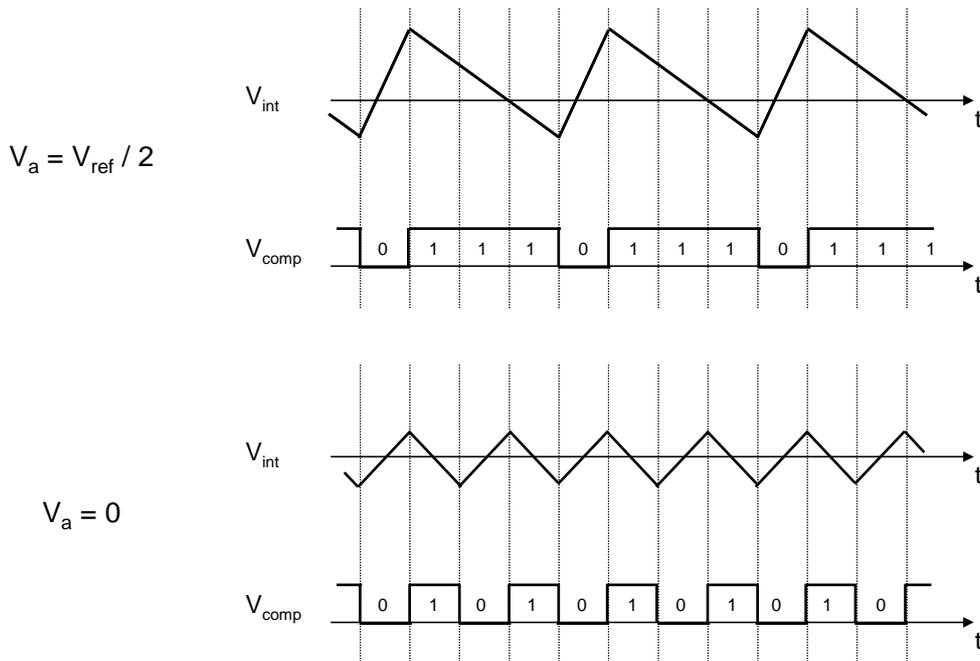


Fig. II.30 – Illustration graphique.

La topologie présentée correspond à un Sigma – Delta d’ordre 1 (une seule boucle de rétroaction), dans la pratique les CAN commercialisés sont d’ordre supérieur.

Cette architecture se caractérise par sa très bonne linéarité et par la résolution importante atteignable (jusqu’à 24 bits). Cependant le filtre numérique (décimation) introduit un retard important.

Conclusion.

En guise de conclusion concernant les convertisseurs A/N la figure II.31 donne leurs gammes d’utilisation en termes de résolution et de fréquence d’échantillonnage.

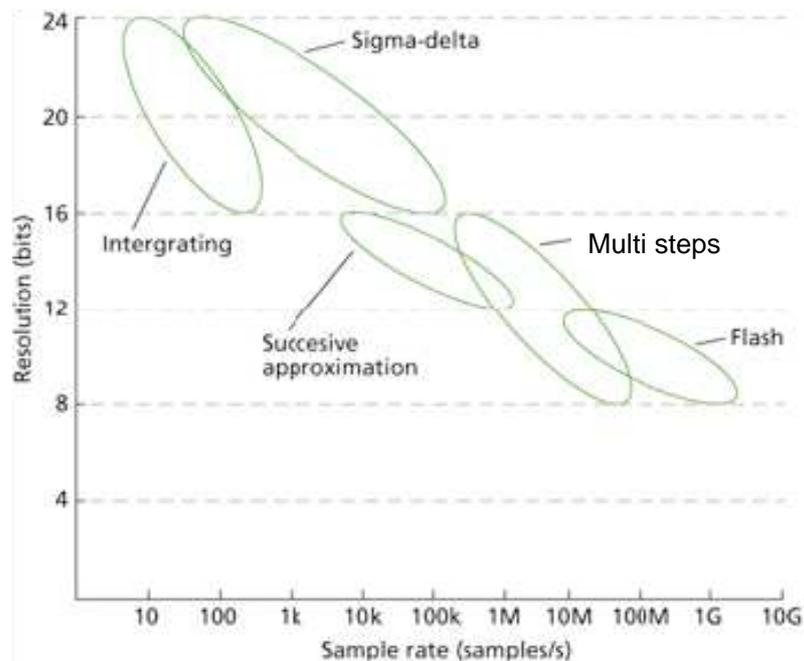


Fig. II.31 – Choix de topologies – www.reed-electronics.com.

Quelques exemples de convertisseurs A/N commercialisés par Analog Device sont donnés dans les pages suivantes :

Part#	Res	Throughput Rate	Operating Pwr Diss	US Price 1000-4999	ENOBs (Bits)	SNR (dB)	DNL	INL	ADC Architecture
Query Parameter:		=> <input type="text" value=""/> MSPS <input type="button" value="v"/>	=< <input type="text" value=""/> mW <input type="button" value="v"/>	=< <input type="text" value="\$"/> US <input type="button" value="v"/>	=> <input type="text" value=""/> Bits =>	=> <input type="text" value=""/> dB =>	=< <input type="text" value=""/> LSB =<	=< <input type="text" value=""/> LSB =<	=> <input type="text" value=""/> SAR <input type="button" value="v"/>
Sort Parameter:		<input type="button" value="v"/>	<input type="button" value="v"/>	<input type="button" value="v"/>	<input type="button" value="v"/>	<input type="button" value="v"/>	<input type="button" value="v"/>	<input type="button" value="v"/>	
AD7621	16	3MSPS	86mW	\$29.95	14.6Bits	90dB	2.01LSB	1LSB	SAR
AD7641	18	2MSPS	-	-	-	-	-	-	SAR
AD7933	10	1.5MSPS	16mW	\$3.50	9.7Bits	60dB	0.5LSB	0.5LSB	SAR
AD7934	12	1.5MSPS	16mW	\$7.10	11.3Bits	70dB	0.95LSB	1LSB	SAR
AD7938	12	1.5MSPS	16mW	\$7.35	11.3Bits	70dB	0.95LSB	1LSB	SAR
AD7939	10	1.5MSPS	16mW	\$3.75	9.7Bits	60dB	0.5LSB	0.5LSB	SAR
AD7653	16	1MSPS	145mW	\$11.50	14Bits	86dB	2.49LSB	6.03LSB	SAR
AD7655	16	1MSPS	135mW	\$9.45	14Bits	86dB	-	6.03LSB	SAR
AD7667	16	1MSPS	145mW	\$23.50	14.5Bits	89.2dB	-	2.49LSB	SAR
AD7671	16	1MSPS	125mW	\$27.95	14.7Bits	90dB	-	2.49LSB	SAR
AD7677	16	1MSPS	130mW	\$32.95	15.3Bits	94dB	1LSB	1LSB	SAR
AD7866	12	1MSPS	24mW	\$5.95	11Bits	68dB	0.9LSB	1LSB	SAR
AD7904	8	1MSPS	13.5mW	\$1.55	7.8Bits	49dB	0.2LSB	0.2LSB	SAR
AD7908	8	1MSPS	13.5mW	\$1.85	7.8Bits	49dB	0.2LSB	0.2LSB	SAR
AD7912	10	1MSPS	15mW	\$2.75	9.8Bits	61dB	0.5LSB	0.5LSB	SAR
AD7914	10	1MSPS	13.5mW	\$3.00	9.8Bits	61dB	0.5LSB	0.5LSB	SAR
AD7918	10	1MSPS	13.5mW	\$3.25	9.8Bits	61dB	0.5LSB	0.5LSB	SAR
AD7922	12	1MSPS	15mW	\$2.75	11.7Bits	72.5dB	1.5LSB	1.5LSB	SAR
AD7924	12	1MSPS	13.5mW	\$4.50	11.3Bits	70dB	1.2LSB	1LSB	SAR
AD7928	12	1MSPS	13.5mW	\$4.75	11.3Bits	70dB	1.2LSB	1LSB	SAR
AD7674	18	800KSPS	138mW	\$27.95	16Bits	101dB	1.31LSB	2.62LSB	SAR
AD7612	16	750KSPS	-	-	-	-	-	-	SAR
AD7634	18	670KSPS	-	-	-	-	-	-	SAR
AD7934-6	12	625KSPS	-	\$4.60	-	-	-	-	SAR
AD7938-6	12	625KSPS	-	\$4.85	-	-	-	-	SAR

Part#	Res	Throughput Rate	Operating Pwr Diss	US Price 1000-4999	ENOBs (Bits)	SNR (dB)	DNL	INL	ADC Architecture
Query Parameter:									
	=	=>	=<	=<	=>	=>	=<	=<	▼
Sort Parameter:									
		▼	▼	▼	▼	▼	▼	▼	▼
AD9480	8	250MSPS	698mW	\$17.98	7.5Bits	47dB	0.28LSB	0.26LSB	Pipelined
AD9481	8	250MSPS	618.8mW	\$17.98	7.5Bits	46dB	0.35LSB	0.26LSB	Pipelined
AD9410	10	210MSPS	2.9W	\$53.10	8.8Bits	54dB	0.5LSB	1.65LSB	Pipelined
AD9430-210	12	210MSPS	1.7W	-	10.5Bits	64.5dB	0.3LSB	0.3LSB	Pipelined
AD9054A-200	8	200MSPS	781mW	-	6.85Bits	45dB	0.9LSB	0.6LSB	Pipelined
AD9411	10	170MSPS	1.43W	\$35.95	9.8Bits	60.2dB	0.15LSB	0.5LSB	Pipelined
AD9430-170	12	170MSPS	1.43W	-	10.6Bits	65dB	0.5LSB	0.3LSB	Pipelined
AD9054A-135	8	135MSPS	700mW	-	6.85Bits	45dB	0.9LSB	0.6LSB	Pipelined
AD9433-125	12	125MSPS	1.5W	-	10.9Bits	67.7dB	0.3LSB	0.5LSB	Pipelined
AD9445-125	14	125MSPS	2.6W	-	12.2Bits	77.3dB	0.25LSB	0.8LSB	Pipelined
AD9214-105	10	105MSPS	325mW	-	8.4Bits	53dB	0.8LSB	1.5LSB	Pipelined
AD9215-105	10	105MSPS	145mW	-	9.5Bits	58.5dB	0.6LSB	0.65LSB	Pipelined
AD9216-105	10	105MSPS	330mW	-	9.3Bits	58dB	0.5LSB	1LSB	Pipelined
AD9218-105	10	105MSPS	565mW	-	8.6Bits	55dB	0.8LSB	2LSB	Pipelined
AD9432-105	12	105MSPS	1.1W	-	11Bits	67.5dB	0.25LSB	0.5LSB	Pipelined
AD9433-105	12	105MSPS	1.425W	-	11.1Bits	68dB	0.25LSB	0.5LSB	Pipelined
AD9445-105	14	105MSPS	2.6W	-	12.2Bits	77.6dB	0.25LSB	0.65LSB	Pipelined
AD6845-105	14	105MSPS	1.75W	-	12.2Bits	75dB	0.25LSB	1.5LSB	Pipelined
AD9283-100	8	100MSPS	120mW	-	7.3Bits	46.5dB	0.5LSB	0.75LSB	Pipelined
AD9288-100	8	100MSPS	189mW	-	7.5Bits	47.5dB	0.5LSB	0.5LSB	Pipelined
AD9446-100	16	100MSPS	2.8W	-	13Bits	79.7dB	0.4LSB	3LSB	Pipelined
AD9057-80	8	80MSPS	281mW	-	7.2Bits	46dB	0.75LSB	0.75LSB	Pipelined
AD9236	12	80MSPS	411mW	\$16.50	11.5Bits	70.9dB	0.4LSB	0.35LSB	Pipelined

Part#	Res	Throughput Rate	Operating Pwr Diss	US Price 1000-4999	ENOBs (Bits)	SNR (dB)	DNL	INL	ADC Architecture
Query Parameter:	<input type="text"/>	<input type="text"/> MSPS	<input type="text"/> mW	<input type="text"/> \$ US	<input type="text"/> Bits =>	<input type="text"/> dB =>	<input type="text"/> LSB =<	<input type="text"/> LSB =<	<input type="text"/> Sigma-Delta
Sort Parameter:	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
<u>AD9880</u>	10	64MSPS	1.42W	\$13.74	9.3Bits	60.7dB	293PPM	1172PPM	Sigma-Delta
<u>AD9882</u>	12	64MSPS	1.42W	\$29.75	19.4Bits	64.2dB	97.7PPM	1221PPM	Sigma-Delta
<u>AD9260</u>	16	2.5MSPS	637mW	\$39.90	14.2Bits	88.5dB	8PPM	11PPM	Sigma-Delta
<u>AD7760</u>	24	2.5MSPS	958mW	\$34.95	-	112dB	0.06PPM	7.6PPM	Sigma-Delta
<u>AD7723</u>	16	1.2MSPS	475mW	\$23.00	14.9Bits	90dB	0.5PPM	2PPM	Sigma-Delta
<u>AD7725</u>	16	900KSPS	615mW	\$17.00	-	83dB	0.5PPM	2PPM	Sigma-Delta
<u>AD7762</u>	24	625KSPS	958mW	\$17.95	-	112dB	0.06PPM	7.6PPM	Sigma-Delta
<u>AD7763</u>	24	625KSPS	958mW	\$17.95	-	107dB	-	7.7PPM	Sigma-Delta
<u>AD7721</u>	16	468.75KSPS	150mW	\$10.00	12Bits	-	8PPM	16PPM	Sigma-Delta
<u>AD7729</u>	15	270.8KSPS	59mW	\$7.80	10.3Bits	-	-	-	Sigma-Delta
<u>AD7722</u>	16	195.3KSPS	375mW	\$17.00	14.7Bits	-	0.5PPM	2PPM	Sigma-Delta
<u>AD7732</u>	24	15.4KSPS	100mW	\$8.50	-	-	-	15PPM	Sigma-Delta
<u>AD7734</u>	24	15.4KSPS	100mW	\$8.50	-	-	-	25PPM	Sigma-Delta
<u>AD7738</u>	24	15.4KSPS	100mW	\$7.77	-	-	-	15PPM	Sigma-Delta
<u>AD7739</u>	24	15.1KSPS	100mW	\$7.65	-	-	-	15PPM	Sigma-Delta
<u>AD7731</u>	24	6.4KSPS	67.5mW	\$9.86	20.8Bits	125dB	0.06PPM	15PPM	Sigma-Delta
<u>AD7701</u>	16	4KSPS	37mW	\$13.26	-	-	0.125PPM	0.5PPM	Sigma-Delta
<u>AD7703</u>	20	4KSPS	37mW	\$15.70	-	-	0.5PPM	15PPM	Sigma-Delta
<u>AD7716</u>	22	2.2KSPS	50mW	\$33.03	18Bits	108dB	0.477PPM	30PPM	Sigma-Delta
<u>AD7708</u>	16	1.365KSPS	8.75mW	\$3.98	-	112dB	1PPM	1PPM	Sigma-Delta
<u>AD7718</u>	24	1.365KSPS	8.75mW	\$5.24	-	126dB	4PPM	10PPM	Sigma-Delta

III. Conversion numérique analogique.

III.1. Convertisseurs N/A idéaux.

La figure III.1 donne le symbole d'un convertisseur numérique analogique (DAC, *Digital to Analog Converter*) à N bits ; il peut être suivi, ou non, d'un filtre de lissage (passe bas).

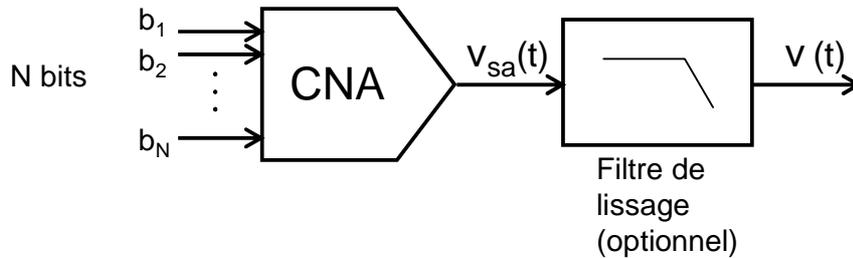


Fig. III.1 – Conversion numérique analogique.

Chacun des 2^N mots binaires pouvant être appliqué en entrée est associé à une tension analogique de sortie $v_{sa}(t)$ (il peut s'agir également d'un courant⁵) telle que :

$$v_{sa} = \left(b_1 \cdot 2^{N-1} + b_2 \cdot 2^{N-2} + \dots + b_{N-1} \cdot 2^1 + b_N \cdot 2^0 \right) \cdot \frac{V_{PE}}{2^N - 1}$$

en prenant b_1 comme MSB.

La figure III.2 présente la caractéristique de transfert idéale pour une entrée sur 3 bits.

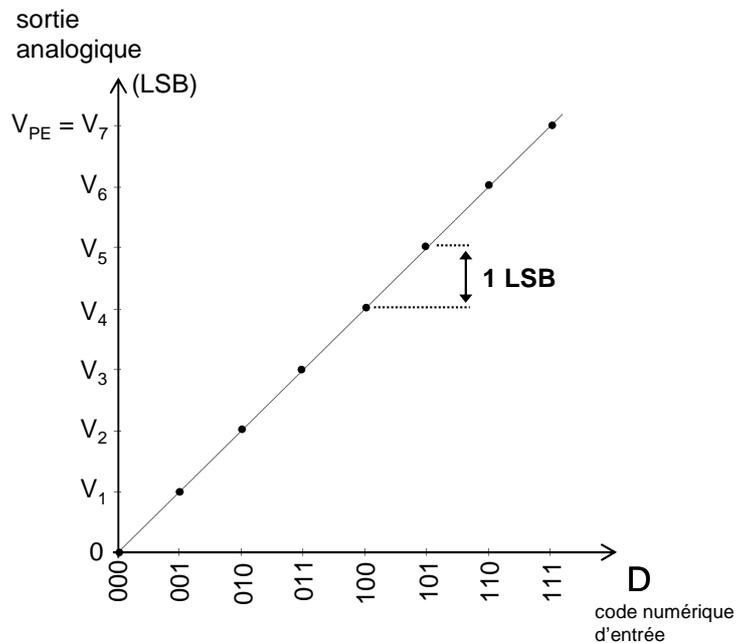


Fig. III.2 – Caractéristique de transfert idéale d'un CNA 3 bits.

⁵ Pour les hautes fréquences, à partir de quelques dizaines de MHz, la sortie d'un CNA sera généralement en courant .

On définit le LSB, ou quantum, comme étant la plus petite variation possible de la tension de sortie (cf. Fig. III.2) correspondant à un changement du bit de poids faible :

$$1 \text{ LSB} = V_{PE} / (2^N - 1) = V_{ref} / 2^N$$

La figure III.3 illustre la conversion N/A d'une série de mots binaires (i) pour N = 3.

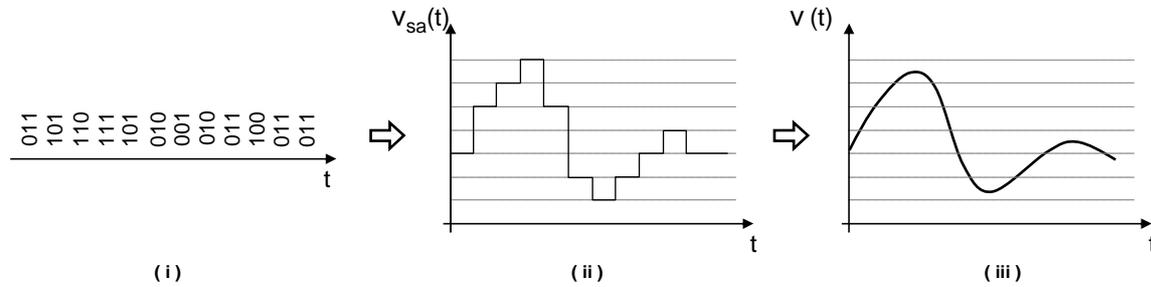


Fig. III.3 – Exemple de conversion pour un CNA 3 bits.

La sortie analogique (cf. ii) $v_{sa}(t)$, est quantifiée. On ajoute parfois en sortie du CNA un filtre analogique passe-bas ou filtre de lissage (cf. iii).

III.2. Caractéristiques des convertisseurs N/A réels.

Les CNA sont caractérisés par leurs paramètres statiques et dynamiques.

Paramètres statiques.

Les paramètres statiques expriment les défauts liés aux déviations de la caractéristique de transfert réelle par rapport à la droite de transfert idéale.

Erreur d'offset (de décalage) : elle est illustrée figure III.4. L'offset correspond à un décalage vertical de la caractéristique de transfert réelle.

Erreur de gain : c'est la différence entre les gains des caractéristiques de transfert réelle et idéale (cf. Fig. III.4). Elle est généralement exprimée en pourcentage de la tension pleine échelle idéale.

Non linéarité différentielle (DNL) :

$$DNL(k) = \frac{(V_{k+1} - V_k) - LSB}{LSB}$$

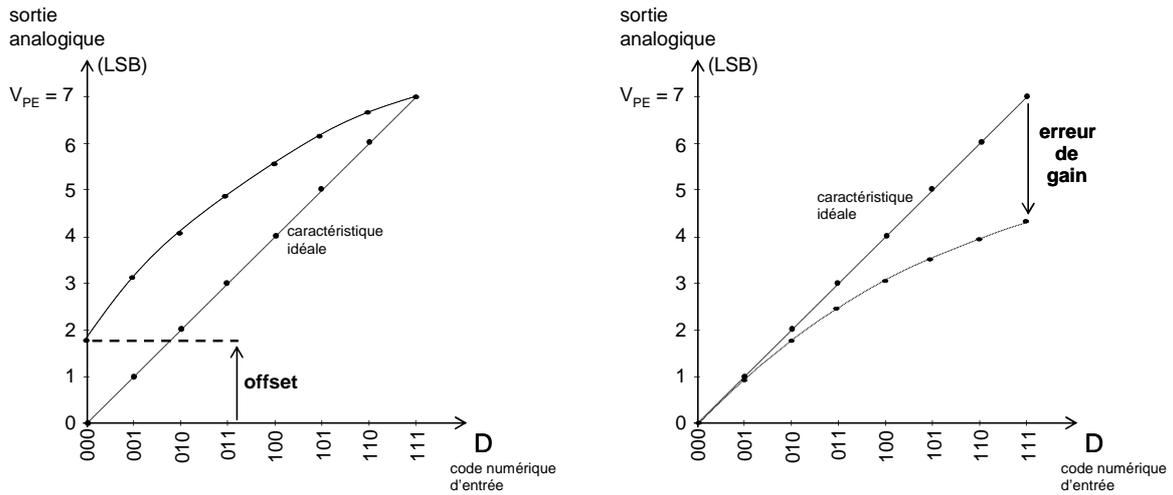


Fig. III.4 – Erreurs d’offset et de gain.

Non linéarité intégrale (INL) : elle correspond, pour un code donné, à l’écart entre la sortie analogique réelle et la valeur idéale associée au code considéré.

$$INL(k) = \frac{V_k - k.LSB}{LSB}$$

Paramètres dynamiques.

Les paramètres dynamiques mesurent la distorsion subie et le bruit ajouté à un signal de test numérique sinusoïdal pleine échelle lors de sa conversion. Pour un sinus de test à la fréquence f_{sin} on considère le spectre du signal analogique de sortie donné figure III.5.

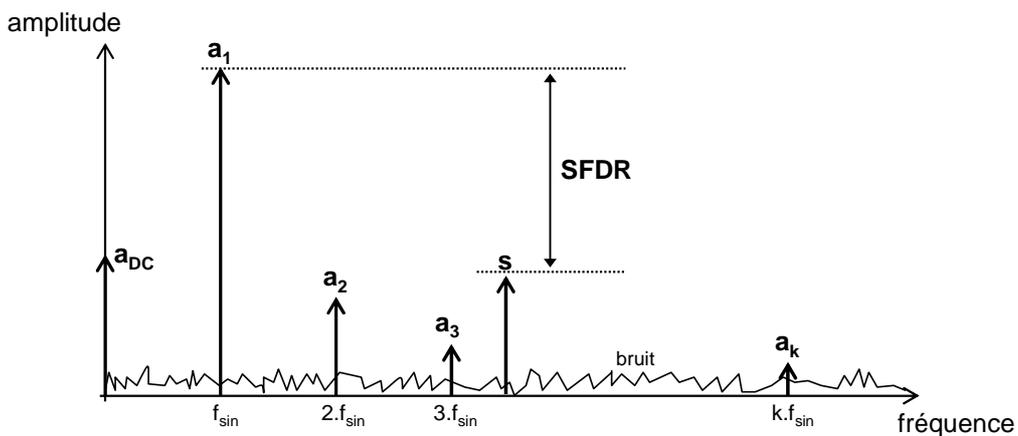


Fig. III.5 – Spectre en sortie pour un signal de test sinusoïdal

Les définitions des paramètres dynamiques des CNA sont similaires à celles données pour les CAN au II.4.

SNR :

$$SNR_{dB} = 10 \cdot \log \left(\frac{P_{signal}}{P_{noise}} \right)$$

THD :

$$THD_{dB} = 10 \cdot \log \left(\frac{P_{harmoniques}}{P_{signal}} \right) = 10 \cdot \log \left(\frac{a_2^2 + a_3^2 + \dots + a_k^2}{a_1^2} \right)$$

SINAD :

$$SINAD_{dB} = 10 \cdot \log \frac{P_{signal}}{P_{bruit + distorsion}}$$

ENOB :

$$SINAD_{dB} = 6,02 \cdot ENOB + 1,76$$

SFDR :

$$SFDR_{dB} = 20 \cdot \log \frac{a_1}{\max(a_k, s)}$$

III.3. Architecture des CNA parallèles.

Les convertisseurs N/A sont dits parallèles lorsque la valeur analogique de sortie est obtenue directement (il existe des CNA série que nous n'évoquerons pas dans ce cours).

On les subdivise en deux sous catégories : les CNA uniformes et les CNA pondérés (pondération binaire).

CNA uniformes (à code pondéré).

Dans un convertisseur N/A uniforme il y a autant de sources de tension, ou de courant, qu'il y a de codes numériques d'entrée.

La figure III.6 en donne un exemple utilisant une chaîne de résistances identiques pour générer les 2^N tensions de sortie possibles. Un seul des interrupteurs S_1 à S_{2^N} (réalisé dans l'exemple avec un simple NMOS) est passant à la fois. Un buffer est intercalé avant la sortie analogique v_{Sa} .

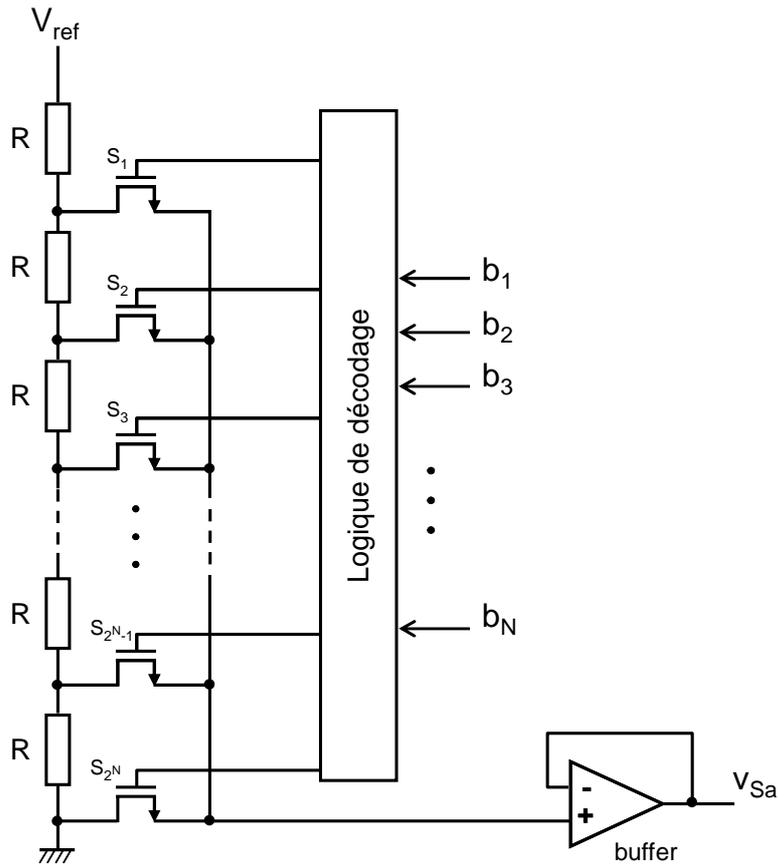


Fig. III.6 – CNA uniforme.

CNA pondérés (stacked DAC).

Pour ce type de CNA il y a autant de sources qu’il y a de bits ; la valeur des sources étant pondérés de façon binaire. Elles sont combinées entre elles en fonction du code numérique d’entrée de façon à obtenir la sortie analogique correspondante.

CNA à réseau de résistances pondérées.

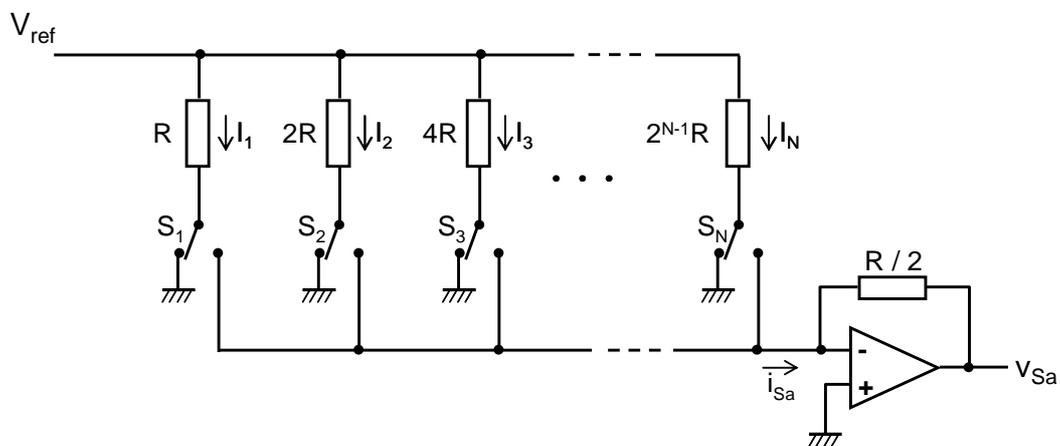


Fig. III.7 - CNA avec réseau de résistances pondérées.

Le circuit de la figure III.7 permet de présenter le principe de base utilisé par les convertisseurs pondérés.

La tension de sortie obtenue v_{Sa} est une fraction de la tension de référence V_{ref} , fixée par le mot binaire à convertir $b_1 b_2 \dots b_N$. Le réseau résistif est constitué de N résistances pondérées de valeurs $2^k R$ avec $k \in \{0, 1, \dots, N-1\}$ toutes reliées en parallèle à V_{ref} d'une part, et d'autre part individuellement, soit à la masse, soit à l'entrée V^- d'un amplificateur opérationnel, par l'intermédiaire des *switches* S_1 à S_N . Les N *switches* sont commandés par les bits du mot binaire d'entrée. Pour $b_k = 0$, le *switch* correspondant S_k connecte la résistance de valeur $2^{k-1} R$ à la masse, et pour $b_k = 1$ à l'entrée inverseuse de l'amplificateur opérationnel.

Quelle que soit la position des *switches*, la tension aux bornes de chaque résistance est toujours V_{ref} (en effet $V^- = 0V$, masse virtuelle de l'A. Op.). Le courant traversant une résistance donnée est donc toujours le même. Le rôle des *switches* est d'aiguiller les courants des résistances soit directement vers la masse, soit vers l'entrée de l'A. Op.

On a

$$i_{Sa} = \frac{V_{ref}}{R} b_1 + \frac{V_{ref}}{2R} b_2 + \dots + \frac{V_{ref}}{2^{N-1} R} b_N$$

$$i_{Sa} = \frac{2V_{ref}}{R} \left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right)$$

d'où

$$v_{Sa} = \frac{-R}{2} i_{Sa} = -V_{ref} \left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right)$$

v_{Sa} est proportionnelle à la valeur numérique d'entrée, on a bien réalisé une conversion N/A.

La précision de ce type de CNA est liée :

- à la précision de la tension de référence V_{ref} ,
- aux imperfections des *switches*,
- à la précision de la réalisation des résistances.

Ce dernier point devient vite rédhibitoire pour un nombre de bits important. Il est quasi impossible de réaliser au niveau layout des résistances avec le degré de précision requis pour des valeurs aussi disproportionnées (rapport de 1 à 2^{N-1}). Les CAN à échelle $R - 2R$ permettent de s'affranchir de ce problème.

CNA à échelle (ou réseau) $R - 2R$.

La figure III.8 présente le principe d'une échelle de résistances $R - 2R$ afin d'obtenir des courants pondérés binaires dans les différentes branches. Son intérêt est lié à l'utilisation

de seulement deux types de résistance R et $2R$ (soit deux résistances de valeurs R en série), ce qui permet de réaliser des layouts d'une grande précision.

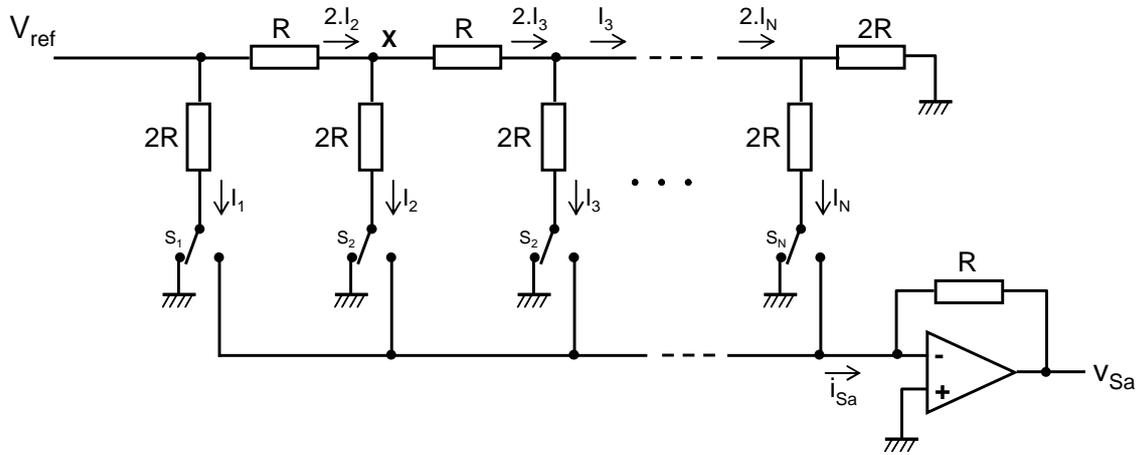


Fig. III.8 – CNA à réseau $R - 2R$.

Le raisonnement qui permet de trouver les valeurs des courants I_1 à I_N se fait de la gauche vers la droite de l'échelle de résistances. Si on considère ses différents points (X pour commencer par exemple), la résistance équivalente à droite vaut $2R$, donc le courant le courant partant dans la branche de droite est égal au courant partant vers le bas dans la branche verticale.

D'où, on en déduit :

$$I_1 = 2I_2 = 4I_3 = \dots = 2^{N-1}I_N$$

avec en outre $I_1 = V_{ref} / 2R$

ce qui conduit à
$$i_{Sa} = \frac{V_{ref}}{R} \left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right)$$

Au final on a la même expression de la tension analogique de sortie v_{Sa} que dans le cas précédent.

Exemple pratique d'implémentation.

Dans la pratique les courants pondérés sont générés par des sources de courant et les *switches* sont réalisés avec des paires différentielles. La figure III.9 présente un exemple pour une technologie bipolaire.

Les transistors Q_N et Q_T (T comme terminaison, le rôle de ce dernier étant d'assurer une terminaison adéquate de l'échelle $R - 2R$) sont identiques et ont la même polarisation ; leurs courants d'émetteur sont donc égaux et valent I_N/α .

La tension entre la ligne reliant toutes les bases des transistors, notée B, et le nœud N est

$$V_B - V_N = V_{BE_N} + \frac{I_N}{\alpha} \cdot 2R$$

Le courant entre les point N et N-1 étant $2I_N/\alpha$, on en déduit l'expression de la tension entre les nœuds B et N-1 :

$$V_B - V_{N-1} = V_B - V_N + \frac{2I_N}{\alpha} \cdot R = V_{BE_N} + \frac{4I_N}{\alpha} R$$

En supposant que les tensions base - émetteur de Q_N et Q_{N-1} sont identiques, on trouve une tension $4I_N R/\alpha$ aux bornes de la résistance $2R$ ce qui correspond à un courant d'émetteur égal $2I_N/\alpha$ et un courant de collecteur $2I_N$ pour le transistor Q_{N-1} , soit le double par rapport à Q_N . Ayant supposé que les deux transistors ont la même tension base - émetteur, cela implique que la surface de l'émetteur de Q_{N-1} soit le double de celle de Q_N . Ainsi, toutes les surfaces d'émetteur de Q_1 à Q_N sont pondérées d'un rapport deux du MSB (indice 1) au LSB (indice N) ce qui correspond aux relations suivantes pour les courants :

$$I_1 = 2I_2 = 2^2 I_3 = \dots = 2^{N-1} I_N$$

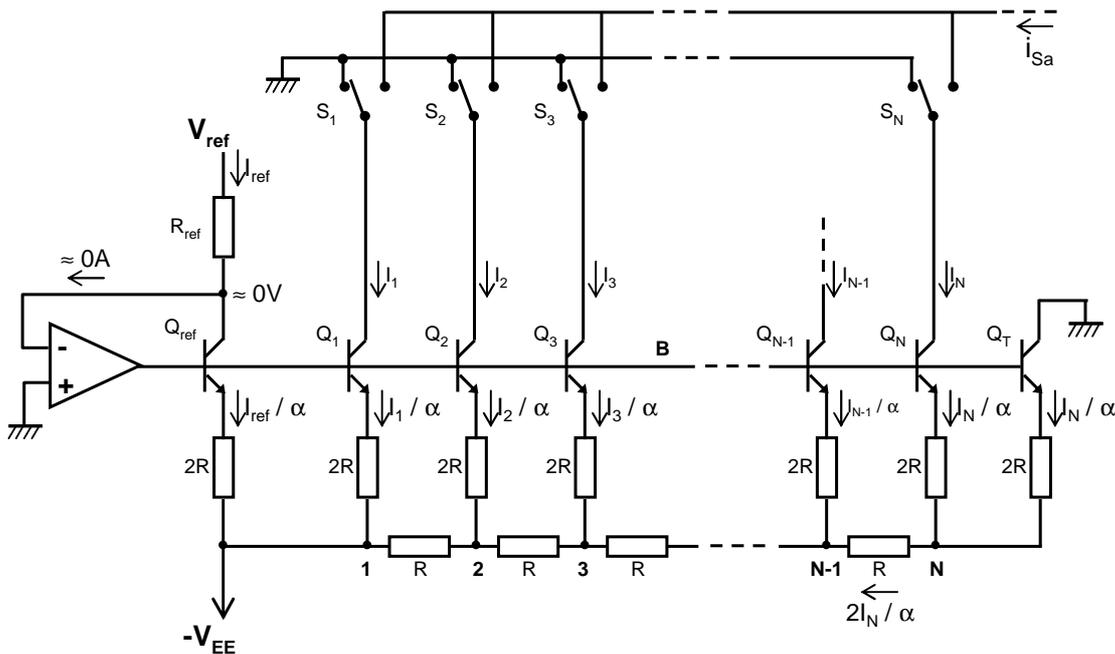


Fig. III.9 – Exemple pratique d'implémentation en technologie bipolaire.

Considérons maintenant la génération du courant de référence I_{ref} . L'amplificateur opérationnel et Q_{ref} forment une boucle de rétroaction négative telle qu'une masse virtuelle apparaît au niveau du collecteur de Q_{ref} .

D'où
$$I_{ref} = V_{ref} / R_{ref}$$

Et dès lors que Q_1 et Q_{ref} sont identiques on a

$$I_1 = I_{ref}$$

Ainsi au final, on obtient des courants pondérés de façon binaire et dépendant d'un courant de référence indépendant de V_{BE} et α .

CNA à redistribution de charge (charge scaling DAC).

Les convertisseurs numérique analogique à redistribution de charge sont basés sur le principe de la division binaire d'une charge grâce à un réseau de capacités, en fonction d'un mot binaire numérique d'entrée.

La figure III.10 en donne l'architecture et permet d'illustrer le principe de conversion.

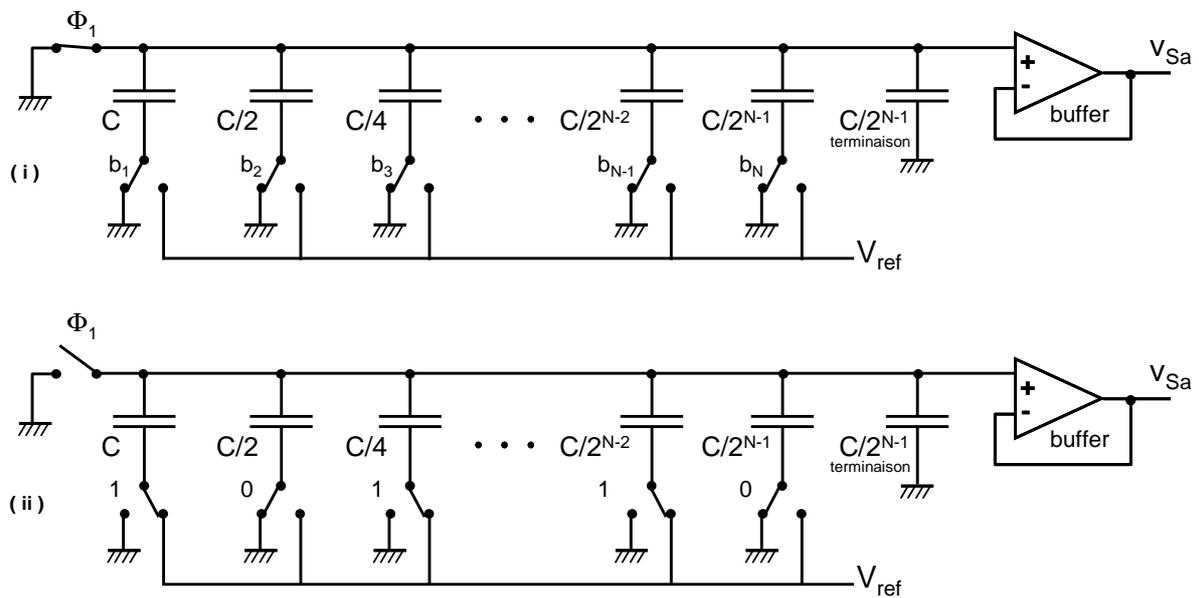


Fig. III.10 – CNA à redistribution de charge.

Un tel CNA, de résolution N , possède un réseau de N capacités pondérées en binaire de C à $C/2^{N-1}$ et d'une capacité de terminaison valant $C/2^{N-1}$ (afin que la capacité totale résultant de leur mise en parallèle soit $2C$). L'armature supérieure des capacités est connectée à l'entrée non inverse d'un amplificateur opérationnel suiveur (c'est le buffer de sortie fournissant la sortie analogique du CNA : v_{Sa}) ; elle est également connectée à la masse via un interrupteur (commandé par une horloge Φ_1). L'armature inférieure de chacune des capacités pondérées peut être connectée, soit à la masse, soit à la tension de référence V_{ref} , via un switch commandé par une horloge Φ_2 et le bit correspondant du mot d'entrée numérique D . L'armature inférieure de la capacité de terminaison est connectée à la masse.

La conversion de l'entrée numérique $D = b_1 b_2 \dots b_N$ (avec b_1 le MSB correspondant à C, \dots, b_N le LSB correspondant à $C/2^{N-1}$) est effectuée en deux étapes :

1^{ère} étape : Φ_1 commande la fermeture de l'interrupteur et Φ_2 le positionnement des switches vers la masse. Les capacités sont déchargées.

2^{ème} étape : Φ_1 commande l'ouverture de l'interrupteur (le nœud v^+ est alors flottant), et Φ_2 donne la main sur chacun des *switches* au bit d'indice correspondant, ainsi à l'indice i pour $b_i = 1$ le *switch* assure une connexion à V_{ref} et pour $b_i = 0$ à la masse. La sortie du CNA est alors valide.

Les deux horloges Φ_1 et Φ_2 sont non recouvrantes.

La détermination de v_{Sa} peut se faire en ramenant le CNA à un diviseur capacitif équivalent (cf. Fig. III.11).

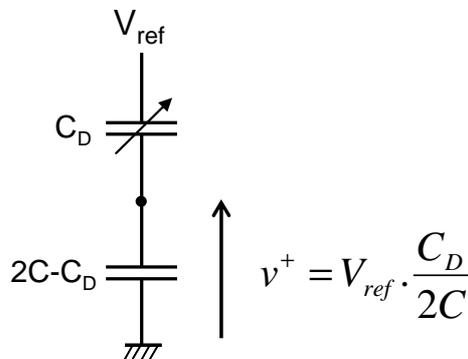


Fig. III.11 – Diviseur capacitif.

En notant C_D la capacité équivalente résultant de la mise en parallèle de toutes les capacités dont l'armature est connectée à V_{ref} :

$$C_D = b_1 C + \frac{b_2 C}{2} + \dots + \frac{b_N C}{2^{N-1}}$$

on démontre

$$v^+ = V_{ref} \cdot \frac{C_D}{2C}$$

d'où

$$v_{Sa} = V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right)$$

Ce type de CNA peut avoir un fonctionnement bipolaire (cad une sortie positive ou négative) si on connecte v^+ à V_{ref} pendant la première phase et si les *switches* sont basculés vers la masse pour $b_i = 1$ et vers V_{ref} pour $b_i = 0$.

La précision d'un CNA à redistribution de charge est liée, entre autre, à la précision de réalisation des capacités. Calculons, par exemple, les INL et DNL si une considère qu'une capacité donnée de valeur C peut, du fait des variations de process, prendre une valeur comprise entre $C + \Delta C$ et $C - \Delta C$ (soit une tolérance de $\pm \Delta C/C$).

Calcul de l'INL(k): à l'indice, k on peut exprimer l'INL comme la différence entre les sorties analogiques dans un cas idéal et dans un pire cas (variation de valeur maximale) exprimées en LSB.

En considérant que la seule capacité d'indice k est connectée à V_{ref}

$$v_{Sa}(\text{idéale}) = \frac{C/2^{k-1}}{2C} \cdot V_{ref}$$

$$v_{Sa}(\text{idéale}) = \frac{V_{ref}}{2^k} \quad \text{avec } V_{ref} = 2^N \cdot LSB$$

$$v_{Sa}(\text{idéale}) = \frac{2^N}{2^k} \quad [LSB]$$

Et dans un pire cas

$$v_{Sa}(\text{pire cas}) = \frac{(C \pm \Delta C)/2^{k-1}}{2C} \cdot V_{ref}$$

$$v_{Sa}(\text{pire cas}) = \frac{V_{ref}}{2^k} \pm \frac{\Delta C \cdot V_{ref}}{2^k \cdot C}$$

$$v_{Sa}(\text{pire cas}) = \frac{2^N}{2^k} \pm \frac{2^N \cdot \Delta C}{2^k \cdot C} \quad [LSB]$$

Soit

$$INL(k) = \pm \frac{2^N \cdot \Delta C}{2^k \cdot C} \quad [LSB]$$

Le pire cas est obtenu pour $k = 1$ avec

$$INL = \pm 2^{N-1} \cdot \frac{\Delta C}{C} \quad [LSB]$$

Calcul de la DNL: le pire cas pour la DNL est obtenu pour un changement du MSB ($k = 1$)

Soit

$$DNL = \frac{(v_{Sa}(10\dots0) - v_{Sa}(01\dots1)) - LSB}{LSB}$$

$$DNL = \frac{\left(\frac{C + \Delta C}{2C} \cdot V_{ref} - \frac{(2C - C/2^{N-1}) - (C + \Delta C)}{2C} \cdot V_{ref} \right) - LSB}{LSB}$$

$$DNL = \frac{\frac{C + \Delta C}{2C} \cdot V_{ref} - \frac{C - \Delta C}{2C} \cdot V_{ref} + \frac{V_{ref}}{2^N} - LSB}{LSB}$$

$$DNL = 2^N \cdot \frac{\Delta C}{C} \quad [LSB]$$

Application : déterminer la tolérance acceptable ($\Delta C/C$) d'une technologie donnée pour qu'il soit possible de réaliser un CNA 10 bits dont l'INL et la DNL soient inférieures à l'erreur de quantification.

Pour l'INL $INL = \pm 2^{10-1} \cdot \frac{\Delta C}{C} \leq \pm 0,5 \quad [LSB]$

$$\frac{\Delta C}{C} \leq 0,5 / 2^9 \quad \text{soit } 0,097\%$$

Pour la DNL $DNL = 2^{10} \cdot \frac{\Delta C}{C} \leq \pm 0,5 \quad [LSB]$

$$\frac{\Delta C}{C} \leq 0,5 / 2^{10} \quad \text{soit } 0,048\%$$

→ une tolérance de 0,48% est nécessaire.

Augmentation de la résolution des CNA parallèles.

Au fur et à mesure que l'on augmente la résolution d'un CNA parallèle sa surface augmente ainsi que le ratio entre les éléments passifs associés au bit de poids fort et au bit de poids faible (résistance, ou transistor, ou capacité en fonction du type de CNA considéré). Ce dernier point en particulier limite la résolution pour une technologie donnée du fait des problèmes de *matching*.

Deux approches sont proposées dans cette partie pour contourner ces problèmes. Elles sont basées sur l'association de deux (ou plusieurs) CNA en parallèle.

La première approche est présentée figure III.12. Elle consiste à décomposer un CNA de résolution N en une combinaison de deux CNA de même type, l'un de résolution M et l'autre

CNA de résolution K tel que $N = M + K$. Le premier CNA sur M bits est dédié aux bits de poids fort, le second aux bits de poids faible. La sortie du deuxième CNA est divisée par 2^M avant d'être sommée à la sortie du premier pour donner la sortie analogique globale v_{Sa} .

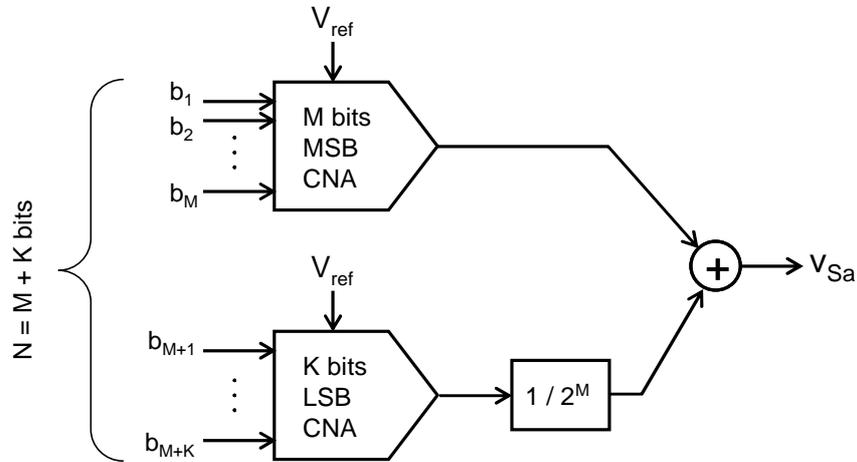


Fig. III.12 – Combinaison de CNA afin d'augmenter la résolution.

Les deux CNA ayant la même tension de référence V_{ref} on obtient :

$$v_{Sa} = V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} \right) + V_{ref} \left(\frac{b_{M+1}}{2} + \frac{b_{M+2}}{2^2} + \dots + \frac{b_{M+K}}{2^K} \right) \cdot \frac{1}{2^M}$$

soit

$$v_{Sa} = V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} + \frac{b_{M+1}}{2^{M+1}} + \frac{b_{M+2}}{2^{M+2}} + \dots + \frac{b_{M+K}}{2^{M+K}} \right)$$

La fonction de transfert obtenue est bien celle d'un CNA à N bits ($N = M + K$).

La figure III.13 donne un exemple pour un CNA à sources de courant pondérées de résolution $N = 6$.

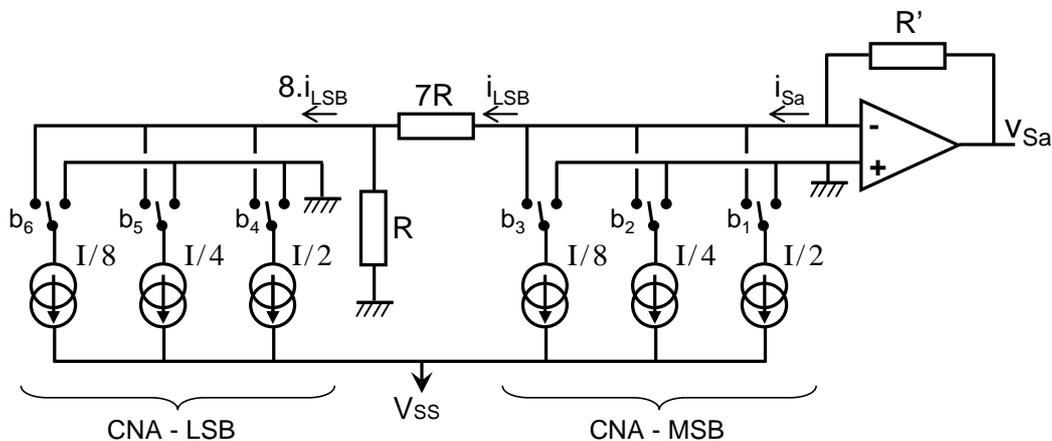


Fig. III.13 – Association de CNA à sources de courant pondérées.

Il est réalisé en associant deux CNA de résolutions $M = K = 3$. Un diviseur de courant (résistances R et $7R$), permet de diviser par $2^M = 2^3 = 8$ le courant issu du CNA traitant les 3 bits de poids faible. On peut écrire :

$$i_{LSB} = \frac{I}{8} \left(\frac{b_4}{2} + \frac{b_5}{2^2} + \frac{b_6}{2^3} \right)$$

d'où
$$i_{Sa} = I \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \frac{b_3}{2^3} \right) + \frac{I}{8} \left(\frac{b_4}{2} + \frac{b_5}{2^2} + \frac{b_6}{2^3} \right)$$

puis
$$v_{Sa} = R' I \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \frac{b_4}{2^4} + \frac{b_5}{2^5} + \frac{b_6}{2^6} \right)$$

Une variante de l'approche précédente est présentée figure III.4, elle consiste de façon similaire à utiliser deux DAC du même type pour traiter séparément les M bits de poids fort et les K bits de poids faible ($M + K = N$), le DAC dédié aux poids faibles ayant une tension de référence divisée par 2^M . Cette variante est appelée *subranging*.

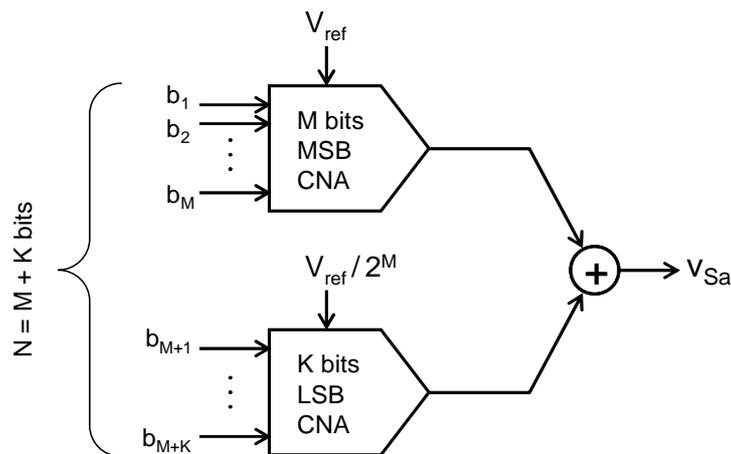


Fig. III.14 – Association de type *subranging*.

La mise est quasi identique :

$$v_{Sa} = V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} \right) + \frac{V_{ref}}{2^M} \left(\frac{b_{M+1}}{2} + \frac{b_{M+2}}{2^2} + \dots + \frac{b_{M+K}}{2^K} \right)$$

soit
$$v_{Sa} = V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} + \frac{b_{M+1}}{2^{M+1}} + \frac{b_{M+2}}{2^{M+2}} + \dots + \frac{b_{M+K}}{2^{M+K}} \right)$$

La deuxième approche est basée sur le même principe d'association de deux CNA mais cependant de natures différentes. Par exemple, en associant un CNA uniforme pour les bits de

pois fort (*voltage scaling DAC*) eu un CNA à redistribution de charge pour les bits de poids faible (cf. figure III.15).

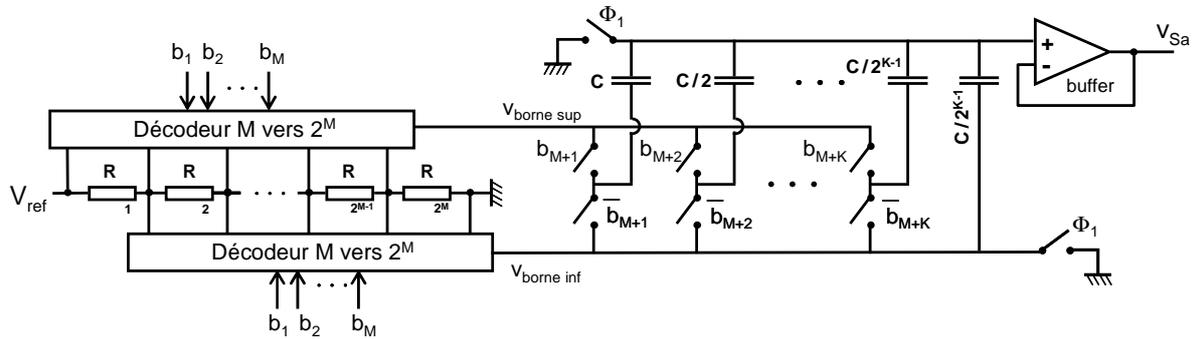


Fig. III.15 – Association de CNA en tension (MSB) et en courant (LSB).

Le CNA consacré aux M bits de poids forts est constitué d’une échelle de 2^M résistances identiques R connectées en série entre V_{ref} et la masse, il permet d’obtenir un premier découpage grossier de la tension analogique de sortie. Il possède deux bus de sorties analogiques fournis par deux décodeurs M vers 2^M similaires à l’architecture présenté figure III.6. Le bus noté $v_{borne\ sup}$ est connecté aux bornes supérieures des résistance via l’un des décodeurs, tandis que le bus noté $v_{borne\ inf}$ est connecté aux bornes inférieures via l’autre décodeur (identique au premier). Pour un code donné les deux bus sont reliés respectivement aux bornes supérieure et inférieure de la même résistance tel que :

$$v_{borne\ inf} = V_{ref} \cdot \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} \right)$$

et

$$v_{borne\ sup} = V_{ref} \cdot \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} \right) + \frac{V_{ref}}{2^M}$$

ce qui correspond au schéma de la figure III.16 :

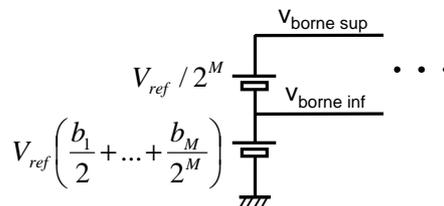


Fig. III.16 – Schéma équivalent du CNA MSB.

Le CNA consacré aux K bits de poids faibles est constitué d’un réseau de K capacités pondérées de C à $C / 2^{K-1}$ et d’une capacité de terminaison $C / 2^{K-1}$ (la capacité équivalente totale vaut 2C), il fonctionne selon le principe précédemment exposé de redistribution de charges à une variante près. La borne inférieure des capacités pondérées est reliée via des

interrupteurs à $v_{\text{borne sup}}$ ou $v_{\text{borne inf}}$ en fonction des K bits de poids faibles. A l'indice i , la capacité $C / 2^{M+i}$ est relié à $v_{\text{borne sup}}$ pour $b_{M+i} = 1$, à $v_{\text{borne inf}}$ pour $b_{M+i} = 0$. En notant

$$C_D = b_{M+1}C + \frac{b_{M+2}C}{2} + \dots + \frac{b_{M+K}C}{2^{K-1}}$$

la capacité équivalente résultant de la mise en parallèle de toutes les capacités reliée à $v_{\text{borne sup}}$ on obtient le schéma équivalent de la figure III.7.

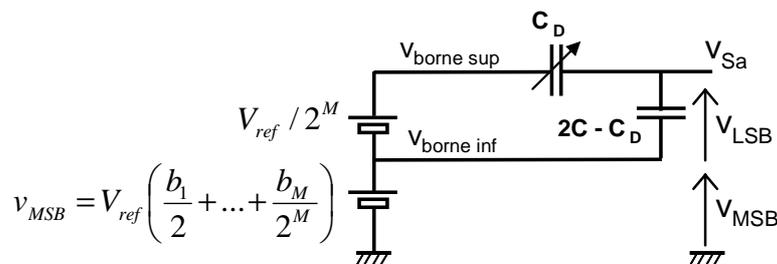


Fig. III.17 – Schéma équivalent complet.

D'où l'expression de la tension analogique de sortie :

$$v_{Sa} = v_{LSB} + V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} \right)$$

avec
$$v_{LSB} = \frac{V_{ref}}{2^M} \cdot \frac{C_D}{2C}$$

soit
$$v_{Sa} = \frac{V_{ref}}{2^M} \cdot \left(b_{M+1}C + \frac{b_{M+2}C}{2} + \dots + \frac{b_{M+K}C}{2^{K-1}} \right) / 2C + V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} \right)$$

$$v_{Sa} = \frac{V_{ref}}{2^M} \cdot \left(\frac{b_{M+1}}{2} + \frac{b_{M+2}}{2^2} + \dots + \frac{b_{M+K}}{2^K} \right) + V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} \right)$$

au final
$$v_{Sa} = V_{ref} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_M}{2^M} + \frac{b_{M+1}}{2^{M+1}} + \frac{b_{M+2}}{2^{M+2}} + \dots + \frac{b_{M+K}}{2^{M+K}} \right)$$

ce qui correspond bien à un CNA à $M + K$ bits.

L'intérêt de ce cas particulier est d'associer un CNA monotone aux bits de poids forts (c'est l'une des propriétés des CNA uniforme) à un CNA à redistribution de charge pour les bits de poids faible ce qui permet une bonne précision (supérieure dans le cas de capacités à ce qu'elle serait pour un deuxième CNA uniforme réalisé avec des résistances).

III.4. CNA à sur échantillonnage – Sigma Delta.

La figure III.10 présente l'architecture d'un convertisseur N/A Sigma – Delta à sur échantillonnage.

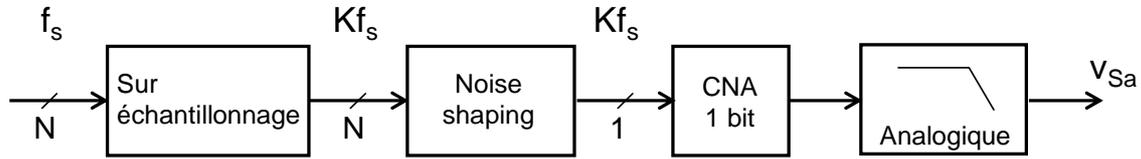


Fig. III.18 – Architecture d'un CNA Sigma – Delta.

Le signal d'entrée numérique sur N bits à la fréquence f_s traverse en premier lieu un filtre de sur échantillonnage (ou à interpolation) qui fait passer sa fréquence d'échantillonnage à Kf_s (K est appelé le facteur de sur échantillonnage). Il est suivi d'un étage de traitement du bruit (*noise shaping*) et d'arrondi qui transfère le bruit vers les hautes fréquences en faisant passer le signal sur 1 bit (pour un *noise shaping* d'ordre 1, dans la pratique cet étage peut être d'un ordre supérieur i, on obtient alors un signal sur un nombre i de bits). Le signal analogique de sortie est finalement obtenu après conversion N/A sur 1 bit (ou i bits) et passage par un filtre passe bas analogique.

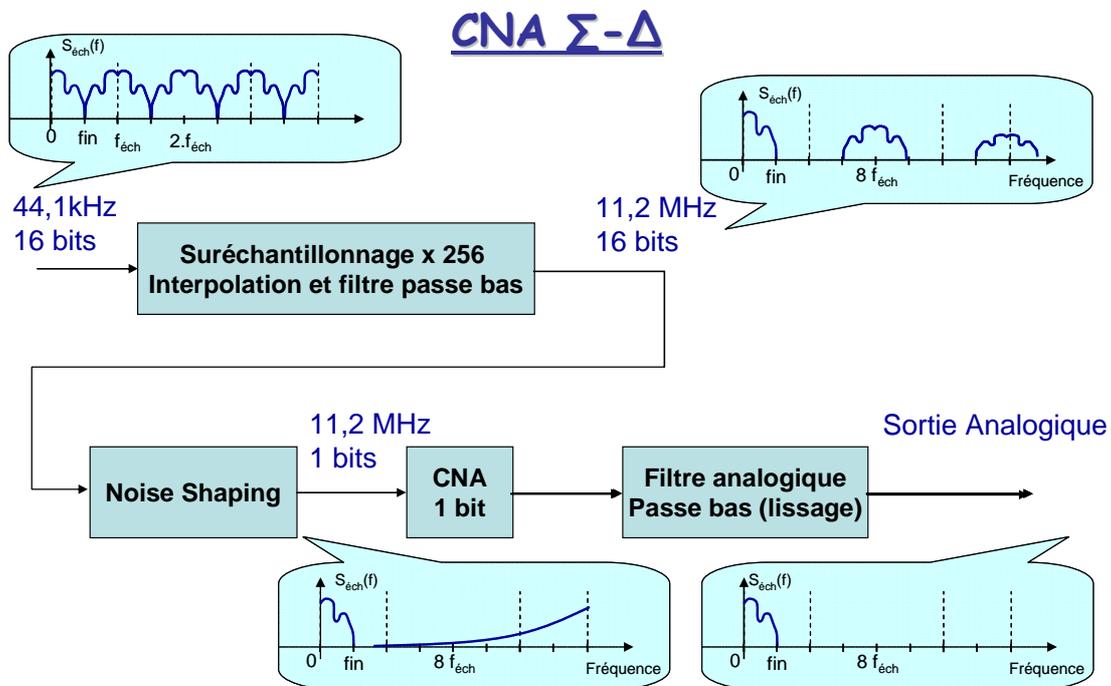


Fig. III.19 – Illustration spectrale.

La figure III.11 donne l'illustration spectrale dans le cas du traitement du signal numérique d'un CD audio.

Les convertisseurs N/A Sigma – Delta sont bien adaptés au traitement de flux de données, ils trouvent un terrain d'application très favorable dans le traitement des flux audio.

Bibliographie.

"Principles of data conversion system design", Behzad Razavi.

"Microelectronic circuits", A.S. Sedra, K.C. Smith.

"CMOS Data Converters for Communication", M. Gustavsson, J.J. Wilkner, N.N. Tan.

"Integrated AD and DA converters", R. van de Plassche.

"CMOS Analog Circuit Design", Phillip E. Allen, Douglas R. Holberg.

Articles E370, E371 et E372 des Techniques de l'Ingénieur, Traité d'Electronique, Claude Prévot.

<http://perso.wanadoo.fr/xcotton/electron/coursetdocs.htm>