



# Etude des différents systèmes de conversion numériques- analogiques et analogiques-numériques



**Etude simple et systématique**

**Meilleure vue d'ensemble des convertisseurs**

**Evaluation des différents types de  
conversion**

**Comparaison objective des performances**



## **Introduction spécifications**

### **Les convertisseurs numériques analogiques**

**Les différents types- avantages et inconvénients**

### **Les convertisseurs analogiques numériques**

**Les différents types- avantages et inconvénients**

**Les ADC rapides**

**Les ADC de grande précision**

## **Mise en œuvre des convertisseurs**

## **Les Eléments clé des convertisseurs**



# Spécifications des convertisseurs

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

ET DE PHYSIQUE DES PARTICULES

Les signaux digitaux utilisés (entrée pour les DAC, sortie pour les ADC):

- Niveaux logiques (TTL 0.4-2.4, CMOS 0-VCC, ECL -0.8, -1.6 LVDS 0.95-1.3.
- Série ou parallèle.

Nombre	signe+amp	2's	Bin+off	1's	gray 2's
+7	0111	0111	1111	0111	0100
+6	0110	0110	1110	0110	0101
+5	0101	0101	1101	0101	0111
+4	0100	0100	1100	0100	0110
+3	0011	0011	1011	0011	0010
+2	0010	0010	1010	0010	0011
+1	0001	0001	1001	0001	0001
+0	0000	0000	1000	0000	0000
-0	1000	(0000)	(1000)	1111	(0000)
-1	1001	1111	0111	1110	1000
-2	1010	1110	0110	1101	1001
-3	1011	1101	0101	1100	1011
-4	1100	1100	0100	1011	1010
-5	1101	1011	0011	1010	1110
-6	1110	1010	0010	1001	1111
-7	1111	1001	0001	1000	1101
-8		1000	0000		1100

Les codes digitaux peuvent être:

- En binaire pure (difficulté pour le bipolaire)
- En complément à 2
- En complément à 1
- En excès à ... (ajout d'un offset au binaire)
- En Signe + Amplitude
- En code gray complémenté a 2.

Remarque:

Seul les codes signe et amplitude évitent un Gros changement de bits au passage par 0.

Le code gray complémenté à 2 est le

Meilleur au point de vue des transitoires.

Il est cependant très peu utilisé.

Le binaire, le 2's et le signe+amplitude sont les codes les plus utilisés.



# Spécifications statiques des convertisseurs

## Précision:

La précision absolue d'un ADC (DAC) est égal au rapport de son plus petit signal par rapport à son Signal pleine échelle. Cette précision repose en général sur la qualité de sa référence, qui doit être assez bonne pour respecter la précision du convertisseur (0.5 LSB) en général.

La précision relative est la déviation du signal de sortie par rapport à la droite 0-pleine échelle. Cette précision s'appelle « non linéarité intégrale » (INL) ou linéarité.

Elle peut être exprimée en LSB ou en %.

(Faire attention à la définition de la droite et à la définition du % !!!)

La non linéarité différentielle est la différence entre deux valeurs adjacentes et la valeur théorique correspondant à un LSB.

## Monotonie et codes manquants

Offset : Valeur de la sortie pour une entrée à 0

## Remarques:

Monotonie implique pas de codes manquants

INL < 0.5 LSB implique monotonie

Mais monotonie n'implique pas INL < 0.5 LSB.



## Spécifications dynamiques des convertisseurs

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

**Le bruit.**

**Le rapport signal/bruit.**

**La dynamique**

**Tolérance aux variations des tensions d'alimentation**

**Mémorisation des états analogiques:**

**Les états transitoires ex: Passage de 1000 à 0111 ou de la valeur analogique correspondante**

**Ces états transitoires sont inévitables. S'ils sont gênants, on a recours à un échantillonneur-bloqueur ou plutôt suiveur-bloqueur (« track/hold ») en sortie pour les DAC, en entrée pour les ADC.**

**Temps d'établissement « settling time »: temps entre le départ de la transition et la nouvelle valeur à la précision requise (0.5 LSB par ex.)**

**Temps de maintien (« hold time »)**

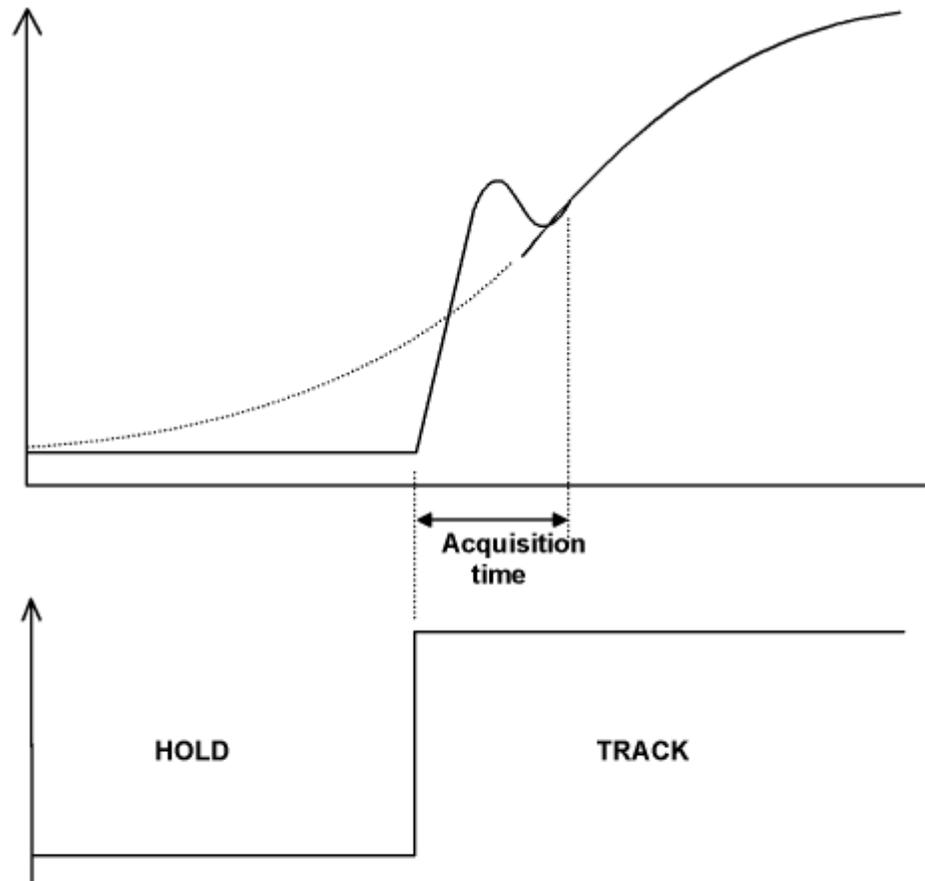
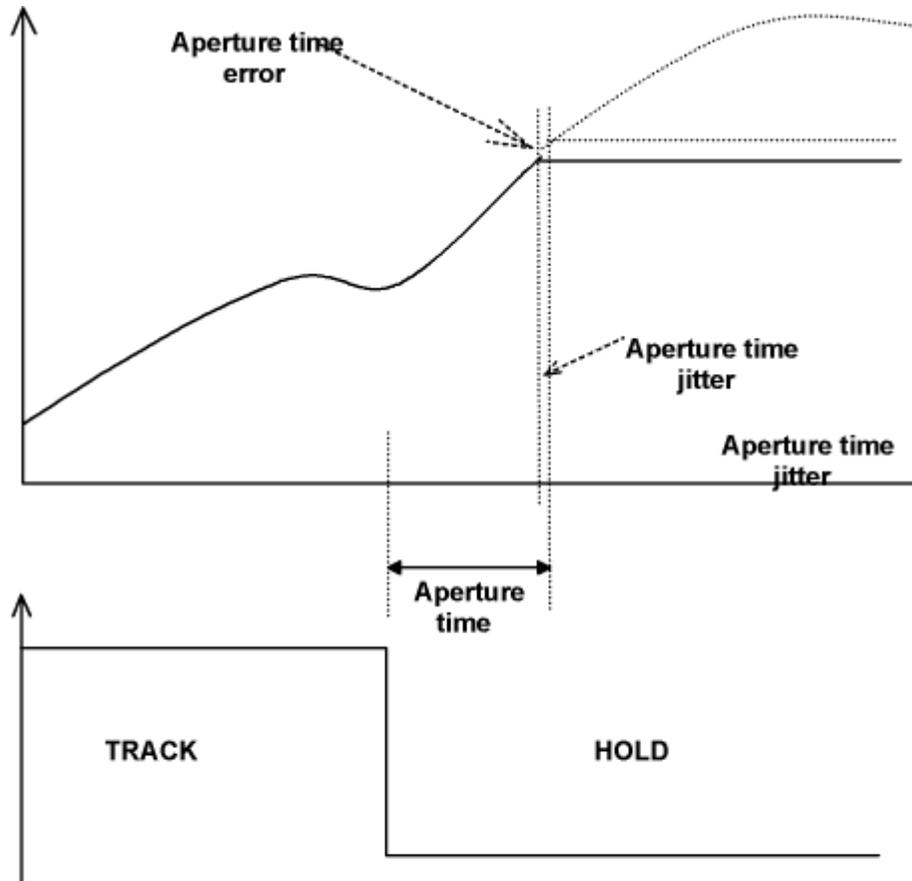
**Temps d'ouverture « aperture time », et surtout variation de ou incertitude sur (« aperture time jitter »)**



# Spécifications dynamiques des convertisseurs

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



TEMPS D'OUVERTURE (APERTURE TIME)  
INCERTITUDE A L'OUVERTURE (APERTURE TIME JITTER)  
ERREUR A L'OUVERTURE (APERTURE TIME ERROR)

TEMPS D'ACQUISITION (ACQUISITION TIME)



# Les convertisseurs numériques-analogiques

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

**Principaux principes:**

**Conversion indirecte: A rampe et compteur  
(La variable d'indirection est le temps)**

**Conversion directe: A pondération**

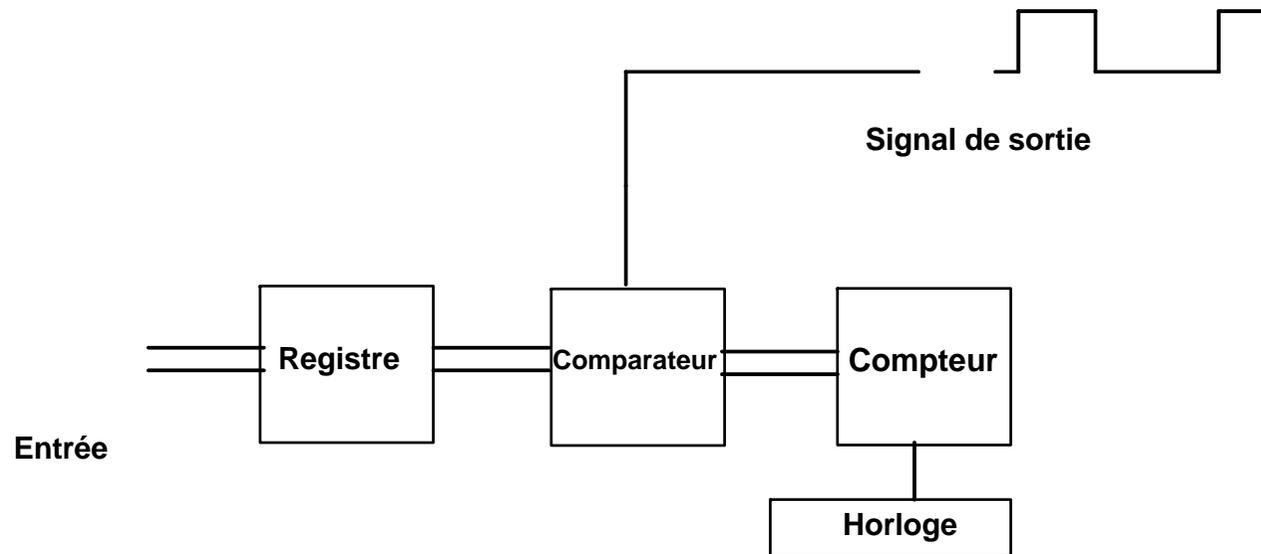
- De tension
- De courant
- Par résistances
- Par transistors
- Par capacités



# Convertisseur numérique analogique à modulation d'impulsion

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Convertisseur numérique analogique "à modulation d'impulsion " :

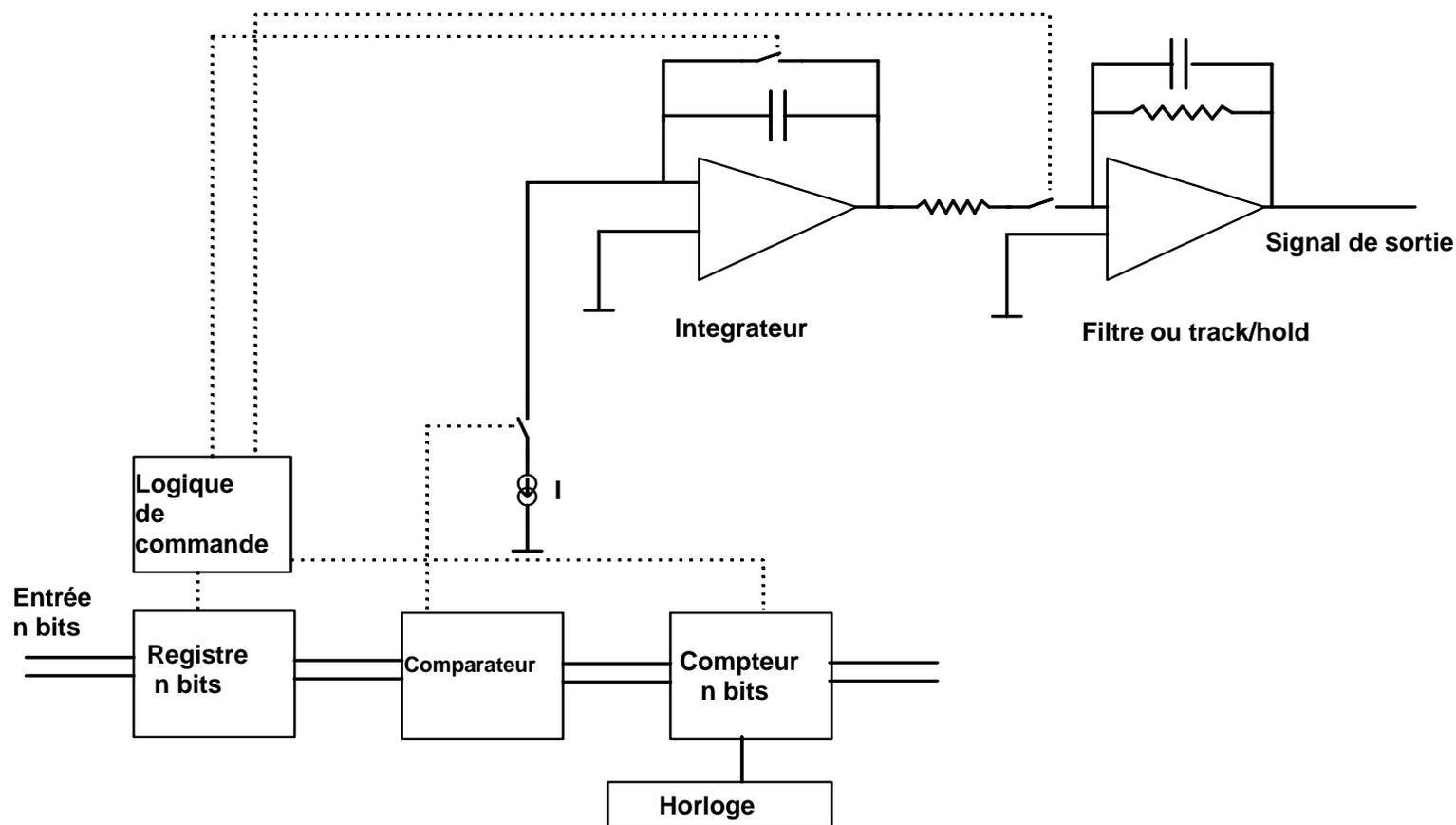
- La vitesse de conversion est lente :  $T = 2n / F_{\text{clock}}$
- Si le périphérique à actionner n'est pas lui-même un intégrateur, la reconstruction du signal impose un filtre passe bas à pente raide.



# Convertisseur numérique analogique à simple rampe

IN2P3

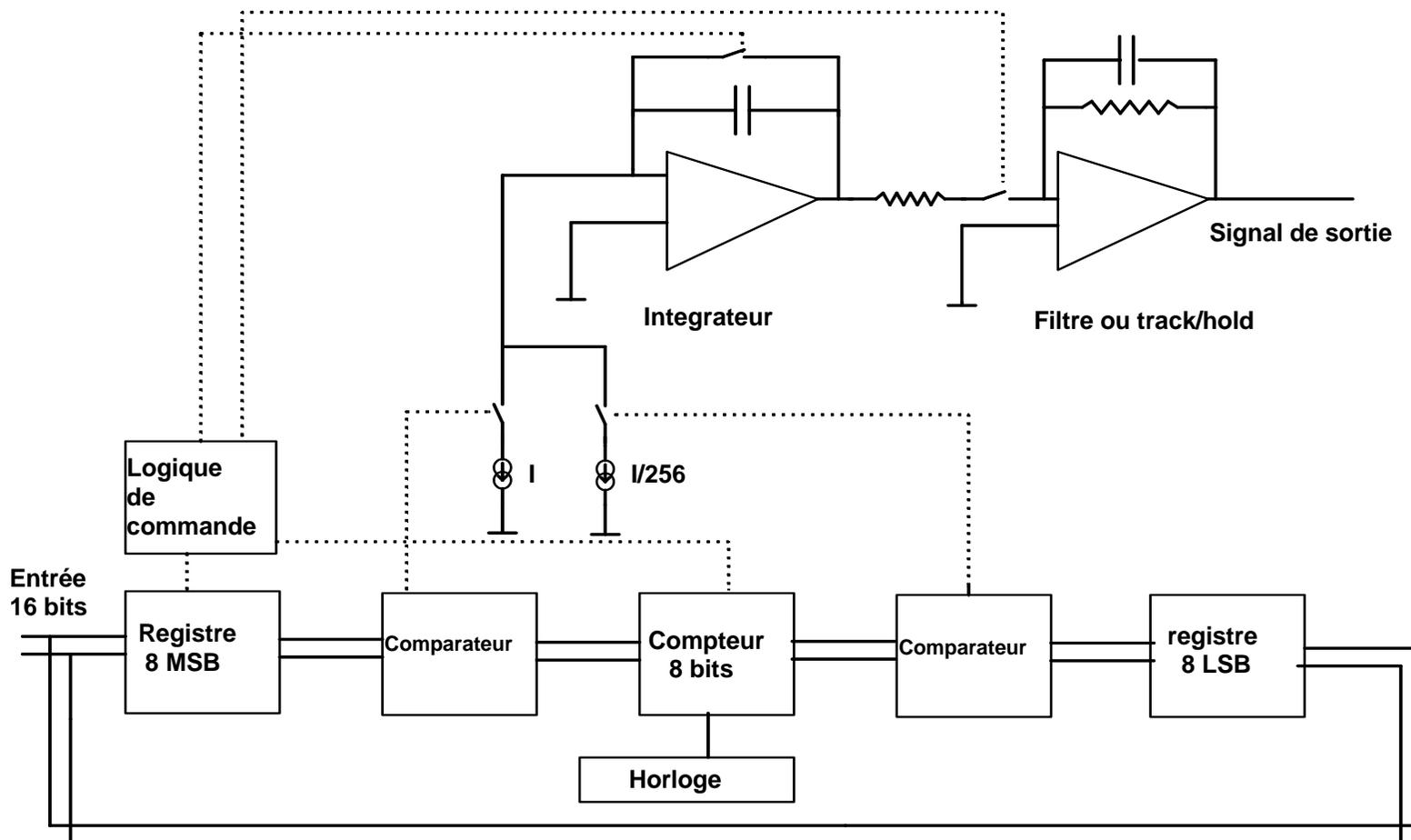
INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Convertisseur numérique analogique à " simple rampe "  
ou charge d'une capacité à courant constant pendant le temps de comptage  
correspondant à la valeur d'entrée.  
Simple, efficace ...  
mais pour 16 bits il faut 65536 coups d'horloge



# Convertisseur numérique analogique à double rampe



Convertisseur numérique analogique (16 bits) à "double rampe" (ici pour 16 bits)

Le temps de conversion passe de 65536 à 512 coups d'horloge .

Limite en vitesse : l'horloge

Limite en linéarité: courants et interrupteurs

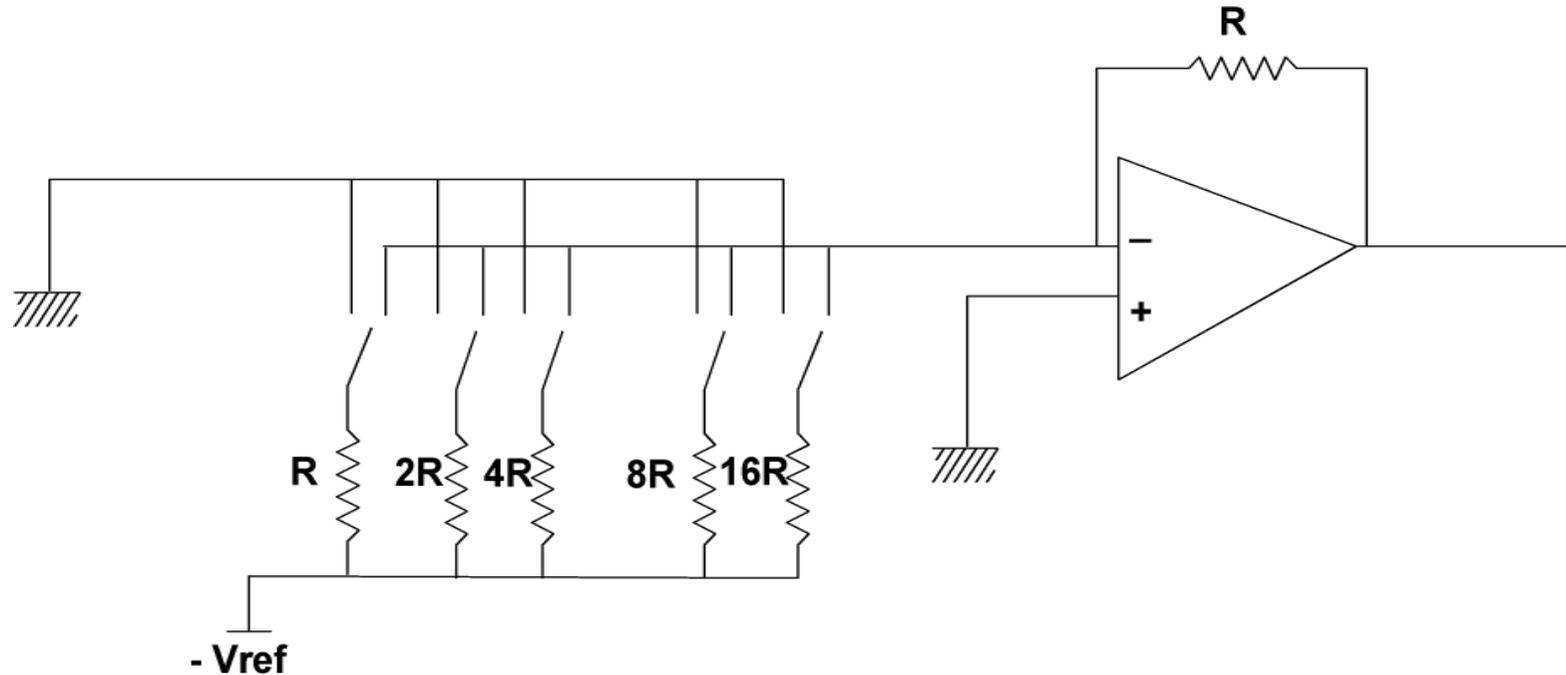
Limite en dynamique : L'intégrateur et le track/hold



# Convertisseur numérique analogique Par pondération de tension

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



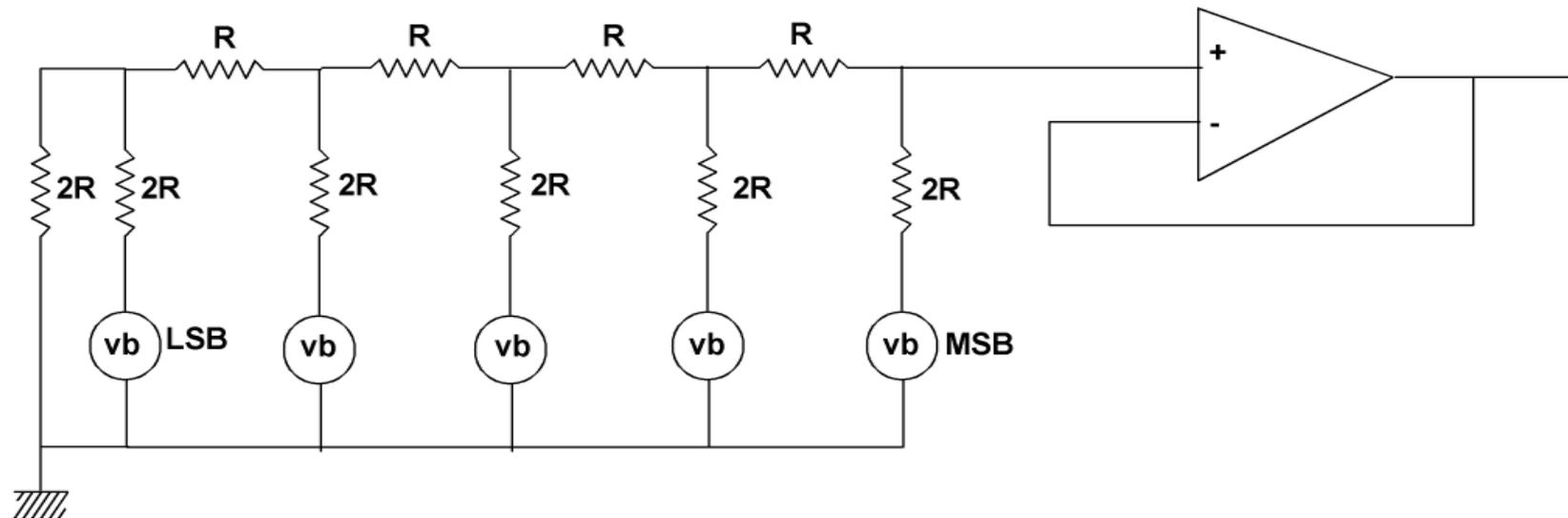
le principe est très simple: l'ampli est un simple additionneur.  
Mais ce n'est pas a bonne idée: pour 10 bits, la taille des résistances  
Varie d'un facteur 1000... Et l'impédance du réseau de résistance aussi.



# Convertisseur numérique analogique pondération de tension réseau R-2R

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Une idée géniale: le réseau R-2R.

Son impédance est constante et égale à R tout au long du réseau.

Toutes les résistances peuvent être égales, ce qui est un très gros avantage.

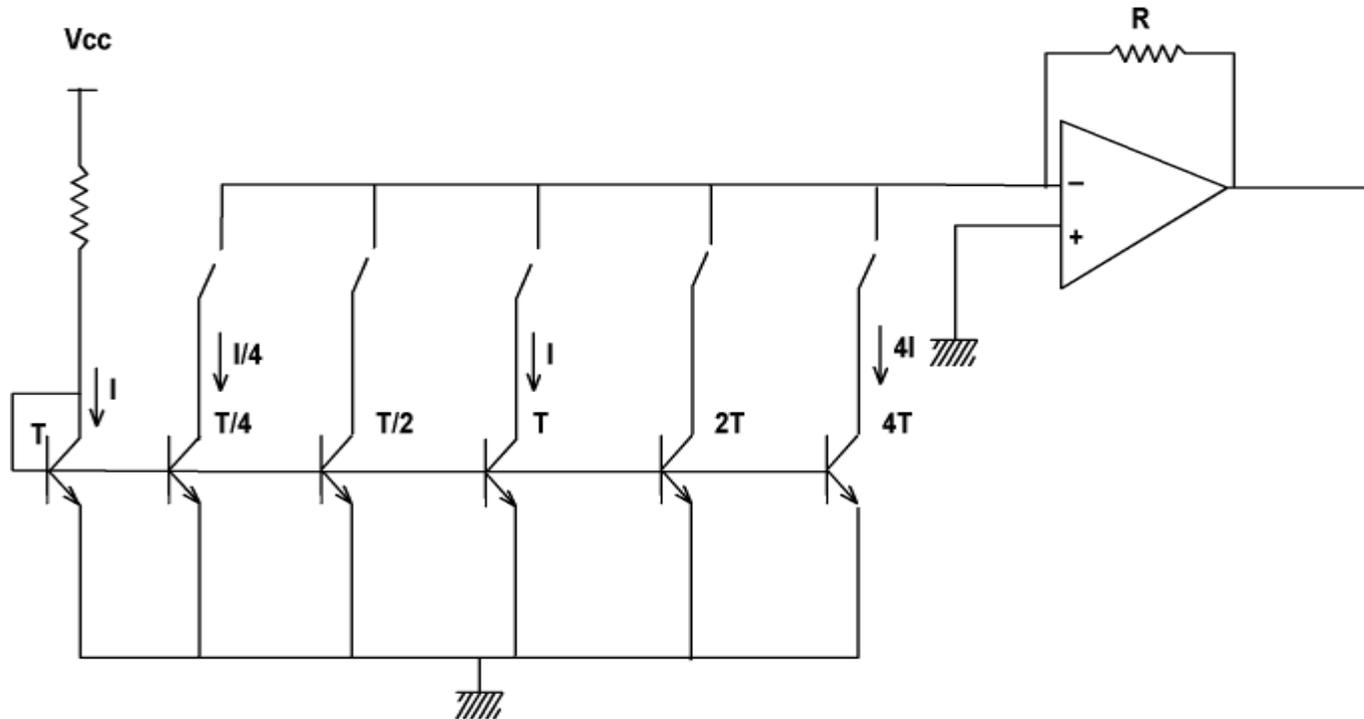


# Convertisseur numérique analogique

## Pondération de courant

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Très simple également: les miroirs de courant.  
N'est pas non plus la bonne idée pour une grande précision, pour  
Le même motif que les résistances (rapport 1000 pour 10 bits)

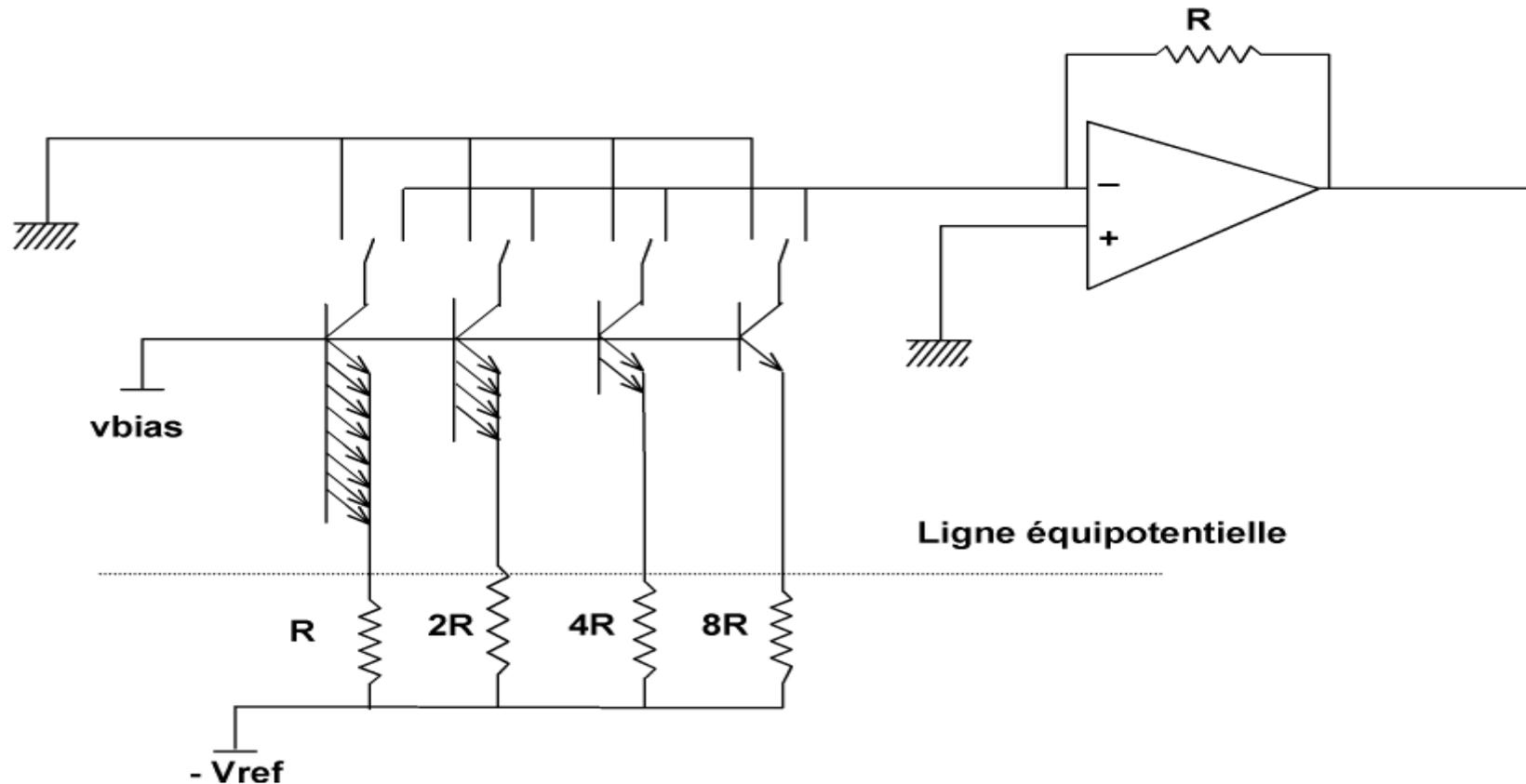


# Convertisseur numérique analogique

## Pondération de courant

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Les deux idées ensemble: ce système a été utilisé malgré ses inconvénients.  
(Obsolète aujourd'hui )

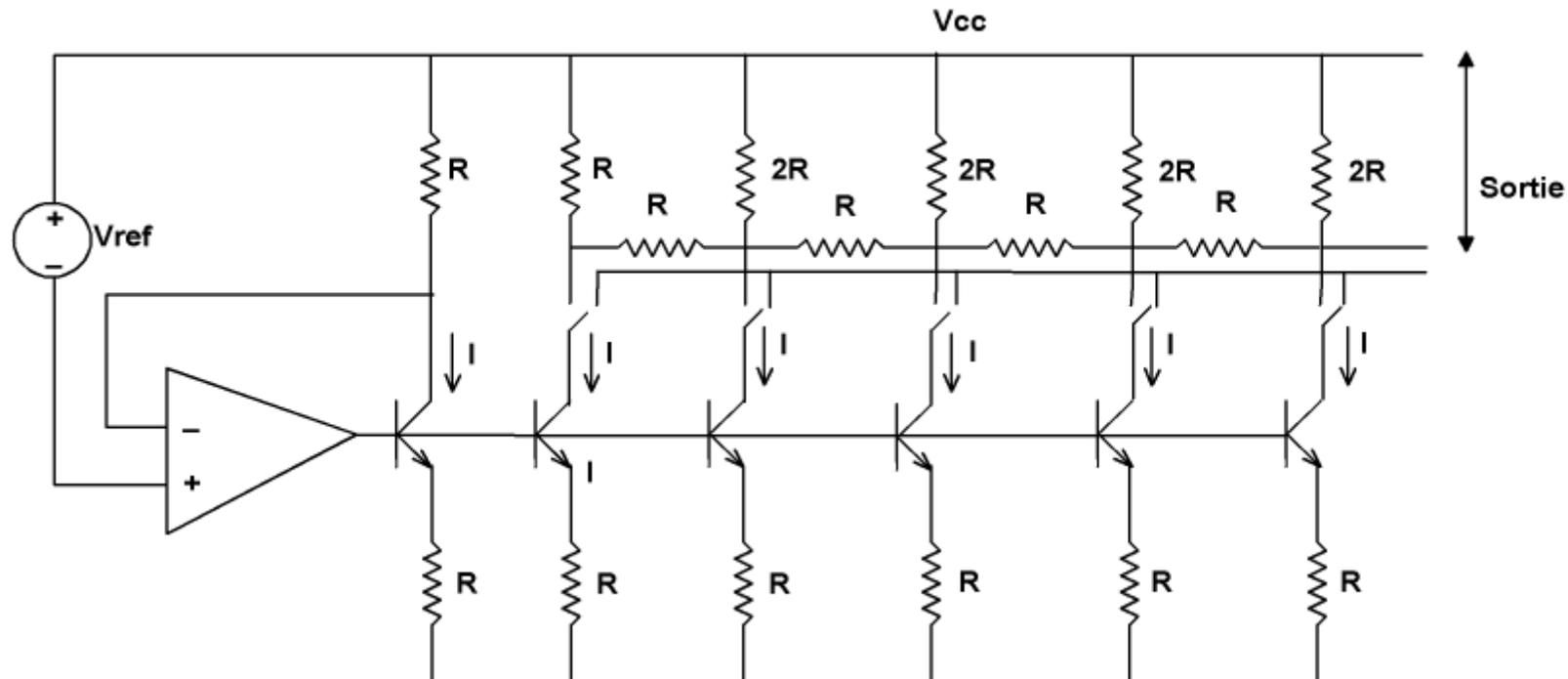


# Convertisseur numérique analogique

## Pondération: résistances à courant constant

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Variante de la pondération en tension par réseau R-2R: La pondération  
En courant avec le même réseau.

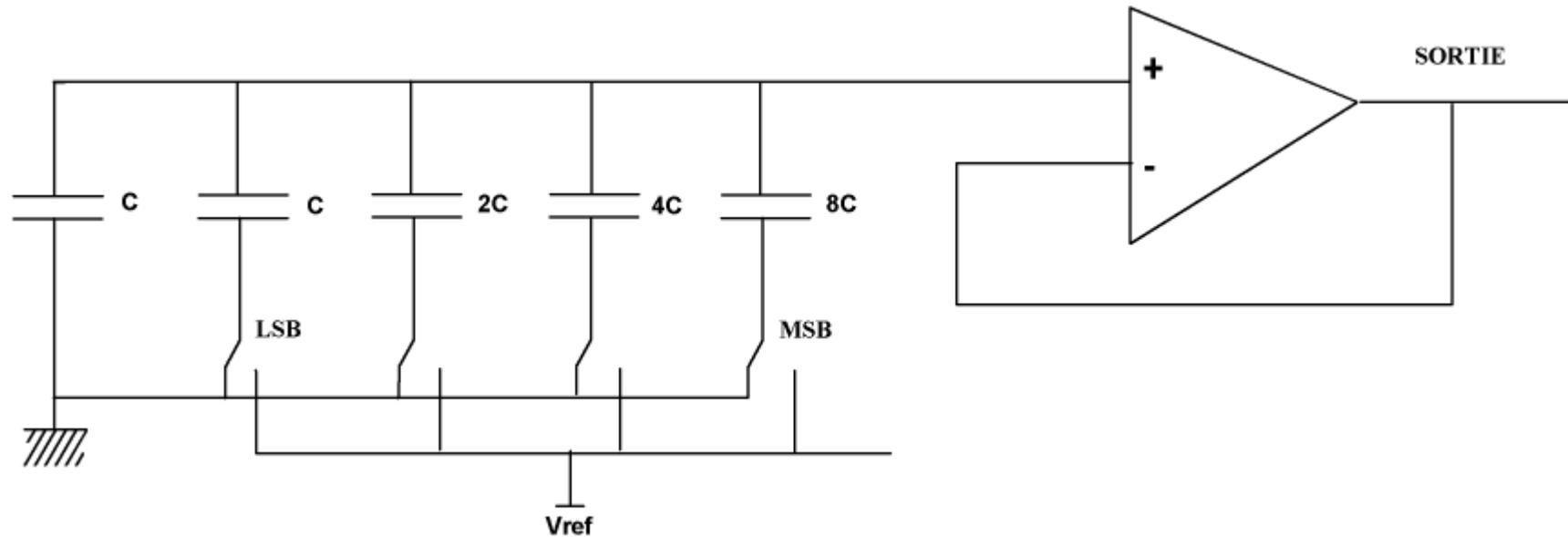


# Convertisseur numérique analogique

## Pondération par capacités

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Pondération par capacité: l'équivalent du réseau de résistances, avec l'avantage  
De ne pas consommer au repos.

Pas non plus la bonne idée pour les grandes précisions (1000 C pour 10 bits)

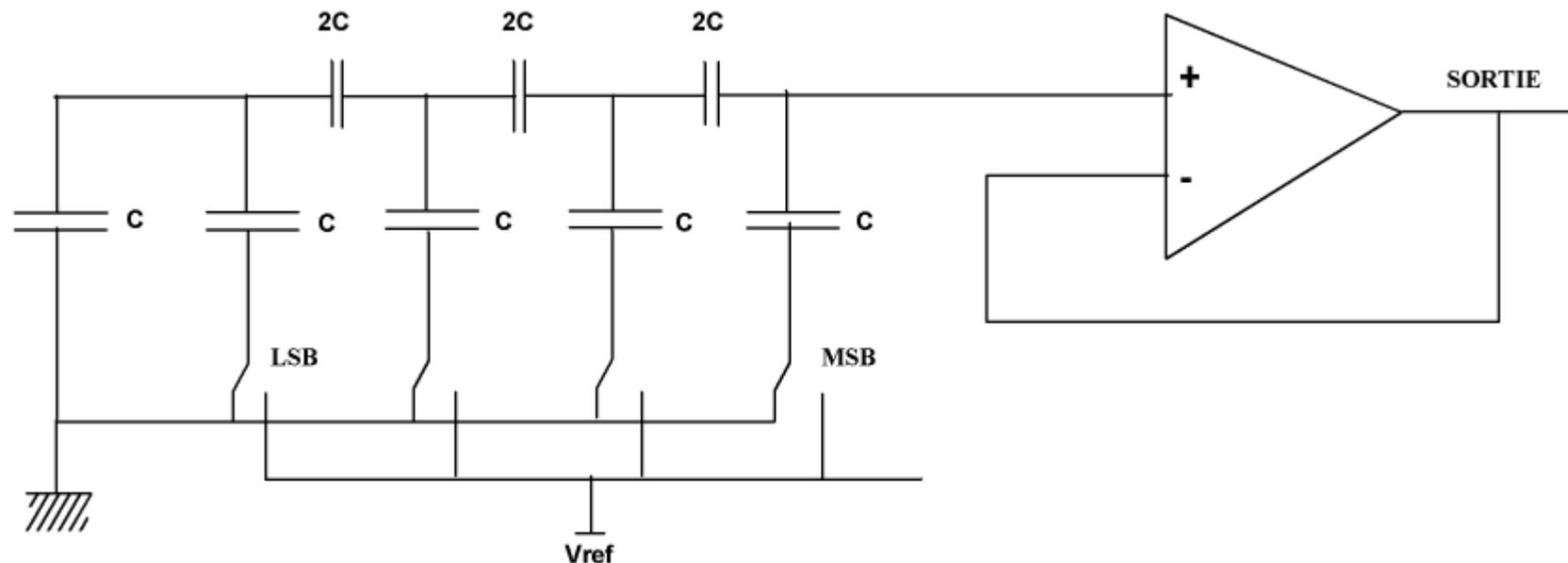


# Convertisseur numérique analogique

## Pondération par réseau C-2C

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Le réseau C-2C dit « à répartition de charges ». La réplique du R-2R avec Des capas.

Avantage: Pas de consommation au repos, et la meilleur précision.

Architecture très utilisée en technologies MOS .



# Convertisseurs numériques-analogiques résumé

- **Le réseau R-2R (plutôt en bipolaire)**
- **le réseau C-2C (plutôt en CMOS)**
- **La pondération par taille de transistors bipolaires**
- **Mixage R-2R et pondération de transistors.**



# LES ADC's

L'équation comportementale d'un DAC est:

$$U_a = d_1 \cdot 1/2 \cdot U_{ref} + d_2 \cdot 1/4 \cdot U_{ref} + d_3 \cdot 1/8 \cdot U_{ref} + \dots + d_n \cdot 1/2^n \cdot U_{ref}$$

Le signal  $U_a$  ne peut donc varier que par valeurs discrètes, et la conversion est exacte.

Dans le cas d'un ADC, le signal  $U_a$  est purement analogique et l'équation comportementale ne peut être respectée qu'en ajoutant un terme d'erreur  $E$ , dit erreur de quantification. L'équation devient:

$$U_a = d_1 \cdot 1/2 \cdot U_{ref} + d_2 \cdot 1/4 \cdot U_{ref} + d_3 \cdot 1/8 \cdot U_{ref} + \dots + d_n \cdot 1/2^n \cdot U_{ref} + E$$

Pour un convertisseur idéal:  $- 1/2 \cdot 1/2^n \cdot U_{ref} \leq E \leq 1/2 \cdot 1/2^n \cdot U_{ref}$ . ( $\pm 0.5$  LSB)

Dans le cas d'un convertisseur réel, d'autres erreurs peuvent s'ajouter:

- Erreur à l'origine
- Erreur de gain (pente)
- Code manquant
- Non monotonie
- Erreur de linéarité intégral ou plus grand écart à la droite théorique (Attention. à la définition de la droite !)
- Erreur de linéarité différentielle ou plus grand écart d'incrément réel à l'incrément théorique.



# Les ADC's (suite)

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

Faire la conversion revient à déterminer les coefficients  $d_n$ .

Cette détermination peut être directe ou indirecte, selon que l'on fait appel ou non à une variable Intermédiaire d'un autre type (fréquence par exemple)

Elle peut se faire en série ( $d_1$  puis  $d_2$  ...) ou en parallèle ou en recouvrement (pipe line) (souvent par association de ces différentes méthodes).

La conversion peut faire appel à un réseau de contre réaction, via un DAC par exemple. Dans ce cas la détermination d'un bits dépend de la valeur des bits précédents.

On peut tenter une classification complète:

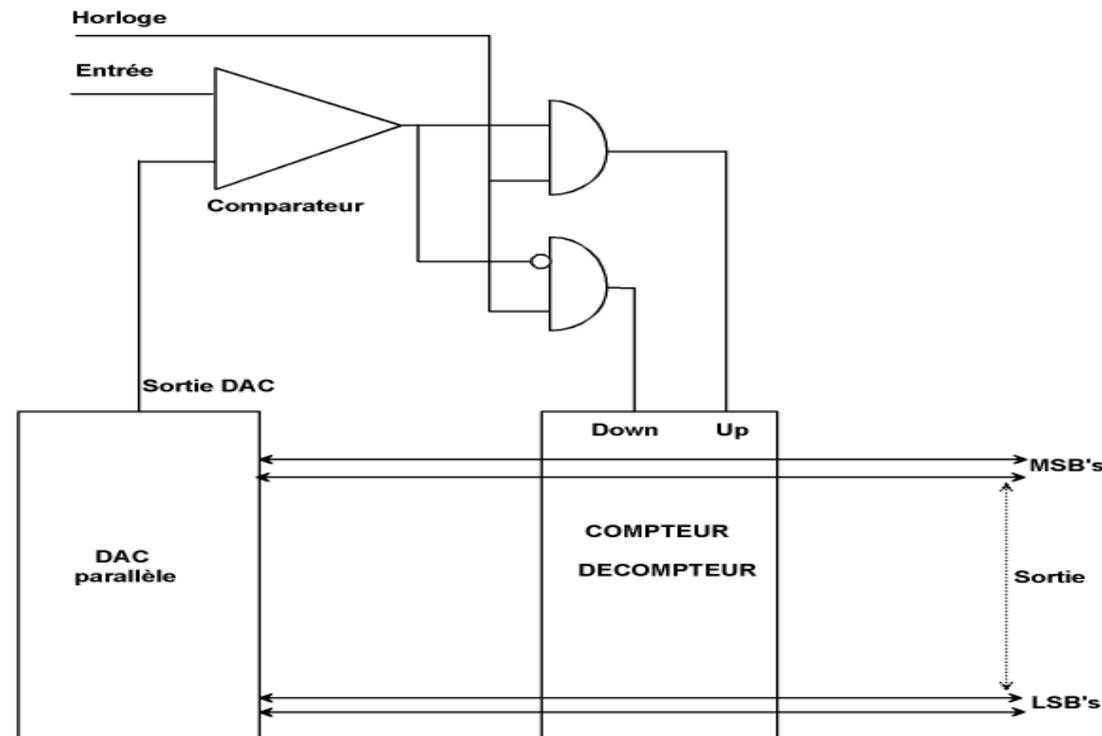
Conversion directe ou indirecte, avec ou sans contre réaction, bit par bit ou par ensemble de bits.

Pour les conversions directes, on peut subdiviser en convertisseur statique ou dynamique.

Pour les indirectes, on peut subdiviser selon la nature du signal d'indirection.



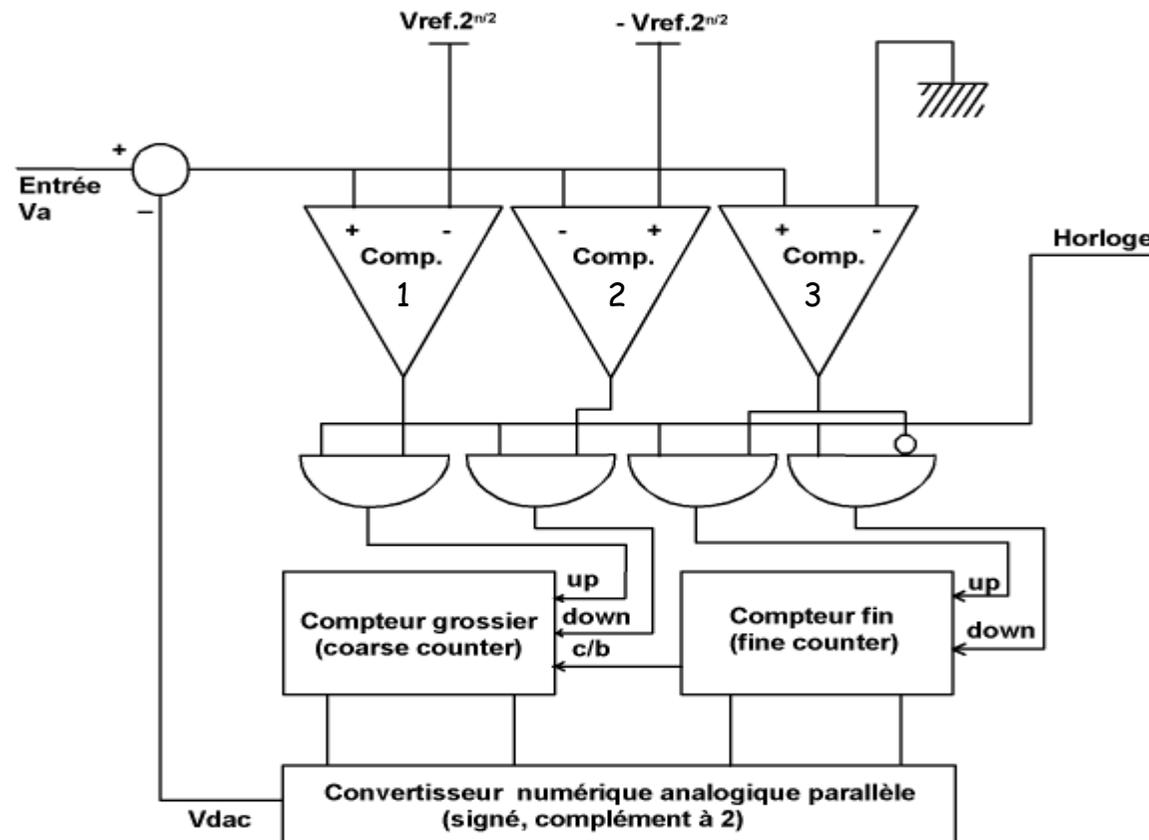
# ADC à simple compteur



Le principe le plus simple: pour une résolution de N bits, on utilise un Compteur réversible de N bits. Sa sortie est convertie par un DAC et Comparée à l'entrée. Suivant le résultat de la comparaison, on compte ou on décompte.  
Inconvénient: La lenteur. Pour 12 bits il faut 4096 pas de comptage.



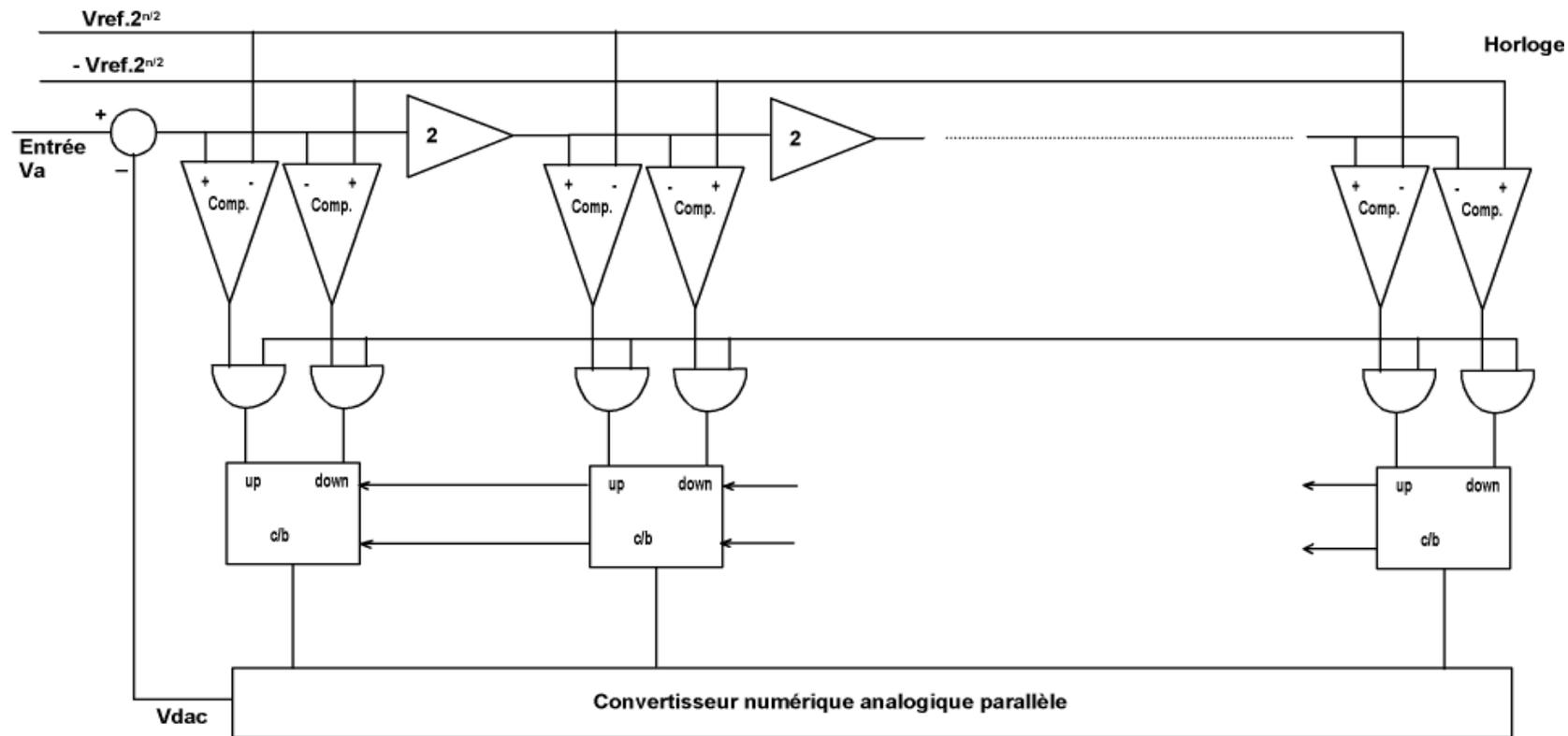
# ADC à double compteur



Amélioration à double compteur: l'un pour les bits de poids forts, l'autre pour ceux de poids faibles. Pour les poids faibles, le compteur fin et le comparateur 3 marchent comme précédemment. Le compteur grossier n'est activé que si  $V_a - V_{dac} > V_{ref} \cdot 2^{n/2}$  ou si  $V_a - V_{dac} < -V_{ref} \cdot 2^{n/2}$ . On va beaucoup plus vite ( $2^{n/2}$  au lieu de  $2^n$ ).



# ADC à compteurs: la limite



On peut paralléliser jusqu'au bout, avec des compteurs de 1 bits.  
Pour éviter  $2^n$  références, c'est le signal intermédiaire qui est multiplié par 2.  
Mais il y a  $2^n$  comparateurs et  $n-1$  amplificateurs de gain 2.  
Pour cette complexité on fait mieux avec d'autres structures. (SAR ADC)

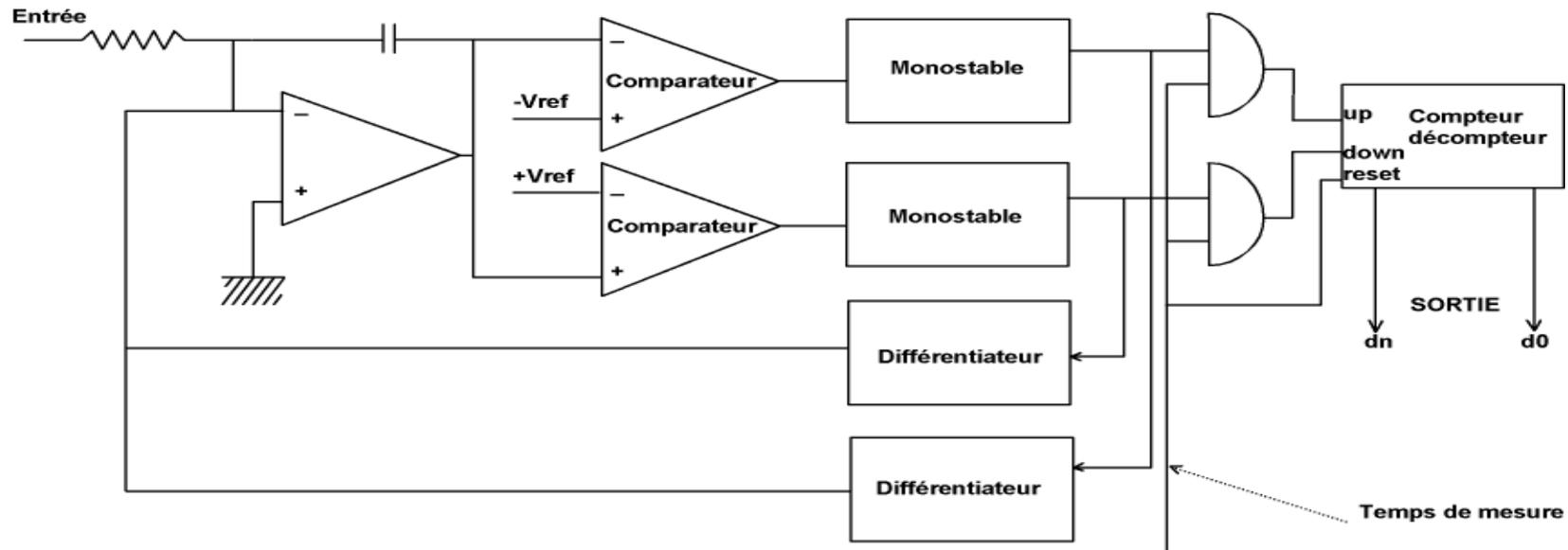


# ADC par conversion tension-fréquence

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

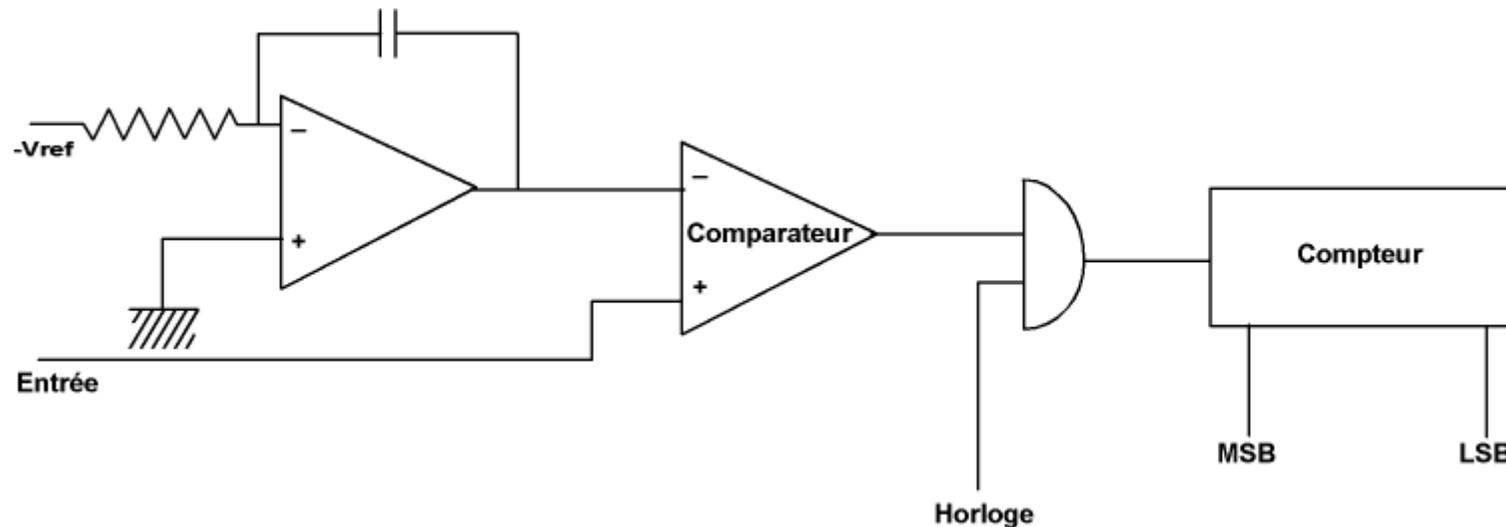
ET DE PHYSIQUE DES PARTICULES



Un compteur réversible compte pendant une durée fixe (signaux positifs), ou décompte pendant une durée fixe (signaux négatifs). La tension d'entrée est intégrée, et donne une rampe décroissante (signaux positifs), ou croissante (signaux négatifs). Quand la rampe atteint la référence, le comparateur change d'état, le monostable délivre une impulsion, et le différentiateur remet l'entrée à sa valeur maximale. Plus le signal d'entrée est grand, plus la rampe est raide et plus la fréquence est grande. Le temps de mesure peut être choisi multiple de 20 ms pour rejeter le 50 Hz; Le système est très stable, très précis mais très lent. Exemple : voltmètre 20 bits, 10 secondes...



# ADC simple rampe



On génère une rampe, ici par intégration de la référence.

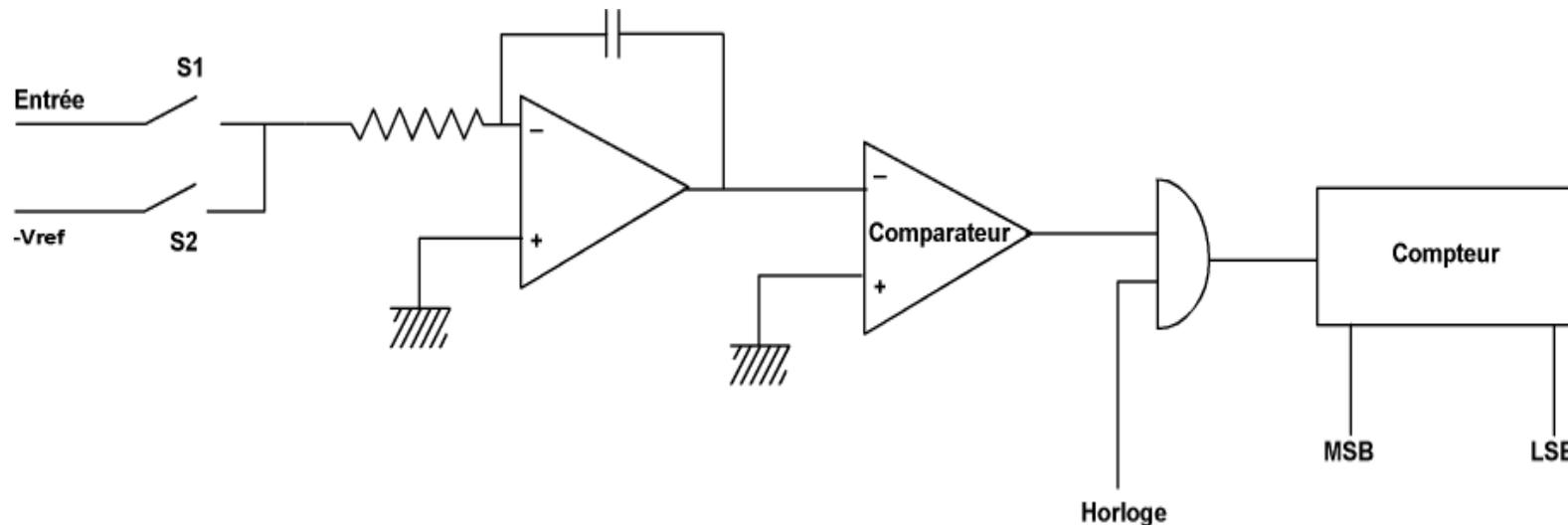
On compte à fréquence fixe depuis le départ de la rampe jusqu'à ce qu'elle atteigne la tension d'entrée.

La précision dépend de la qualité de la rampe, qui peut être très bonne.

Système simple et efficace, a tendance à être réutilisé grâce aux nouvelles technos.



# ADC double rampe



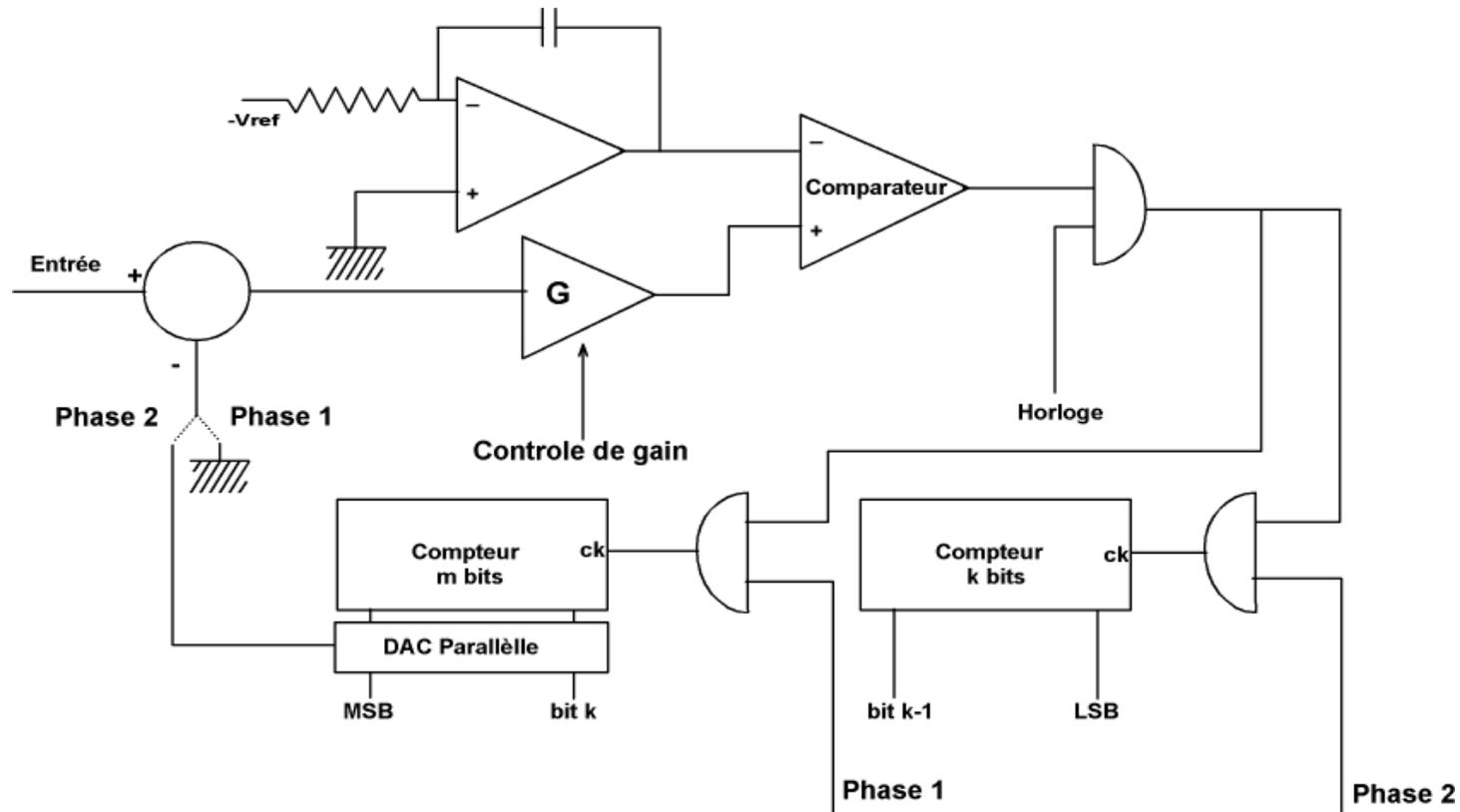
Amélioration dite à double rampe: Le signal est intégré **pendant un temps fixe** (S1 fermé, S2 ouvert). Ceci donne une rampe négative pour un signal positif.

A la fin de ce temps fixe, on ouvre S1 et on ferme S2.

On intègre alors la tension interne fixe  $-V_{ref}$ : Une rampe positive suit la rampe négative. On compte le temps que met la rampe pour revenir à zéro, qui est l'image de la tension D'entrée. La première phase peut être choisie multiple de 20 ms pour rejeter le 50 Hz.



# ADC à rampe et DAC en contre réaction



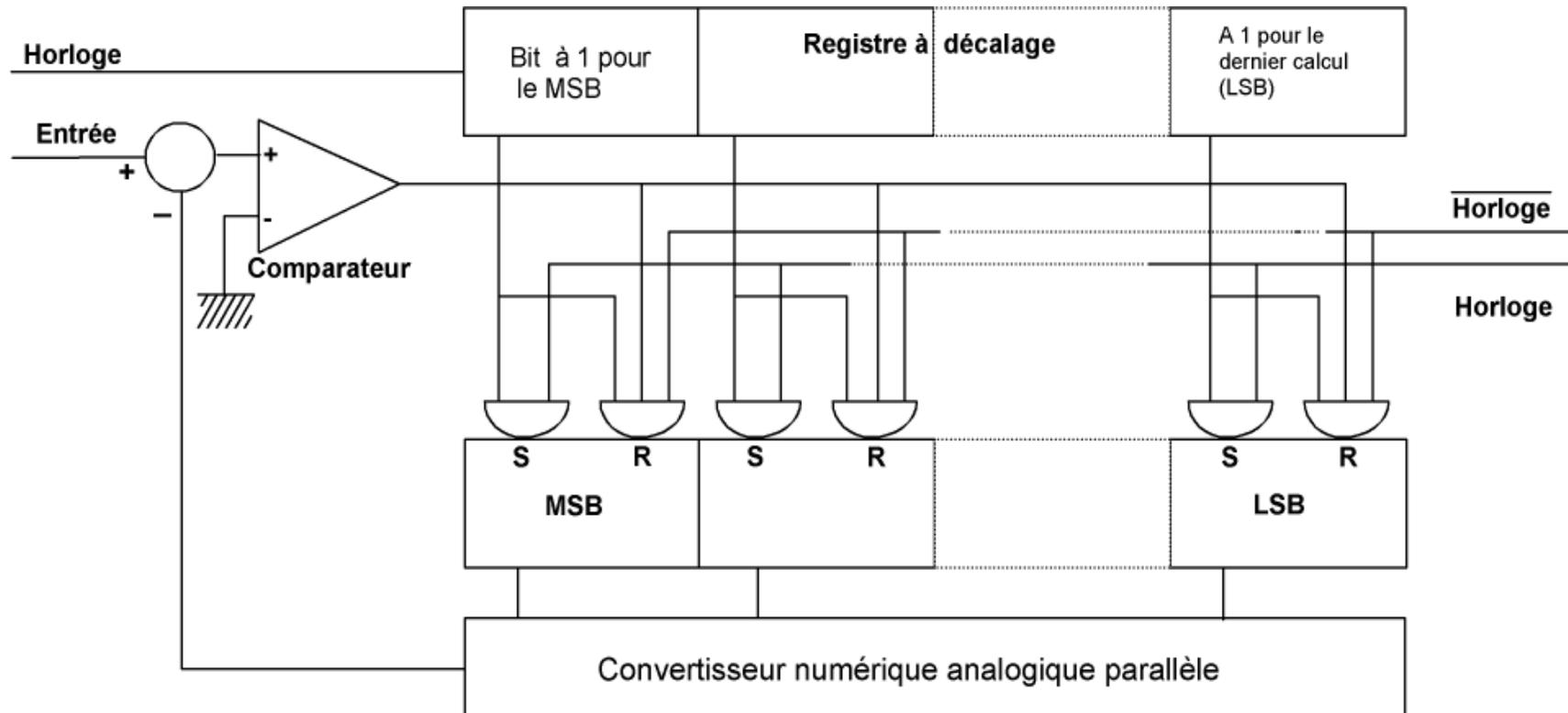
Les convertisseurs à rampe permettent de grande résolution, mais sont alors très lents. On peut fortement réduire ce temps d'intégration par une contre réaction avec un DAC. Pendant la phase 1 le système est un convertisseur à rampe classique qui fournit les MSB's. Pendant la phase 2, ces MSB sont reconvertis par un DAC, qui donne une tension qui est retranchée au signal d'entrée. Le «résidu» est amplifié par le changement de gain  $G$  Et fournit alors les LSB's.



# ADC à approximations successive (présoustractif)

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



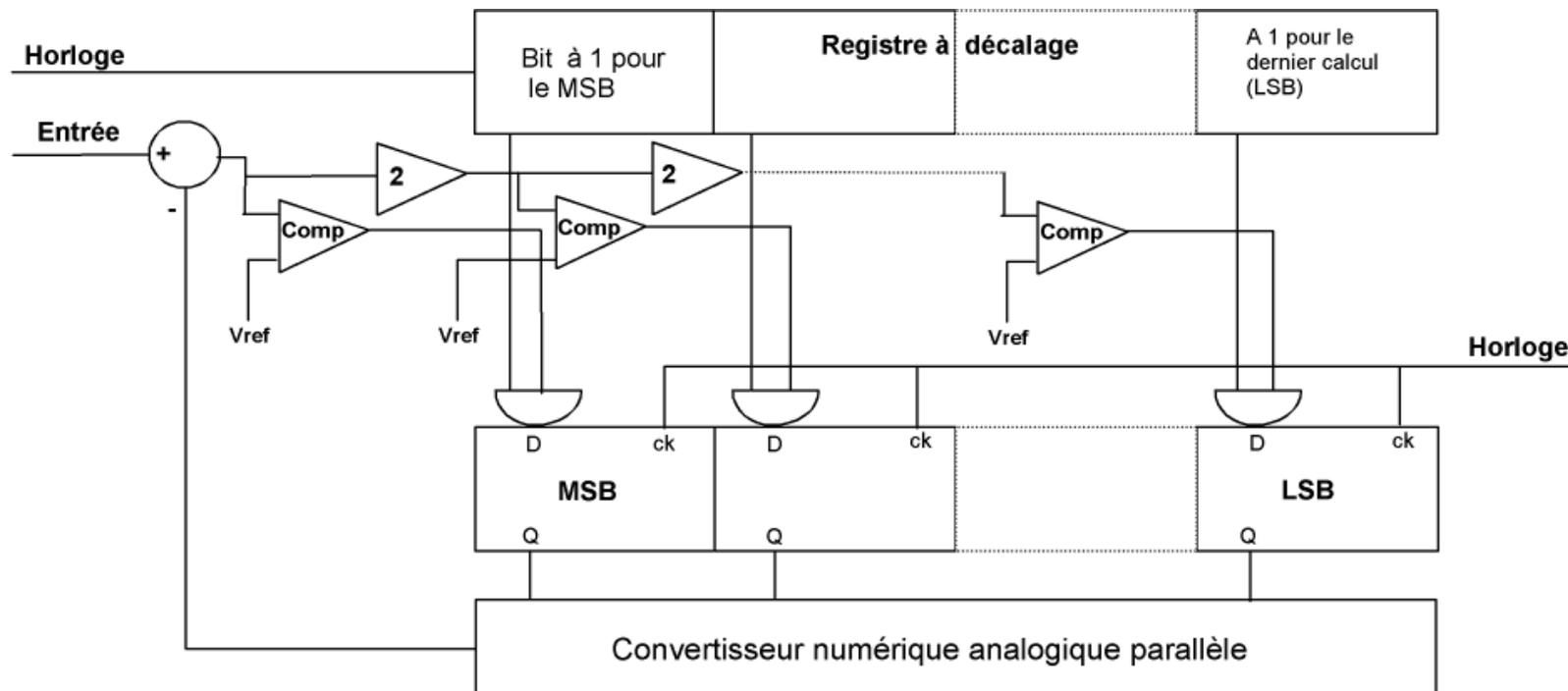
Le registre à décalage sert à « essayer » un par un tous les bits. On commence par le MSB. Que l'on met à 1 dans le registre à décalage **et dans le registre résultat**. Le DAC en C-R Reconvertit (la demi dynamique le premier coup). Si la tension d'entrée est supérieure à la Tension fournie par le DAC, on ne fait rien. Sinon, on remet le bit à zéro dans le registre Résultat. On décale d'un bit et on recommence. Il faut N cycles pour N bits. On n'utilise qu'un seul comparateur, mais il supporte toute la dynamique.



# ADC à approximations successive (postsoustractif)

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



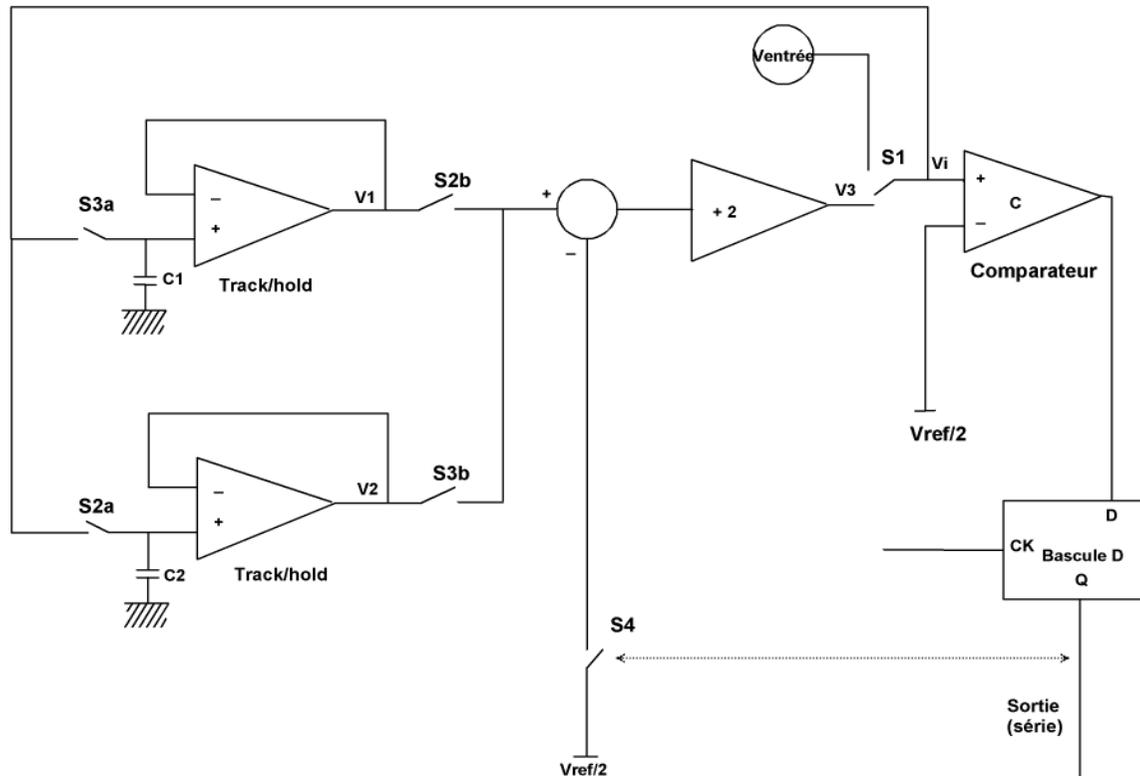
Ici le bit est mis à 1 dans le registre à décalage, **mais pas dans le registre résultat**. La tension d'entrée est comparée à la référence, le résultat donne le premier bit. Ce premier bit est converti par le DAC et soustrait à l'entrée. Cette différence est Multipliée par deux et présentée au deuxième étage, et ainsi de suite. On utilise N comparateurs au lieu d'un, mais ils ne doivent être sensibles qu'autour de  $V_{ref}$ .



# ADC à Approximation successive dynamique cyclique

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Fonctionnement:

S1 est fermé sur l'entrée, S2a fermé.  
Par S1 l'entrée est comparée à  $V_{ref}/2$   
Et le MSB sort.  
Par S2a l'entrée est mémorisée dans C2  
Par S4  $V_{ref}/2$  est fermé si MSB=1

S1 est ensuite fermé sur V3 pour toute  
La suite de la conversion.

On ferme les S3's:

Par S3b l'entrée, mémorisée dans c2  
Est transmise au soustracteur, le  
Résultat, multiplié par 2 est comparé  
À  $V_{ref}/2$ , le bit suivant sort.  
S4 est fermé si Q à 1 .

On continue ensuite en fermant  
Alternativement les S2's et les S3's.

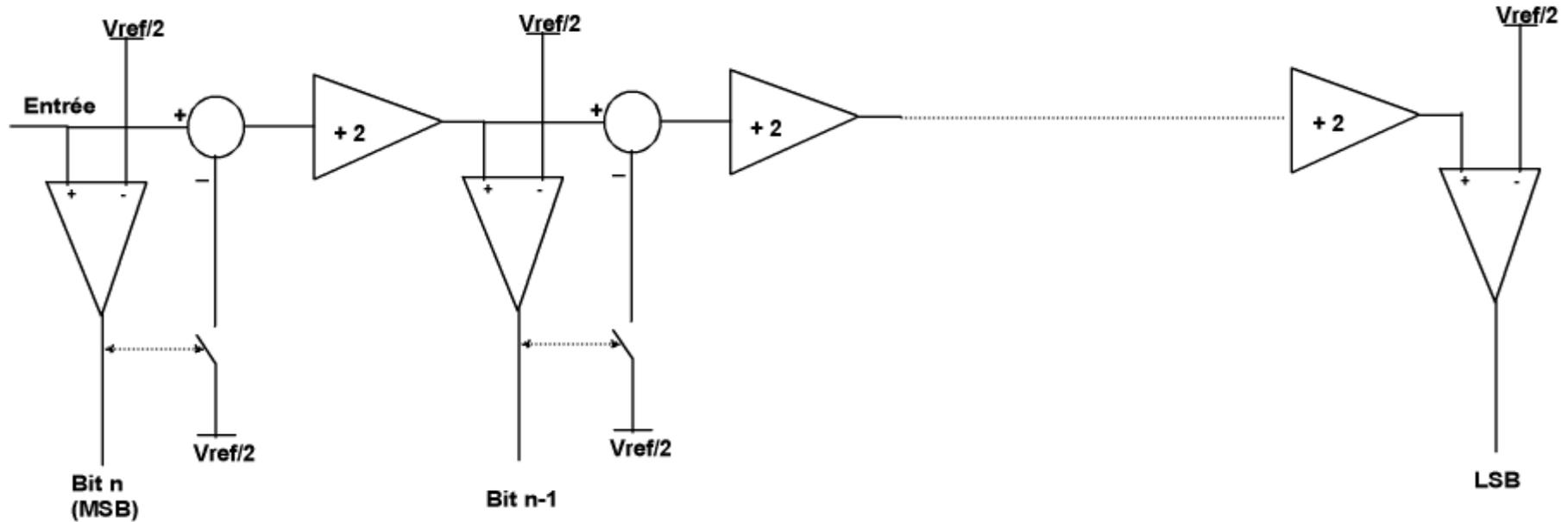
Les caractéristiques de ce type de convertisseur dépendent des T/H et de la qualité  
De l'amplificateur de gain 2. Mais l'algorithme est intéressant: il n'y a qu'un seul  
Comparateur, et une seule référence, très peu d'éléments et la sortie peu se faire  
Sur un seul fils, en mode synchrone, sans perte de temps.



# ADC à Approximation successive en cascade

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

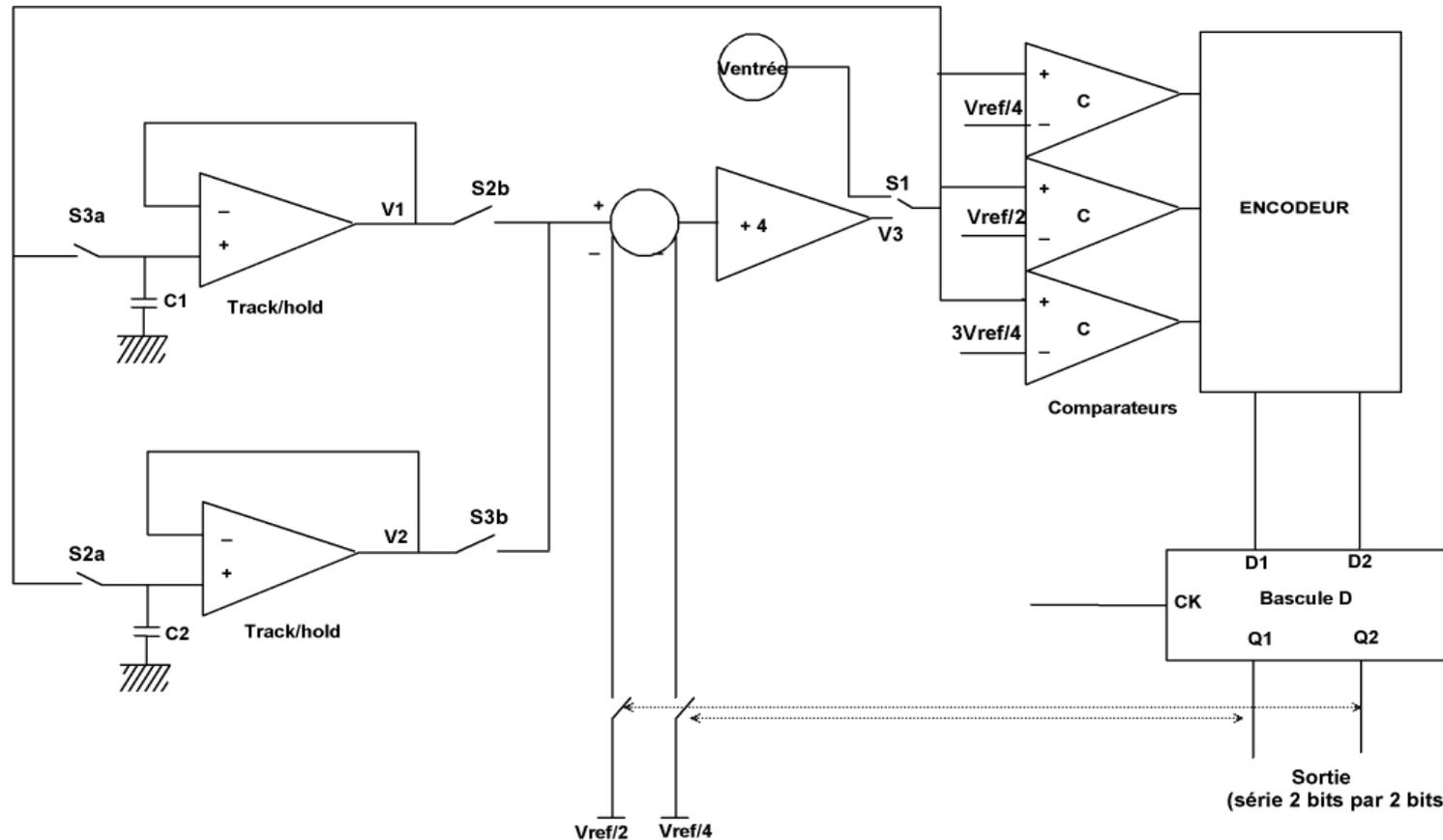


A chaque étage l'entrée est comparée à  $V_{ref}/2$ , le résultat conditionne la fermeture des Interrupteurs de  $V_{ref}/2$  vers le soustracteur, puis multiplication par 2 .... Etc ....

C'est un des principe de base le plus rapide, peut-être complètement asynchrone:  
La vitesse ne dépend de la techno, **mais** N comparateurs et N-1 amplificateurs.



# ADC séquentiel parallèle (dynamique cyclique)



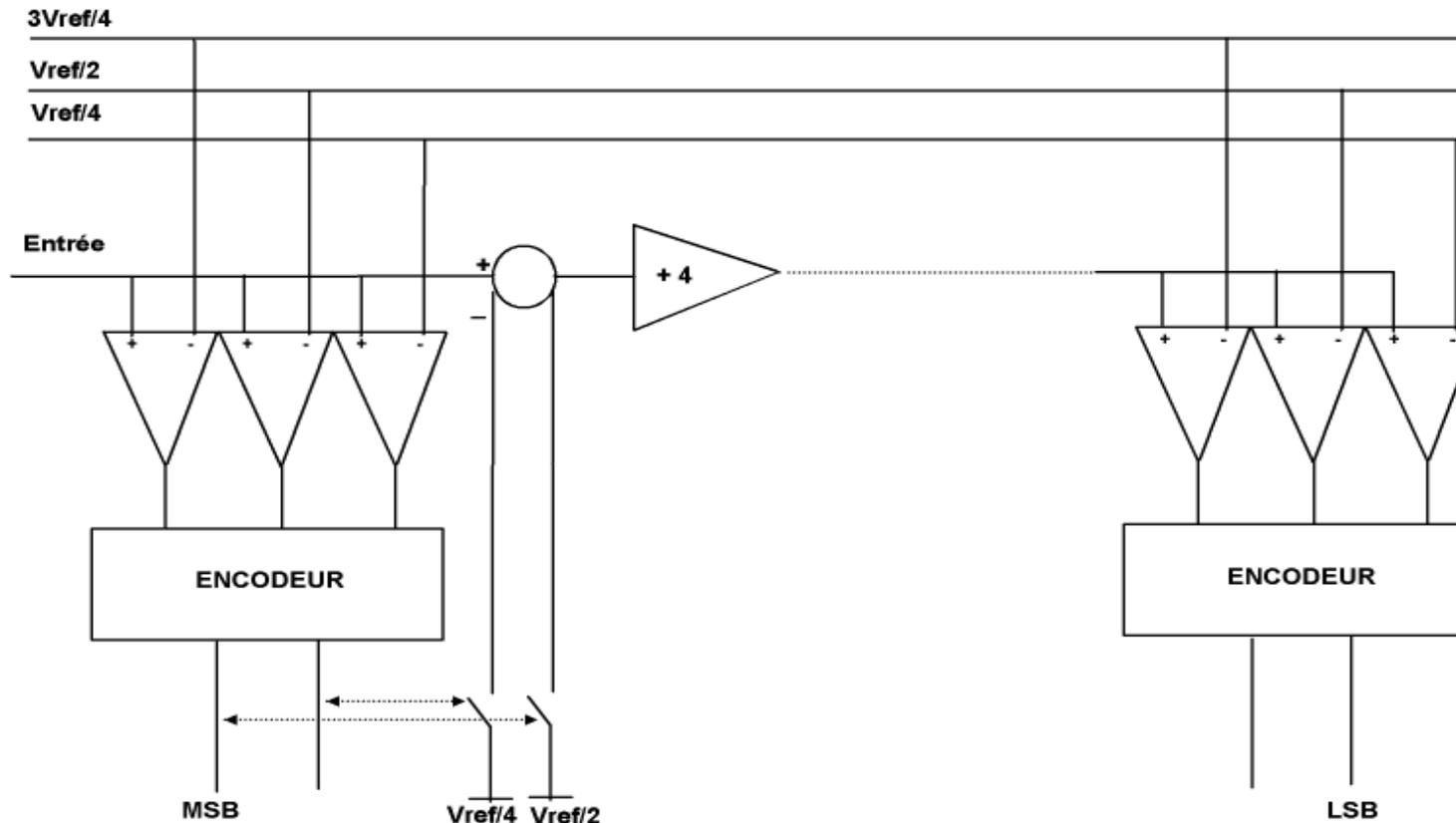
Avec 3 tensions de références et 3 comparateurs on va 2 fois plus vite



# ADC séquentiel parallèle en cascade

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Et bien sure on peut faire la même chose en cascade  
Et pourquoi pas en une seule fois ?

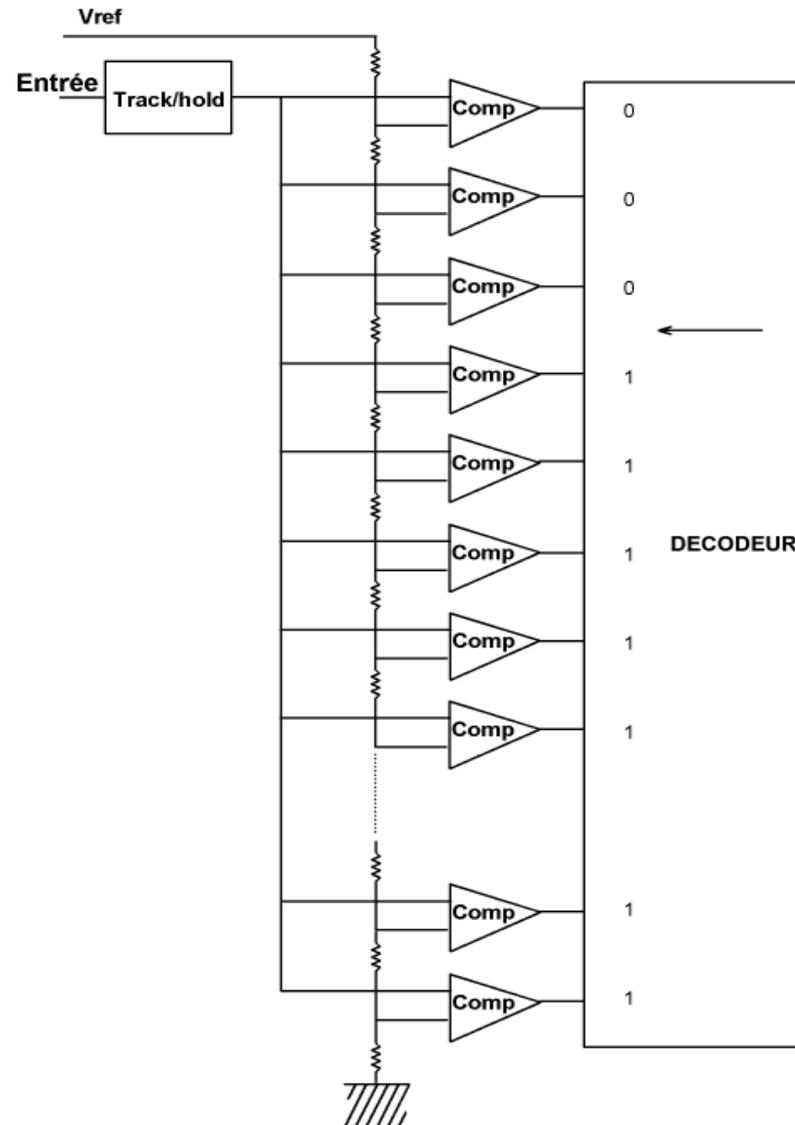


# LES ADC RAPIDES

## Structure parallèle (flash)

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Il y a autant de comparateurs que de Combinaison binaire possible (8 b., 256 comp.)

Avantage: La vitesse de conversion.

Inconvénients: La consommation.

- Limites du « tout combinatoire »:
  - Si l'entrée varie vite, la sortie est instable
- Utilisation de track/hold (mais rapides...)
- Séquentiel, au moins pour le track/hold
- A voir pour tout le reste
- La linéarité: dispersion sur les résistances
- Et sur les comparateurs
- Grande dépendance à la qualité de Vref
- Performance up to date: 8 bits, 1 Ghz.

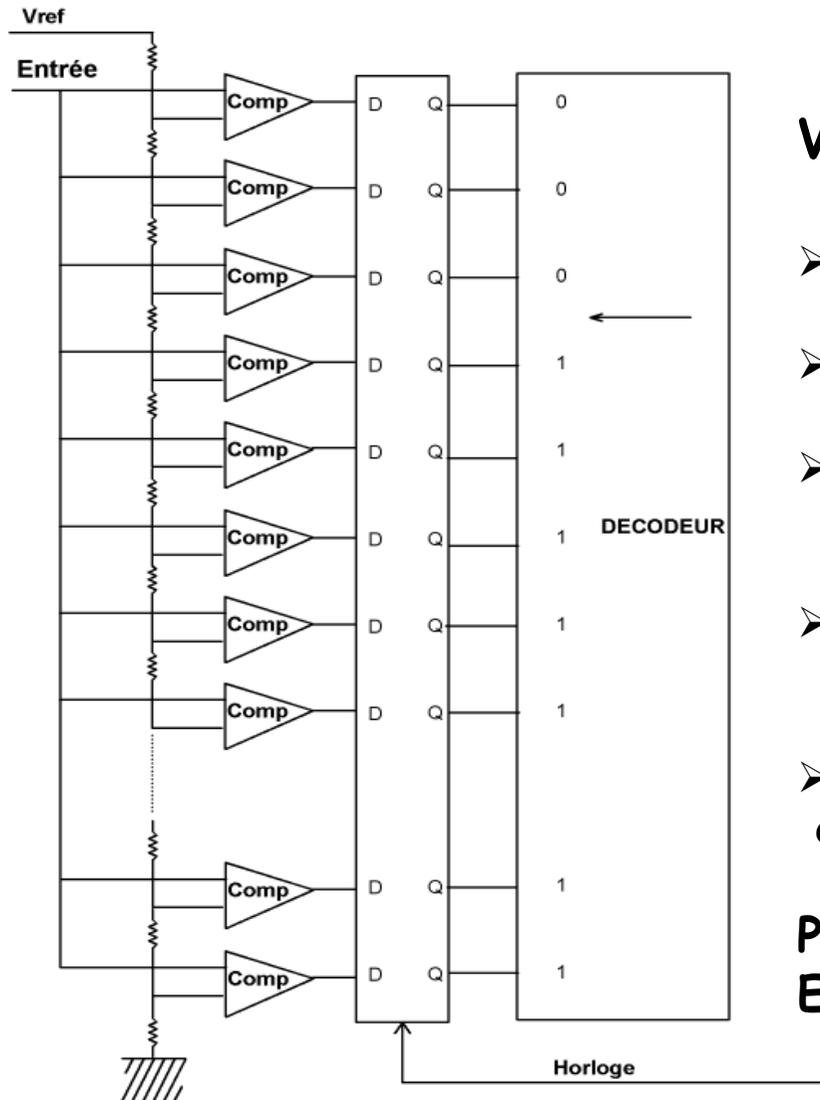


# LES ADC RAPIDES

## Structure parallèle (flash)

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



### Variantes, options, solutions

- Track/hold digital.
- Asservissement de la référence
- Multiples points d'accès à la chaîne de résistances pour réglages externes.
- Amplificateur d'entrée intégré.
- Si le nombre de bit augmente, le nombre de comparateurs devient vite prohibitif.

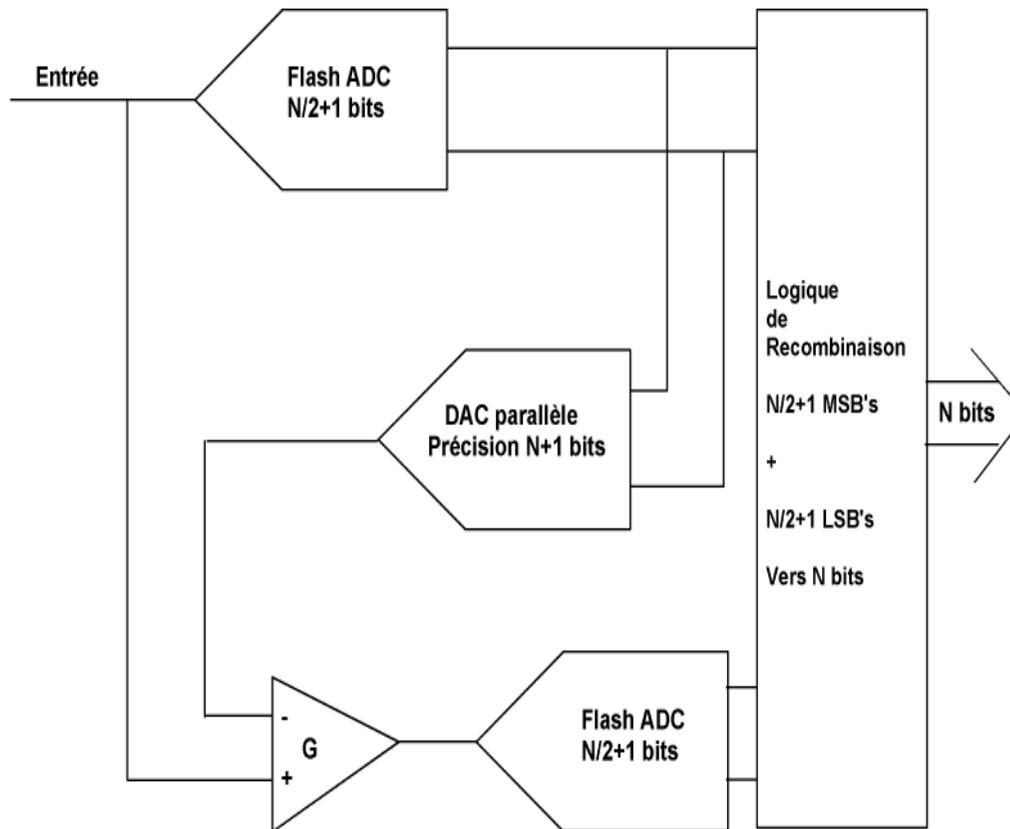
**Pour 14 bits il faut 16383 comparateurs  
Et un décodage 16383 vers 14 !!!**



# LA FAMILLE FLASH: le demi

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



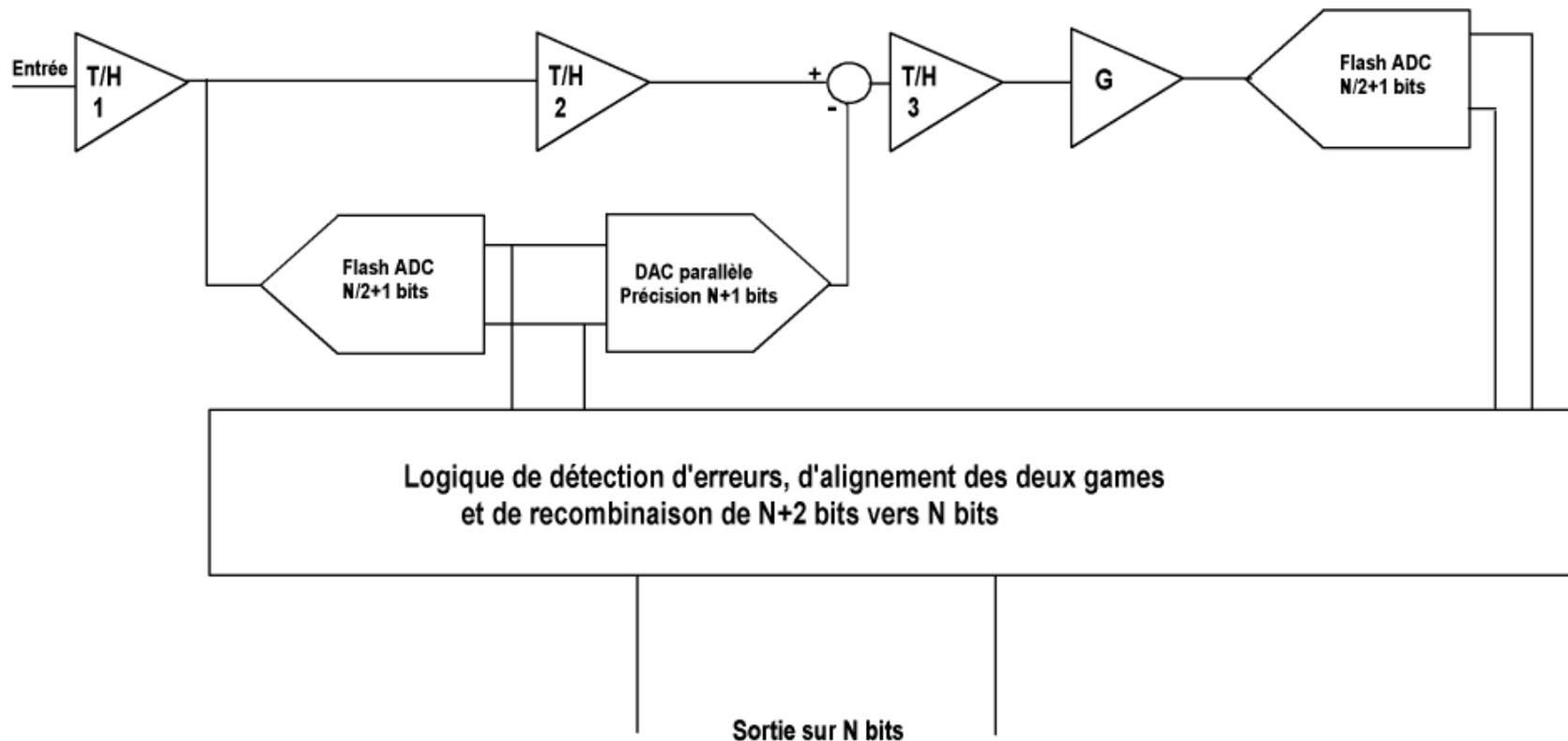




# LA FAMILLE FLASH: le demi

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

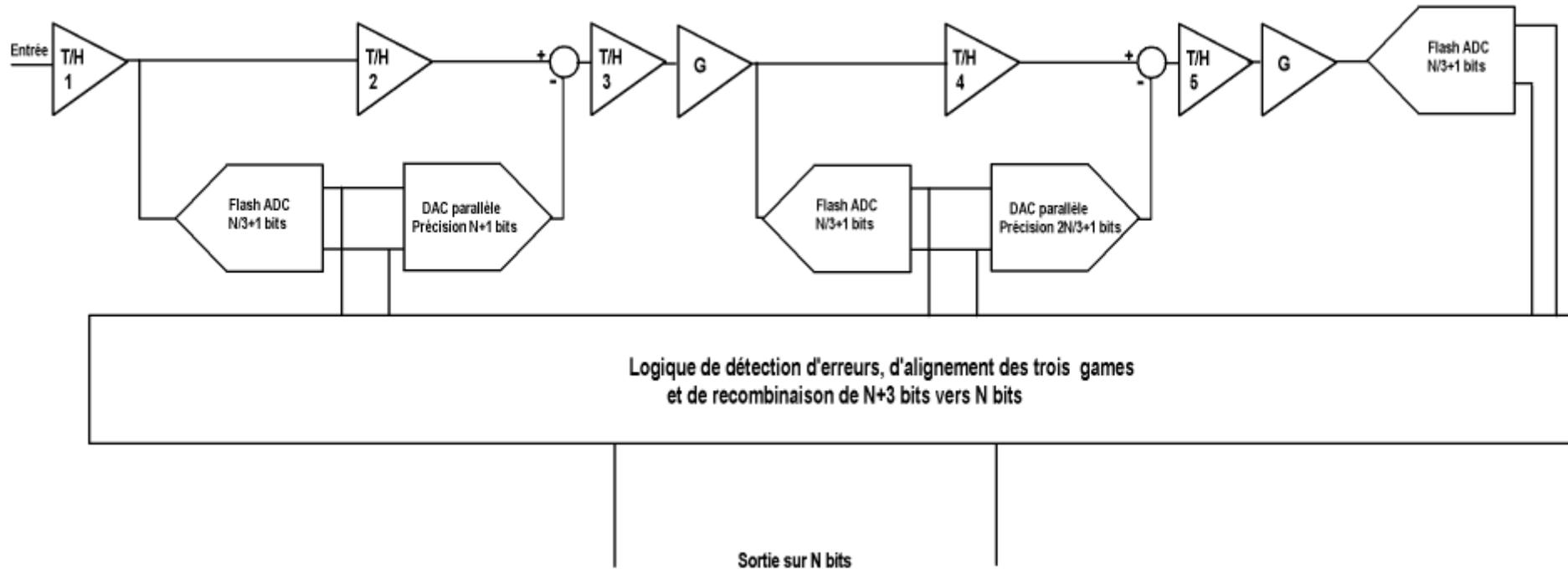




# LA FAMILLE FLASH: le tiers

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

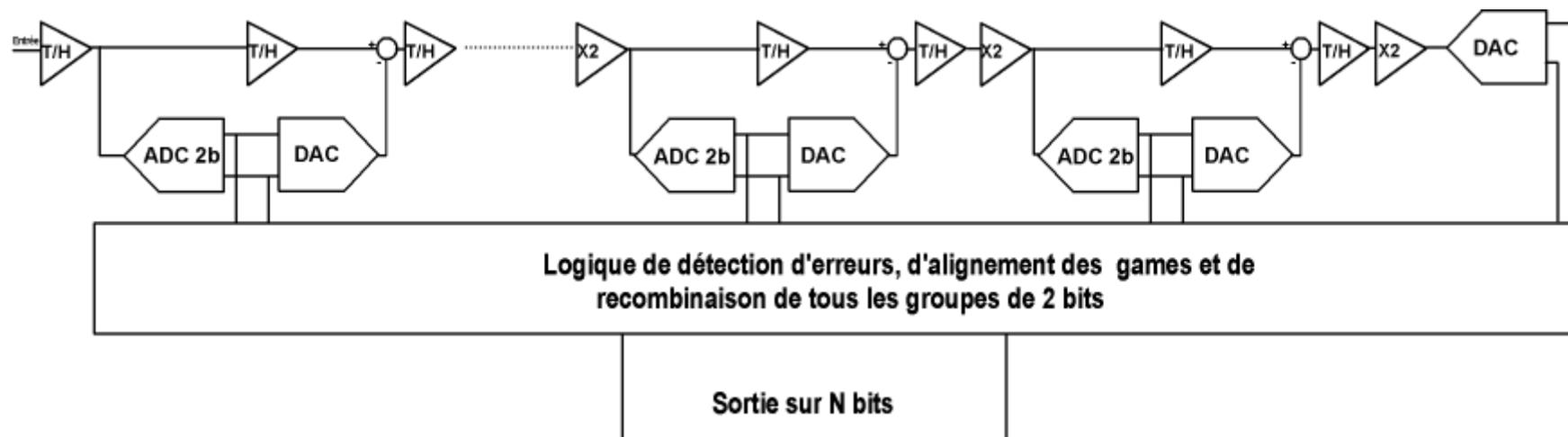




# LA FAMILLE FLASH: le multi étage

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES





# Utilisation des ADC, Racine de douze filtre anti-repliement ...

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

Un signal d'amplitude  $A+\varepsilon$  est correctement quantifié en  $A$   
Si  $\varepsilon$  est compris entre  $-q/2$  et  $+q/2$ . On peut donc affirmer  
Que l'erreur de quantification est inférieure à  $\pm q/2$ .  
Si on fait vraiment le calcul statistique, on trouve  $q/\sqrt{12}$ .  
de ce fait on essaie souvent de maintenir toutes les autres sources  
D'erreur en dessous de  $0.25$  LSB.

« La fréquence maximale du signal d'entrée doit rester en dessous  
De la moitié de la fréquence d'échantillonnage, sinon les fréquences  
Voisines de la fréquence d'échantillonnage et de ses multiples sont  
Repliées dans la bande utile »

Ceci n'est vraiment vrai que pour les signaux à temps continus,  
Asynchrones par rapports à l'horloge d'échantillonnage.



# Le convertisseur sigma-delta

## Rien qu'avec les mains.

- **Idées de bases.**
- **Fonctionnement**
- **Avantages et inconvénients**
- **Exemples**



# Le convertisseur sigma-delta

## Justifications

Des structures précédentes, on remarque:

- ❑ qu'il est très difficile de faire vite et bien: il n'y a pas de structure pour ADC en même temps très rapide et très précis.
- ❑ Pour être rapide, il faut multiplier les comparateurs, ce qui nuit à la qualité de la linéarité différentielle.

Exemples:

- ❑ Les ADC à rampe: un seul comparateur, lents mais précis
- ❑ Les SAR ADC, moins lents, mais moins précis.
- ❑ Les Flash ADC, très rapides, moins précis, et surtout à moins bonne linéarité .

On cherche une structure capable d'améliorer la linéarité différentielle de diminuer le bruit de quantification, et d'être plus fidèle au signal.



# Le convertisseur sigma-delta

## Idées de bases

On part sur un tout autre principe, plutôt contradictoire  
Avec celui des ADC dits classiques.

La linéarité différentielle ? Un seul comparateur !

La précision de la référence ? Pas de référence !

Le bruit de quantification : On le divise !

Le bruit thermique : On l'étale !

Le filtre anti-repliement: On l'oublie (presque)

La limitation de la fréquence du signal d'entrée à  $F_{ech}/2$  ?

Bien au contraire, on sur-échantillonne .

Les éléments analogiques sont réduits au minimum.

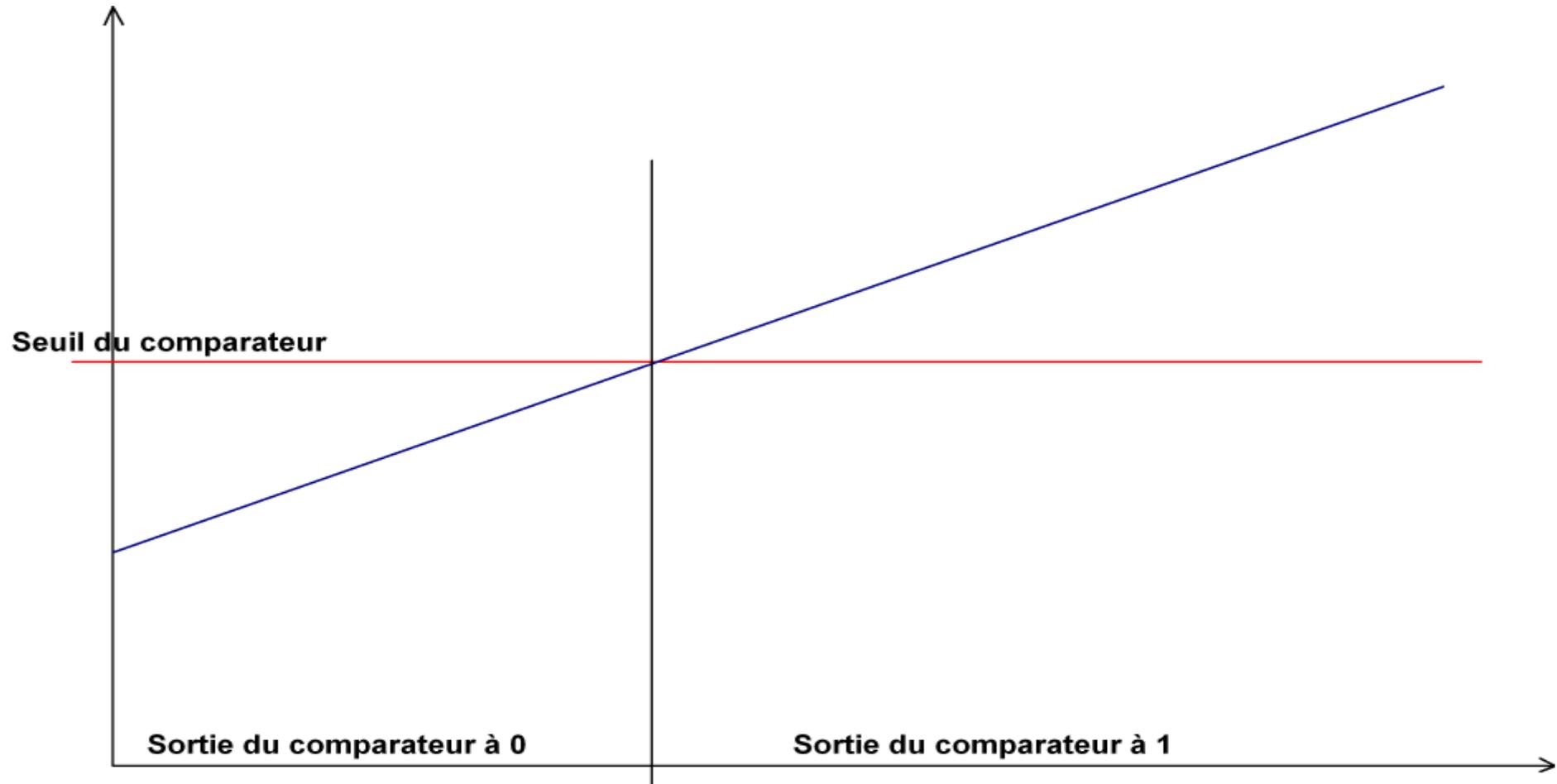
La précision vient uniquement de la statistique



# Comment faire avec un seul bit (et un seul comparateur)

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



**Si le signal est utilisé tel quel, un seul bit donne un seul bit**



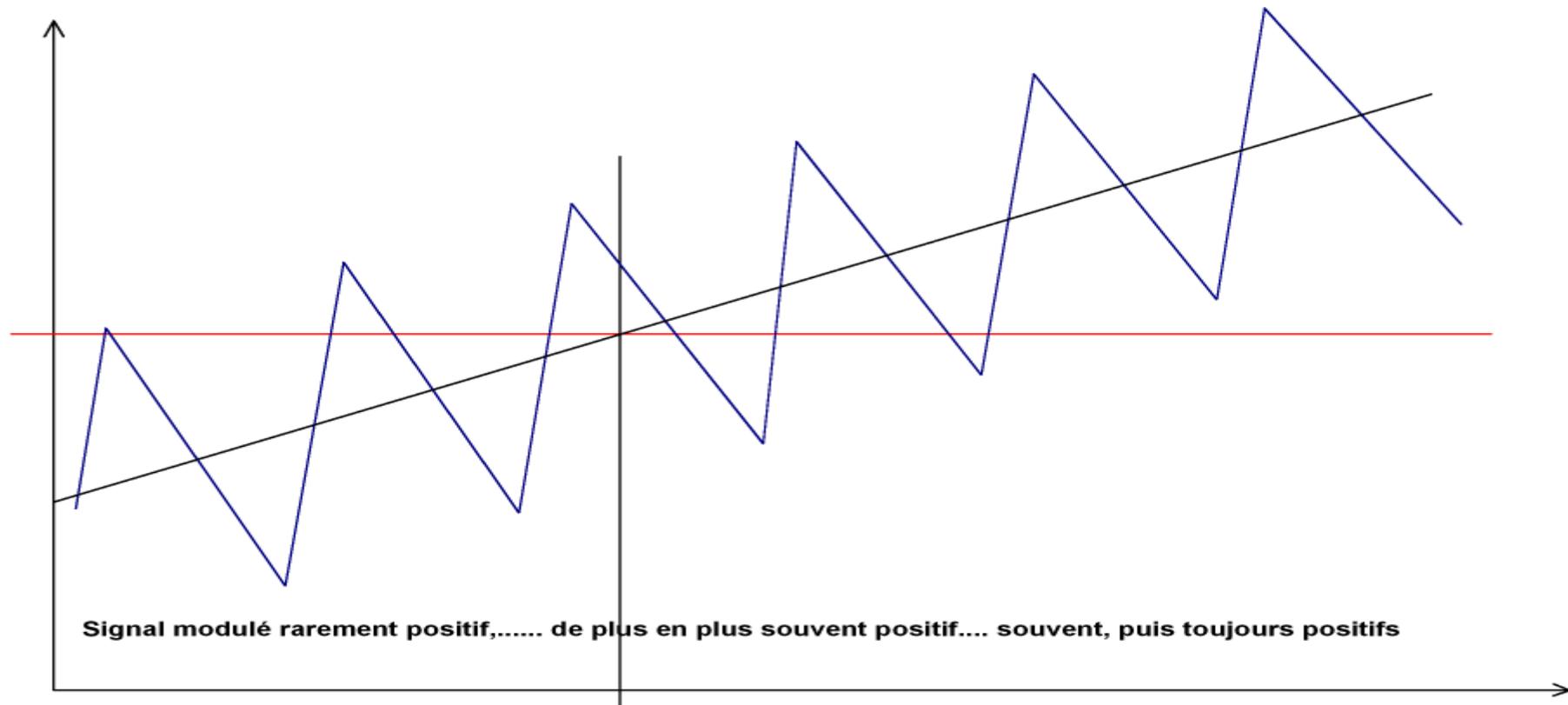
# Le convertisseur sigma-delta

## Idées de bases

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

ET DE PHYSIQUE DES PARTICULES



**Si au signal on ajoute du bruit (modulation), et si on regarde assez souvent,  
Alors le nombre de points au dessus du seuil est une image de l'amplitude  
Du signal, d'autant plus exacte que les fréquences de bruit et d'échantillonnage  
Sont élevées devant la fréquence du signal... Oui mais ....**



# Le convertisseur sigma-delta

## Fonctionnement

Pour que le principe marche bien:

Il faut que l'amplitude du bruit soit exactement la même que celle du signal, sinon certains signaux seront ignorés.

Il faut aussi que la fréquence du bruit soit adaptée à celle du signal.

Il faut en plus une horloge, ne serait-ce que pour compter.

D'où l'idée: Obtenir la modulation grâce au signal lui-même.

C'est le modulateur  $\Sigma\Delta$ .



# Le convertisseur sigma-delta

## Le principe $\Sigma\Delta$

On postule que le signal est lent devant la fréquence d'échantillonnage. On peut ainsi ne pas coder sa valeur, mais seulement l'écart avec sa Valeur précédente ou pire encore le simple signe de sa dérivée : le delta ( $\Delta$ ) ( Dans la nature ....ce qui n'est en général pas notre cas)

Un seul bit: l'augmentation, ou la diminution du signal. (par rapport à avant )

Si la fréquence d'échantillonnage est très grande alors:  
Un simple intégrateur, le sigma ( $\Sigma$ ), suffit à restituer le signal:  
C'est ainsi que l'on obtient l'image de l'échantillon précédent.  
La fréquence d'échantillonnage doit être élevée: c'est cela qui Détermine le rapport signal sur bruit.



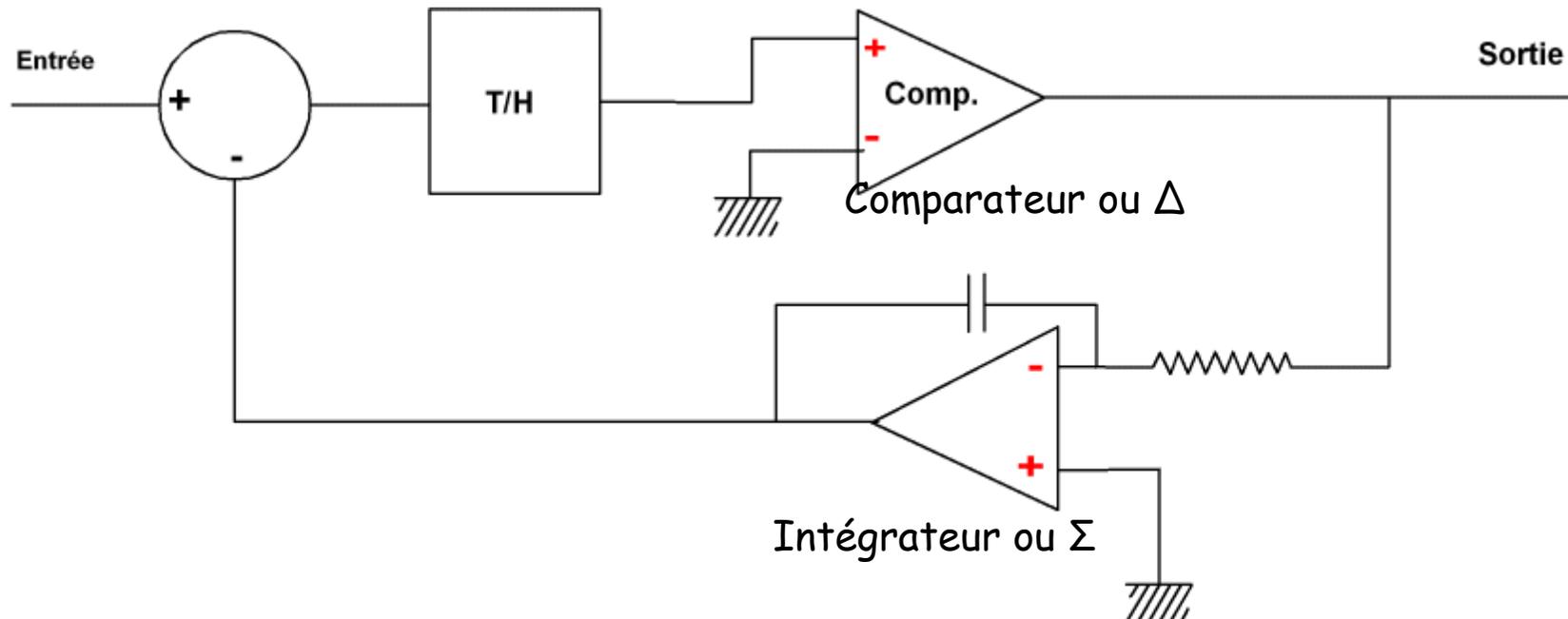
# Le convertisseur sigma-delta

## Fonctionnement

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

ET DE PHYSIQUE DES PARTICULES



Si l'entrée est à zéro, le comparateur va donner une suite de 0 et de 1 sur le bruit de l'entrée ou du T/H. Lorsque le signal monte, le comparateur donne 1. Ce 1 est intégré dans la boucle de retour, et retranché à l'entrée. Si le 1 persiste l'intégrateur insiste... Le système se stabilisera autour de la nouvelle valeur et suivra ainsi le signal d'entrée.



# Le convertisseur sigma-delta

## Fonctionnement

Obtention du code sur n bits:

La sortie de la figure précédente est une suite de 0 et de 1 à Haute fréquence. Cette suite peut être facilement convertie en Ne conservant qu'un nombre restreint d'échantillons, après filtrage Numérique. Cette opération est la « décimation ».

Une façon simple de procéder consiste à prendre la moyenne de n Échantillons à une fréquence  $f_2$ , n fois plus faible que la fréquence De modulation.

Si cette moyenne peut prendre  $2^n$  valeurs, on aura une sortie sur n bits.



# Le convertisseur sigma-delta

## Avantages

**Le convertisseur ne comporte pratiquement que des éléments binaires.  
A l'exception de l'intégrateur, qui doit être de très bonne qualité.**

**Le fait d'échantillonner largement au dessus de la fréquence de Nyquist  
Du signal permet d'alléger notablement le filtre anti-repliement.**

**Le fait d'échantillonner à une fréquence beaucoup plus élevé que la  
Fréquence utile du signal d'entrée permet de diviser le bruit de  
Quantification par le même rapport.  
Par exemple un circuit qui échantillonne à 10 MHz pour une fréquence utile  
de 20 KHz divise le bruit ( en puissance) par 250.**

**Le filtrage, dans la boucle de retour améliore encore le rapport signal  
Sur bruit, sans altérer le spectre du signal d'entrée.**



# Le convertisseur sigma-delta

## Inconvénients

Inconvénient principal : la saturation de la pente.

La pente maximale du signal de poursuite est donnée par l'amplitude

du signal du comparateur et par la période d'échantillonnage soit  $A/T$ .

Un signal de pente supérieure apparaîtra distordu.

**La limitation de saturation en dynamique des ADC classiques est remplacée par une saturation de pente.**

Le sous-échantillonnage donne un effet de repliement, analogue au sur-échantillonnage avec les ADC classiques.

Si l'amplitude de sortie du comparateur est trop grande, on obtient un effet accentué de « marche d'escalier », comme lorsque l'on utilise un ADC classique sur une trop petite partie de sa gamme.

Pour accélérer les convertisseurs simples, on n'utilise plus des intégrateurs du premier ordre, mais d'ordre supérieurs: la pente maximale devient courbure

maximale, **mais attention à la stabilité**: Le comparateur-sommeur assure

une rotation de  $180^\circ$ . Un filtre intégrateur du premier ordre  $90^\circ$ :

l'oscillation est proche, et il faut alors plusieurs boucles.



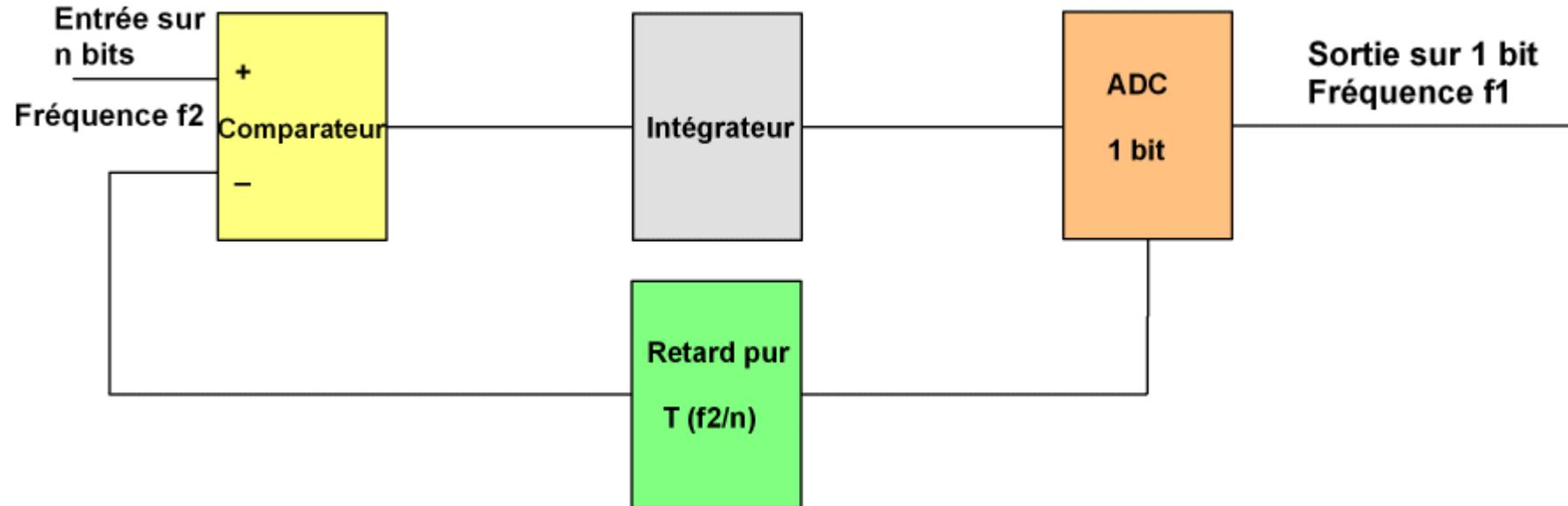
# Le convertisseur sigma-delta Et le DAC alors ?

Les convertisseurs numériques analogiques classiques ne présentent Pas les mêmes problèmes de lenteurs et de linéarité que les ADC. Conçus à partir d'échelles de résistances ou de capacités, ils Demandent néanmoins un grand soins de conception, de la place Sur la puce, voir des réglages . Pour des signaux lents et de grandes dynamique, on peut se poser La question : pourquoi pas un DAC « un bit », ou comment échanger Beaucoup de bits à (relativement faible débit) contre un seul bit À très haut débit.

La solution est un ADC en contre-réaction !  
(Encore tout le contraire des convertisseurs dits classiques)



# Le DAC un bit



La boucle travaille à la fréquence  $f1$ , égale à  $n \cdot f2$

L'entrée numérique, codée sur n bits, est comparée à l'entrée précédente, grâce à un retard pur (digital). Le résultat est converti sur un bit.

La sortie à haute fréquence « analogique sur un bit » est en format dit MDI

Ou « modulation de densité d'impulsion ». Elle est ensuite traduite en analogique vrai

Grâce à un filtre numérique.



# Le convertisseur sigma-delta conclusion

Ce type de convertisseur ne convient vraiment bien qu'à des signaux  
Variants lentement par rapport à la fréquence réelle d'échantillonnage.

Si le delta est du même ordre de grandeur que la dynamique du signal  
(cas de signaux complètement décorrélés et aléatoires de détecteurs)  
On ne voit plus bien l'intérêt .

Il trouve donc tout particulièrement sa place en audio. (24 bits, 20 KHz)



# Exemple: flash multi étage CMOS 10b. 40Ms 74 mW

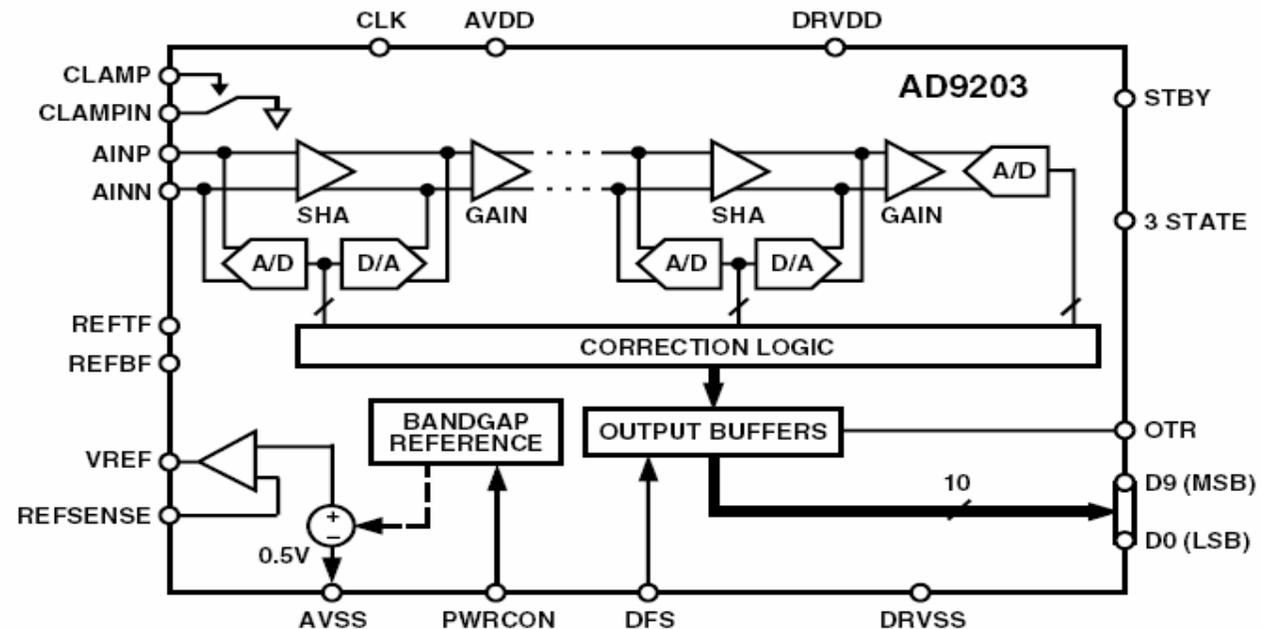
**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

## FEATURES

- CMOS 10-Bit 40 MSPS Sampling A/D Converter
- Power Dissipation: 74 mW (3 V Supply, 40 MSPS)  
17 mW (3 V Supply, 5 MSPS)
- Operation Between 2.7 V and 3.6 V Supply
- Differential Nonlinearity:  $\pm 0.25$  LSB
- Power-Down (Standby) Mode, 0.65 mW
- ENOB: 9.55 @  $f_{IN} = 20$  MHz
- Out-of-Range Indicator
- Adjustable On-Chip Voltage Reference
- IF Undersampling up to  $f_{IN} = 130$  MHz
- Input Range: 1 V to 2 V p-p Differential or Single-Ended
- Adjustable Power Consumption
- Internal Clamp Circuit

## FUNCTIONAL BLOCK DIAGRAM





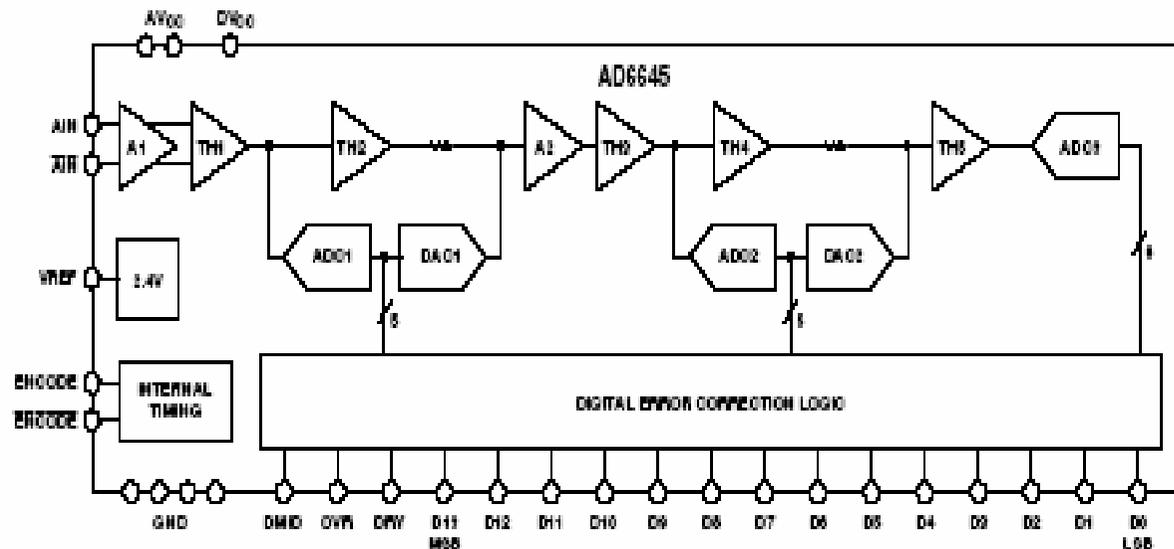
# Exemple tiers flash

## Bip. 14b 105 Ms 1.5W

### FEATURES

- SNR = 75 dB,  $f_{IN}$  15 MHz up to 105 MSPS
- SNR = 72 dB,  $f_{IN}$  200 MHz up to 105 MSPS
- SFDR = 89 dBc,  $f_{IN}$  70 MHz up to 105 MSPS
- 100 dB Multitone SFDR
- IF Sampling to 200 MHz
- Sampling Jitter 0.1 ps
- 1.5 W Power Dissipation
- Differential Analog Inputs
- Pin Compatible to AD6644
- Twos Complement Digital Output Format
- 3.3 V CMOS Compatible
- DataReady for Output Latching

FUNCTIONAL BLOCK DIAGRAM





# ADC 1Ms à approximation successives par redistribution de charges. 16 bits 128 mW

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

## FEATURES

### Throughput:

1 MSPS (Warp mode)

800 kSPS (Normal mode)

666 kSPS (Impulse mode)

16-bit resolution

Analog input voltage range: 0 V to 2.5 V

No pipeline delay

Parallel and serial 5 V/3 V interface

SPI®/QSPI™/MICROWIRE™/DSP compatible

Single 5 V supply operation

Power dissipation

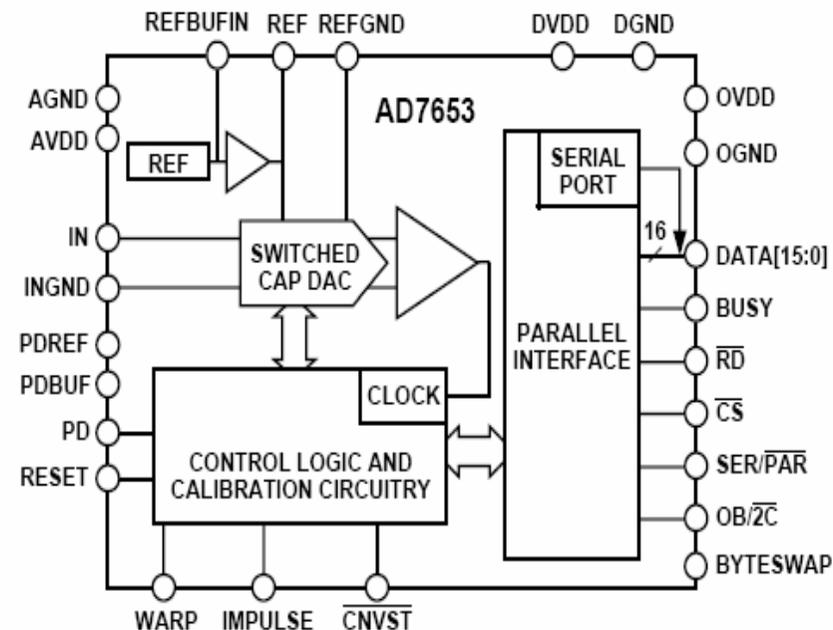
92 mW typ @ 666 kSPS, 138  $\mu$ W @ 1 kSPS without REF

128 mW typ @ 1 MSPS with REF

48-lead LQFP and 48-lead LFCSP packages

Pin-to-pin compatible with PulSAR ADCs

## FUNCTIONAL BLOCK DIAGRAM



02966-0-001



# Exemple: Flash multi-étages

## 14 bits 80 Msps 366mW

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

### FEATURES

Single 3 V supply operation (2.7 V to 3.6 V)

SNR = 72.7 dBc to Nyquist

SFDR = 87.6 dBc to Nyquist

Low power: 366 mW

Differential input with 500 MHz bandwidth

On-chip reference and sample-and-hold

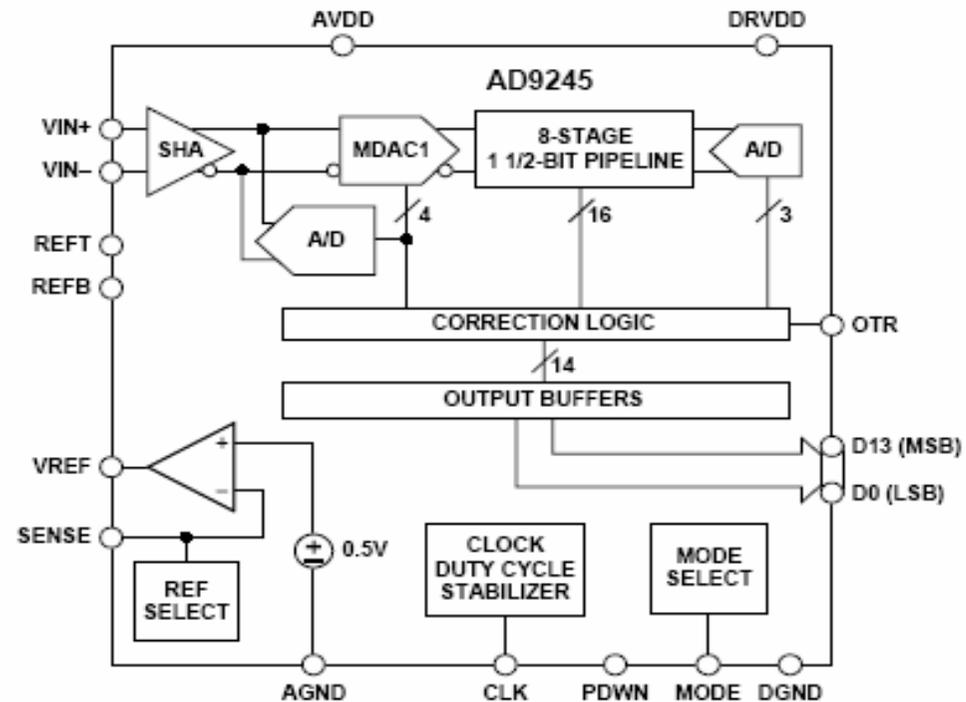
DNL =  $\pm 0.5$  LSB

Flexible analog input: 1 V p-p to 2 V p-p range

Offset binary or twos complement data format

Clock duty cycle stabilizer

### FUNCTIONAL BLOCK DIAGRAM





# ADC Sigma-delta 1.2 Ms

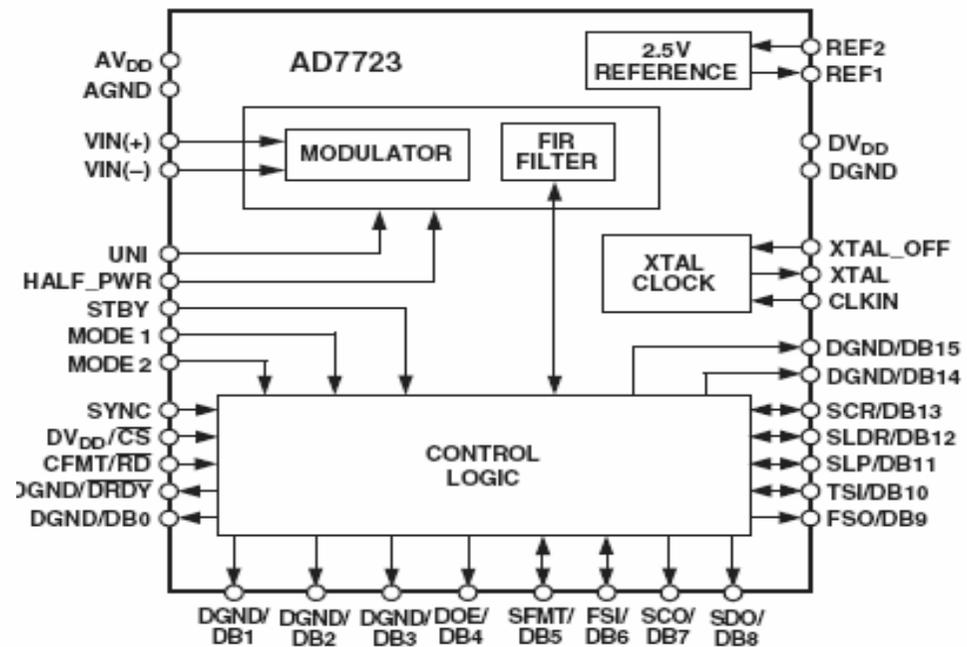
IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

## FEATURES

- 16-Bit Sigma-Delta ADC
- 1.2 MSPS Output Word Rate
- 32x/16x Oversampling Ratio
- Low-Pass and Band-Pass Digital Filter
- Linear Phase
- On-Chip 2.5 V Voltage Reference
- Standby Mode
- Flexible Parallel or Serial Interface
- Crystal Oscillator
- Single 5 V Supply

## FUNCTIONAL BLOCK DIAGRAM





# Mise en œuvre des convertisseurs

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

Précaution de CEM.

- Une seule et bonne masse pour l'ensemble, numérique et analogique.
- Soigner le PCB .....
- Faire attention aux sorties, en évitant les grosses Variations de courant. (vérifier que le circuit est prévu pour, sinon mettre des résistances série bien choisies).
- **Faire très attention aux horloges**



# Mise en œuvre des convertisseurs L'horloge

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

La stabilité de l'horloge est primordiale: l'erreur due au « jitter »  
Peut être déterminante. Il est intéressant de connaître les origines  
Et les conséquences du jitter. L'origine est le bruit:  $e_n^2 = 4kTR \Delta f$   
De cette formule on peut calculer le jitter: Si  $V_{cl} = A \sin \omega t$  (sinus)

$$\frac{\Delta V_{cl}}{\Delta t} = A \omega \cos \omega t \quad \text{et si } \Delta V_{cl} = e_n \text{ alors } \Delta t = \frac{e_n}{2\pi f A \cos 2\pi f t}$$

L'erreur maximum a lieu pour  $\cos 2\pi f t = 1$  et doit être doublée (2rms)

$$\Delta t = \frac{e_n}{\pi f A} \quad \text{En remplaçant } e_n \text{ par sa valeur et } f \text{ par } 0.35/tr:$$

$$\Delta t = \frac{(0.7kTR)^{1/2}}{fA(\pi tr)^{1/2}}$$

Un système idéal de  $50 \Omega$  générant une  
horloge de 250 ps de temps de montée  
à 10 MHz, d'amplitude 0.5V

**Présente un jitter minimum de 2.7ps**



# Mise en œuvre des convertisseurs L'horloge

Pour une entrée analogique  $V_{in} = A \sin \omega t$  l'incertitude vaut

$$\Delta t = \frac{\Delta A}{A \omega \cos \omega t} \quad \text{Avec} \quad \Delta A = \frac{2A}{2^n} \quad \text{On obtient}$$

$$\Delta t = \frac{2^{-n}}{\pi f_{in} \cos 2\pi f_{in} t} \quad \text{Pour } \cos=1$$

$$\Delta t_{\max} = \frac{2^{-n}}{\pi f_{in}}$$

Exemples !

L'audio:	20kHz, 16 bits.....	$\Delta t=200$ ps
La vidéo:	100MHz, 8 bits .....	$\Delta t=12$ ps
La Hi-Fi:	20kHz, 20 bits.....	$\Delta t=12$ ps
NEW audio.....	24 bits.....	$\Delta t=0.8$ ps
Oscillo.	2GHz, 8 bits.....	$\Delta t=0.5$ ps



# Mise en œuvre des convertisseurs L'horloge

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

ET DE PHYSIQUE DES PARTICULES

Conséquences:

La lutte contre le jitter et le bruit est importante.

Pour diminuer le jitter, il faudrait:

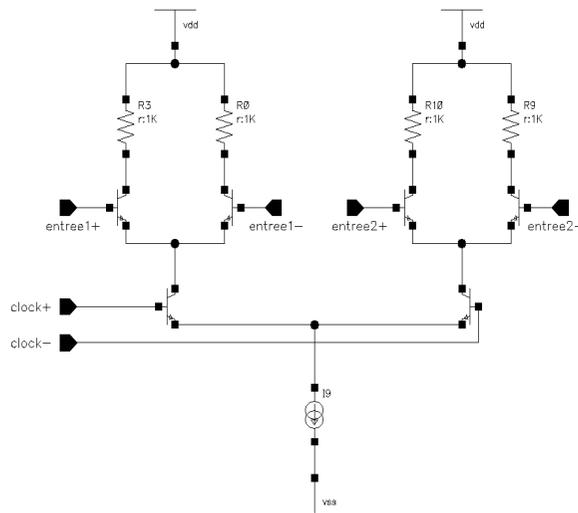
Augmenter l'amplitude de l'horloge, ou sa fréquence (temps de montée)

Mais ces augmentations peuvent générer du bruit,

surtout en mode commun ! Utiliser le plus possible le différentielle:

On capte moins de bruit et on double l'amplitude.

Si l'horloge est en MC. Faire la conversion le plus près de l'ADC.



Si l'horloge est en différentielle, un retard d'un coté par rapport à l'autre est fréquent. Il peut être très utile de retarder l'une des Horloge, et de chercher le bruit minimum. (Au simulateur si conception on cherche le Minimum de variation de I. En mesure si test On cherche le minimum de bruit ).



# L'entrée différentielle

## L'AD8138 (320 MHz), 8132 (400 MHz)

### FEATURES

Easy to Use Single-Ended-to-Differential Conversion

Adjustable Output Common-Mode Voltage

Externally Adjustable Gain

Low Harmonic Distortion

-94 dBc—Second, -114 dBc—Third @ 5 MHz into  
800  $\Omega$  Load

-87 dBc—Second, -85 dBc—Third @ 20 MHz into  
800  $\Omega$  Load

-3 dB Bandwidth of 320 MHz,  $G = +1$

Fast Settling to 0.01% of 16 ns

Slew Rate 1150 V/ $\mu$ s

Fast Overdrive Recovery of 4 ns

Low Input Voltage Noise of 5 nV/ $\sqrt{\text{Hz}}$

1 mV Typical Offset Voltage

Wide Supply Range +3 V to  $\pm 5$  V

Low Power 90 mW on 5 V

0.1 dB Gain Flatness to 40 MHz

Available in 8-Lead SOIC and MSOP Packages

### APPLICATIONS

ADC Driver

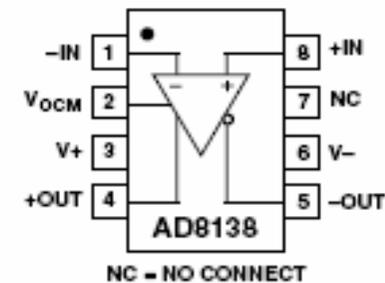
Single-Ended-to-Differential Converter

IF and Baseband Gain Block

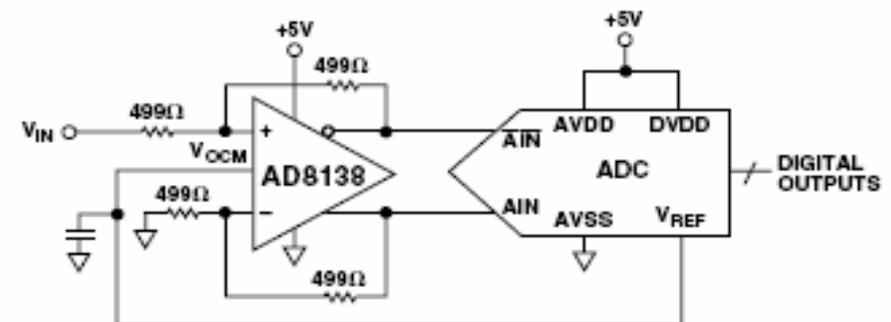
Differential Buffer

Line Driver

### PIN CONFIGURATION



### TYPICAL APPLICATION CIRCUIT





# L'amplificateur différentiel: une autre utilisation

Transmission sur un câble  
Avec compensation H.F.  
En analogique :  $V_{ocm}=0$   
En ECL :  $V_{ocm}=-1.2\text{ V}$   
En LVDS:  $V_{OCM}=+1.2\text{ V}$  etc...

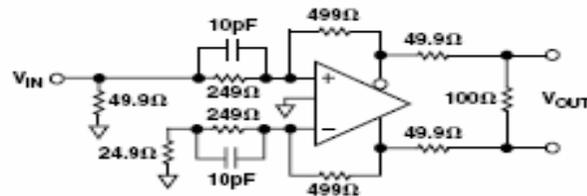


Figure 12. Frequency Boost Circuit

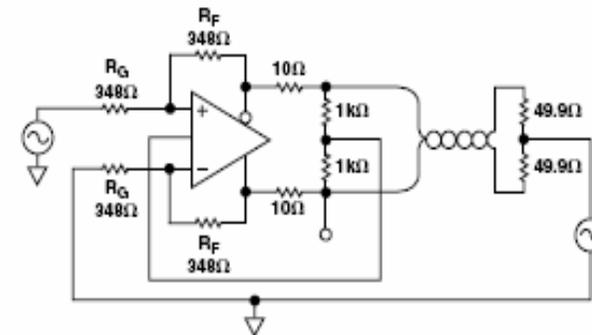
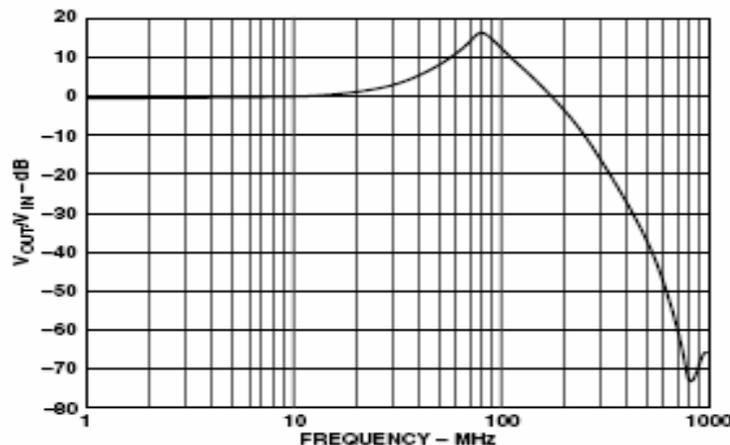


Figure 16. High Common-Mode Output Impedance  
Differential Amplifier



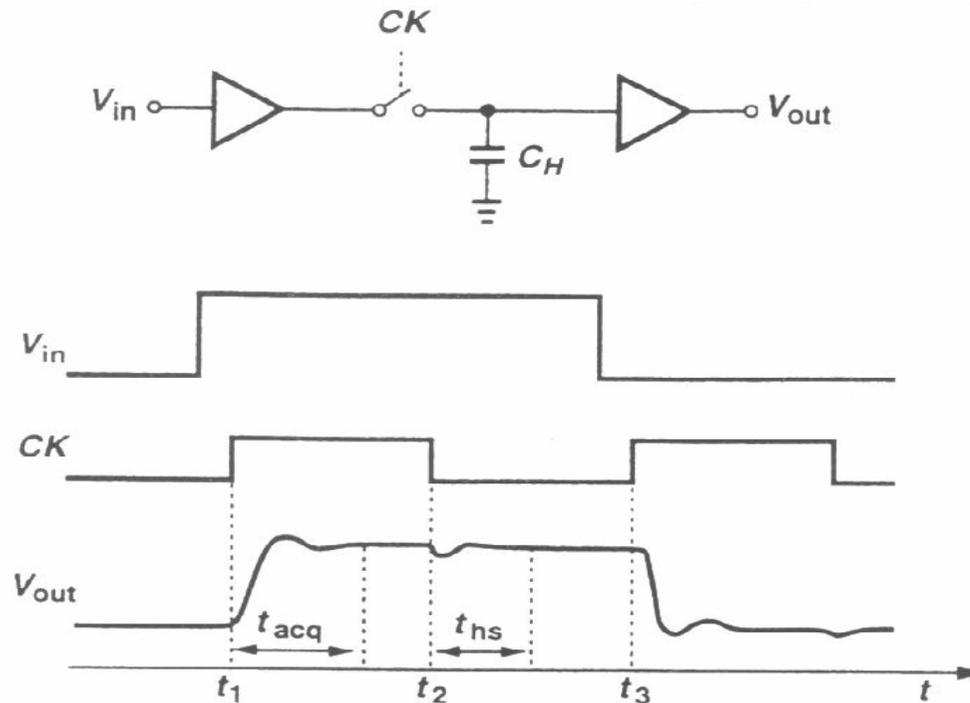
# Test des DAC et des ADC's

## Les track/hold

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

ET DE PHYSIQUE DES PARTICULES



Visualisation des signaux à l'oscilloscope:

Allure des signaux entrée et sortie

Délai horloge vers sortie

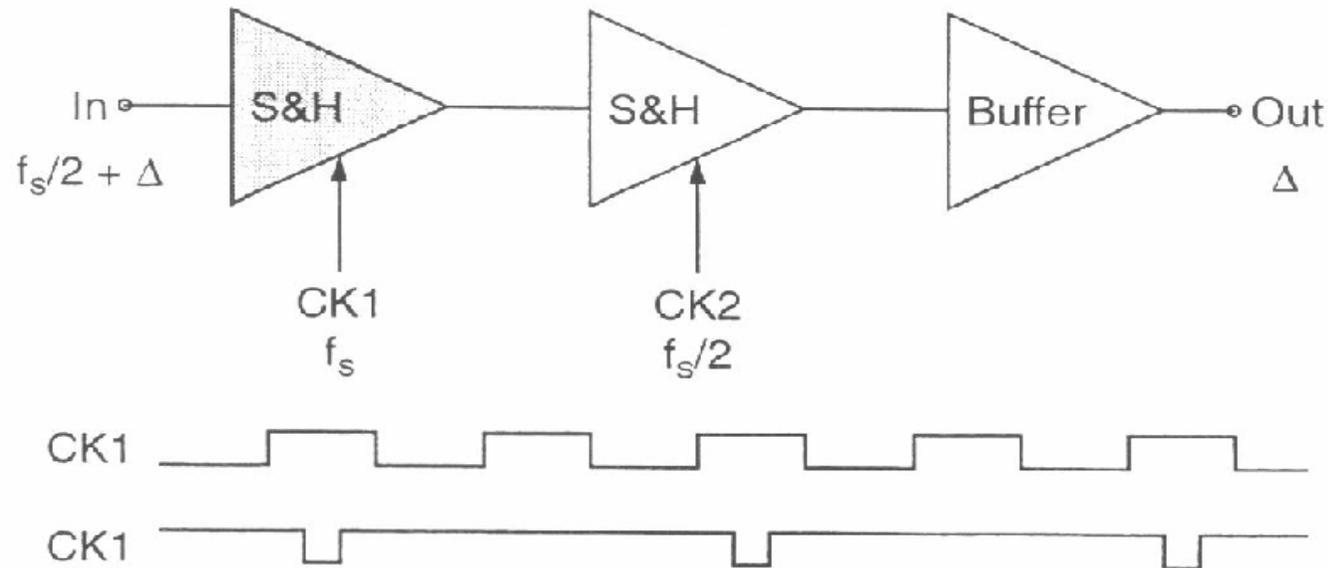
Absence d'oscillation et/ou bruit (analyseur de spectre)



# Test des DAC et des ADC's

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Echantillonnage haute fréquence mesuré avec une basse fréquence en sortie.

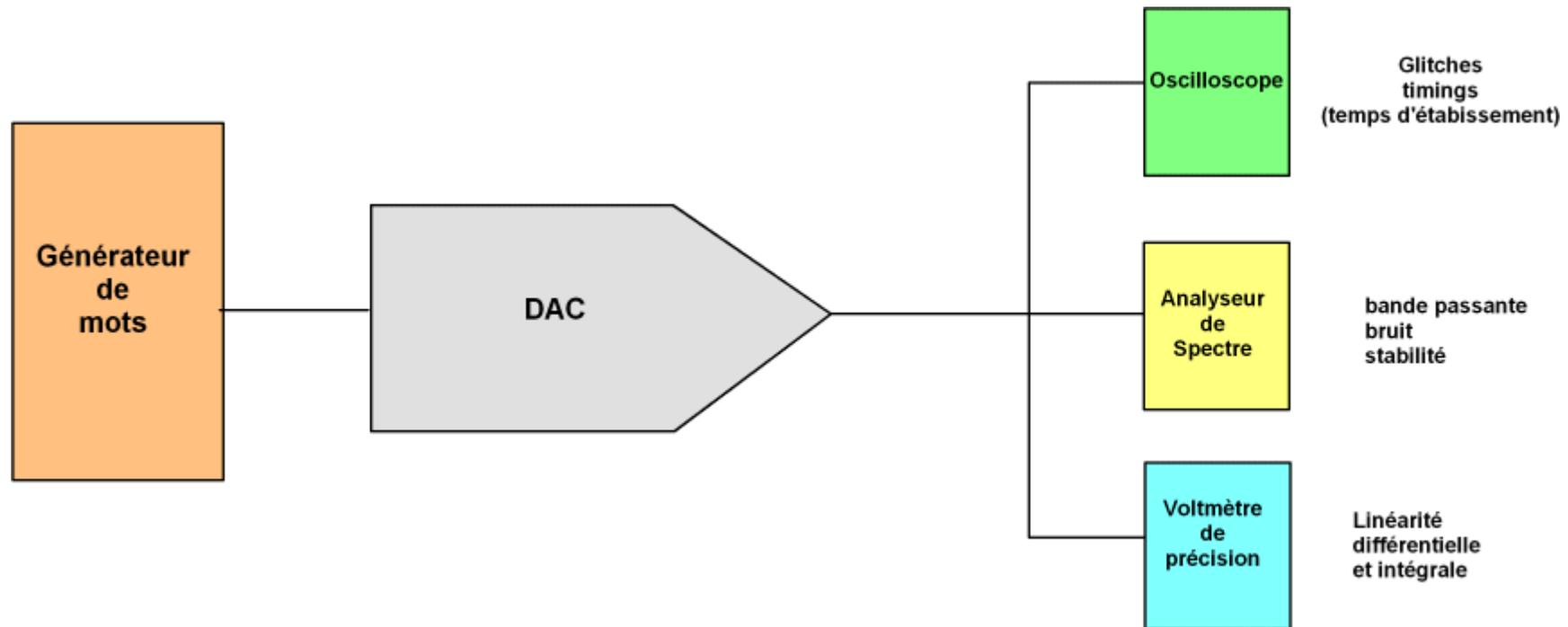


# Test des DAC et des ADC's

## Les DAC's

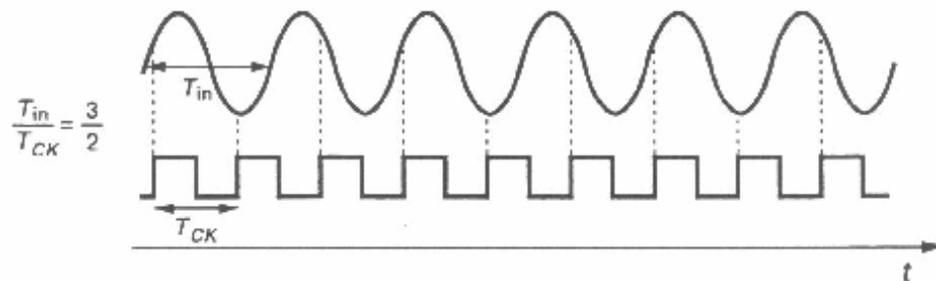
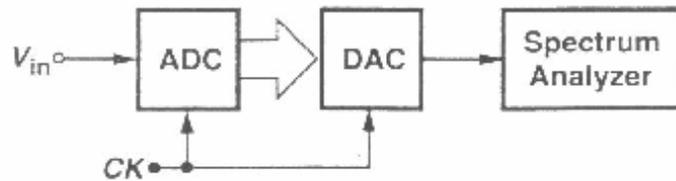
**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

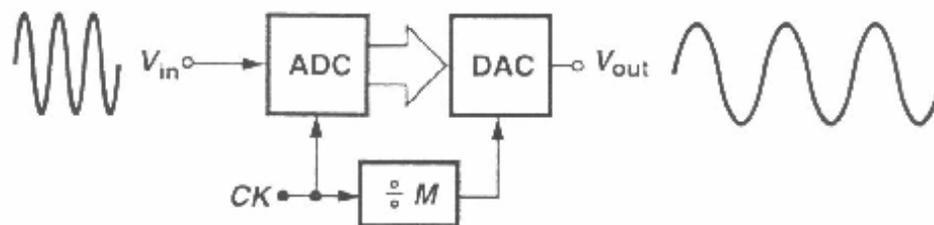




# Test des ADC's



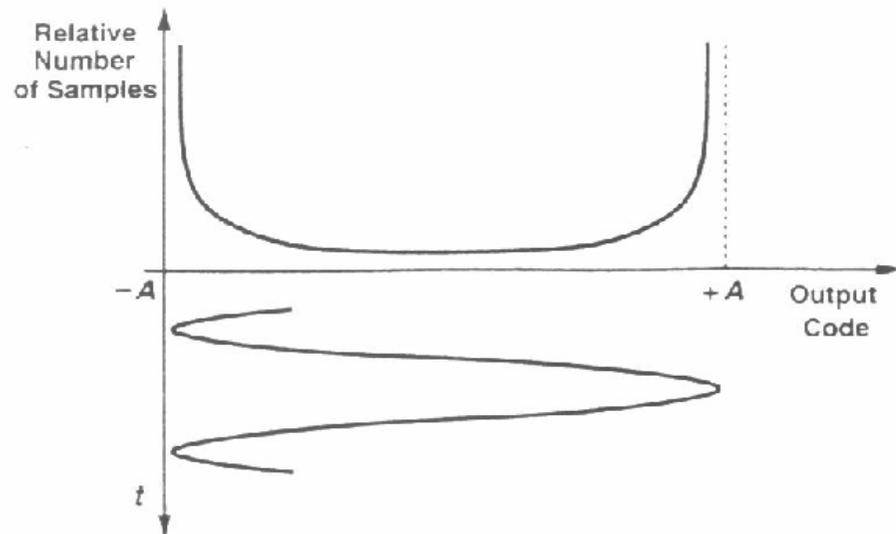
Demande un DAC rapide



ADC rapide testé  
Avec un DAC lent



# Test des DAC et des ADC's

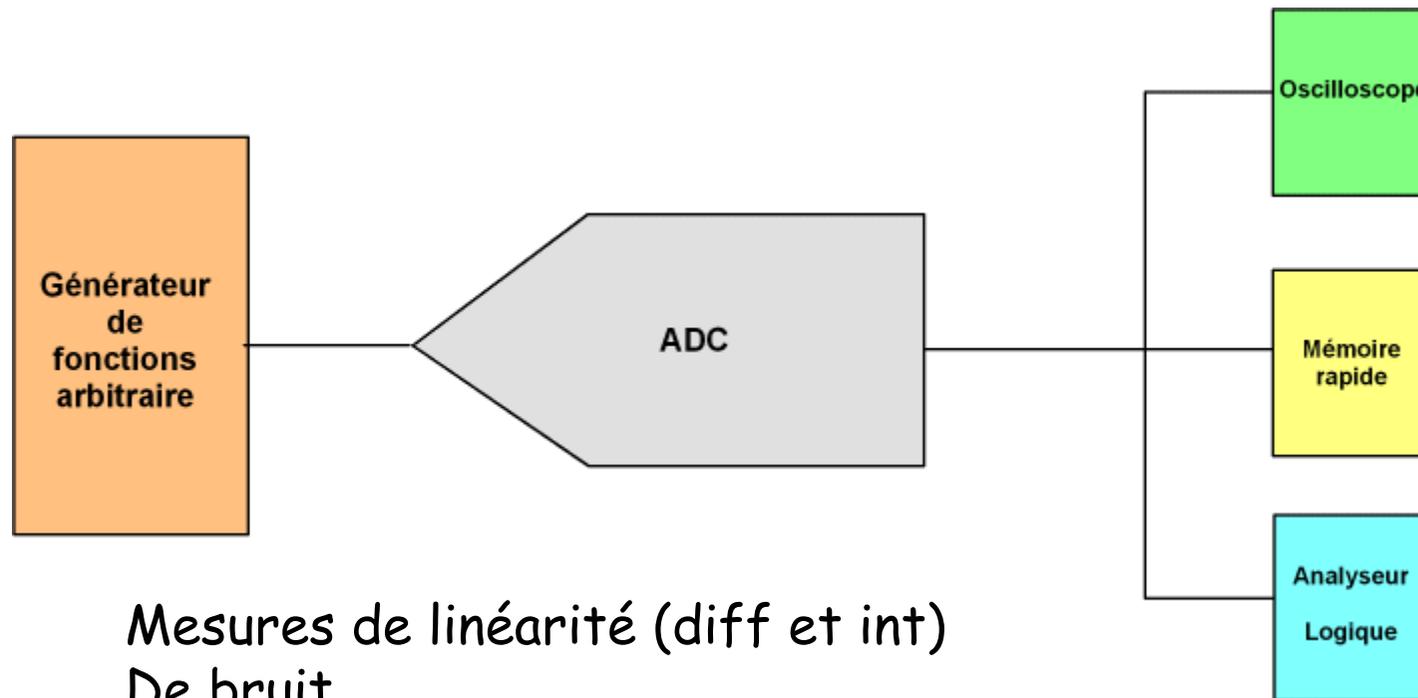


Test dit  
"de la sinusoïde"





# Test des ADC's

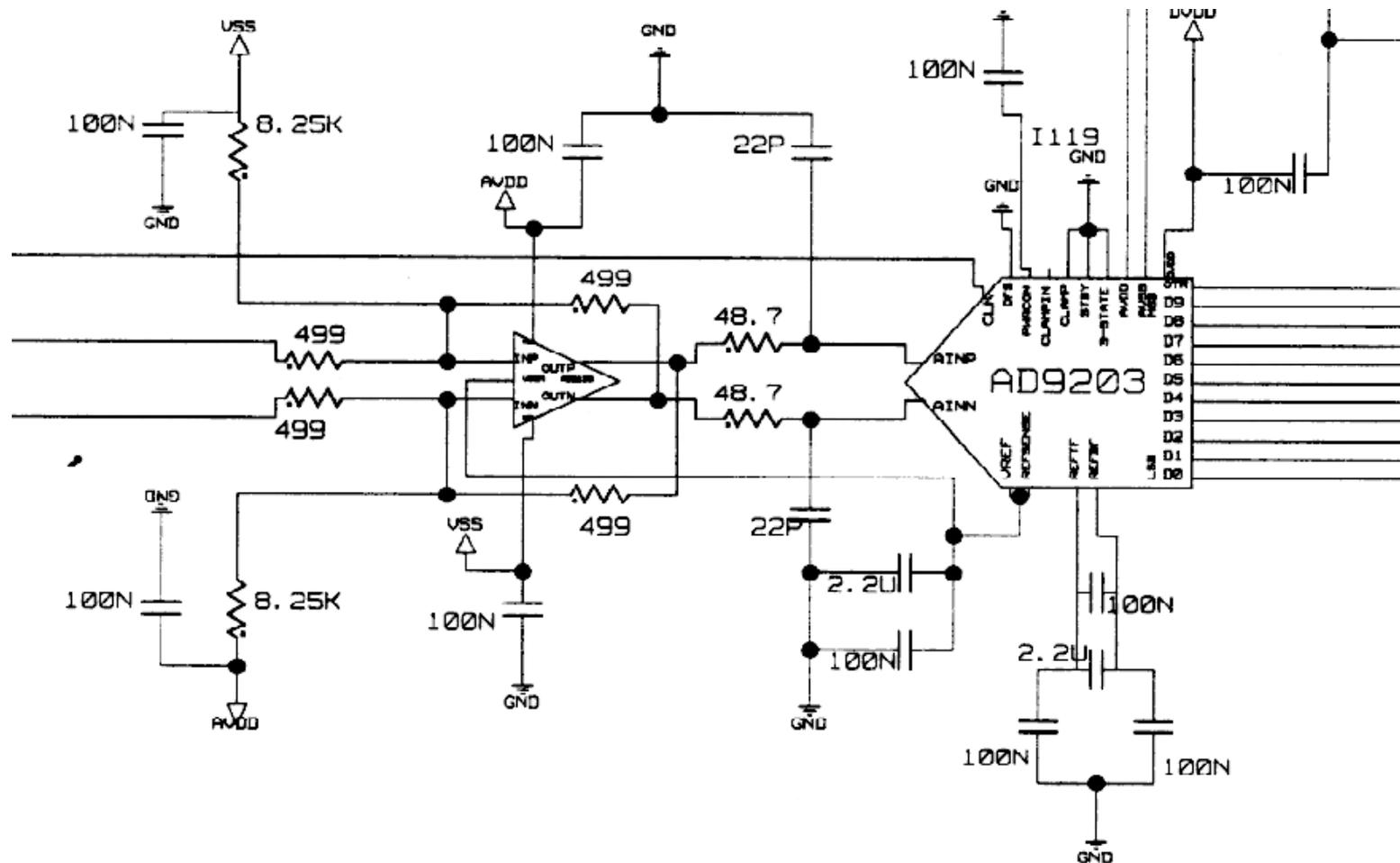


Mesures de linéarité (diff et int)  
De bruit  
Du nombre effectif de bits  
Du rapport signal sur bruit



# Exemple d'application: carte FE pour LHCb

## Le schéma



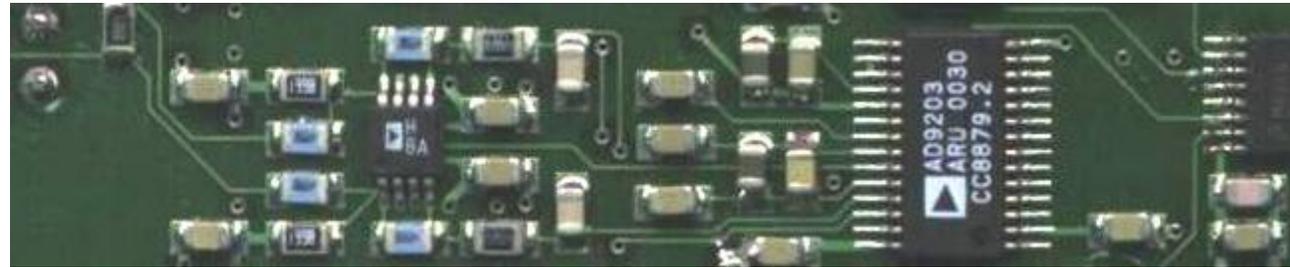
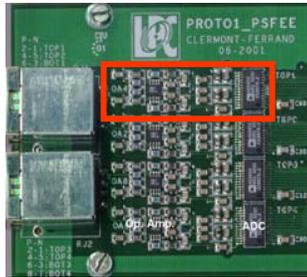
But: 64 voies par carte, 1x4 cm par voie, Bruit total < 1 LSB



# Carte FE. Pour LHCb, Implantation

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

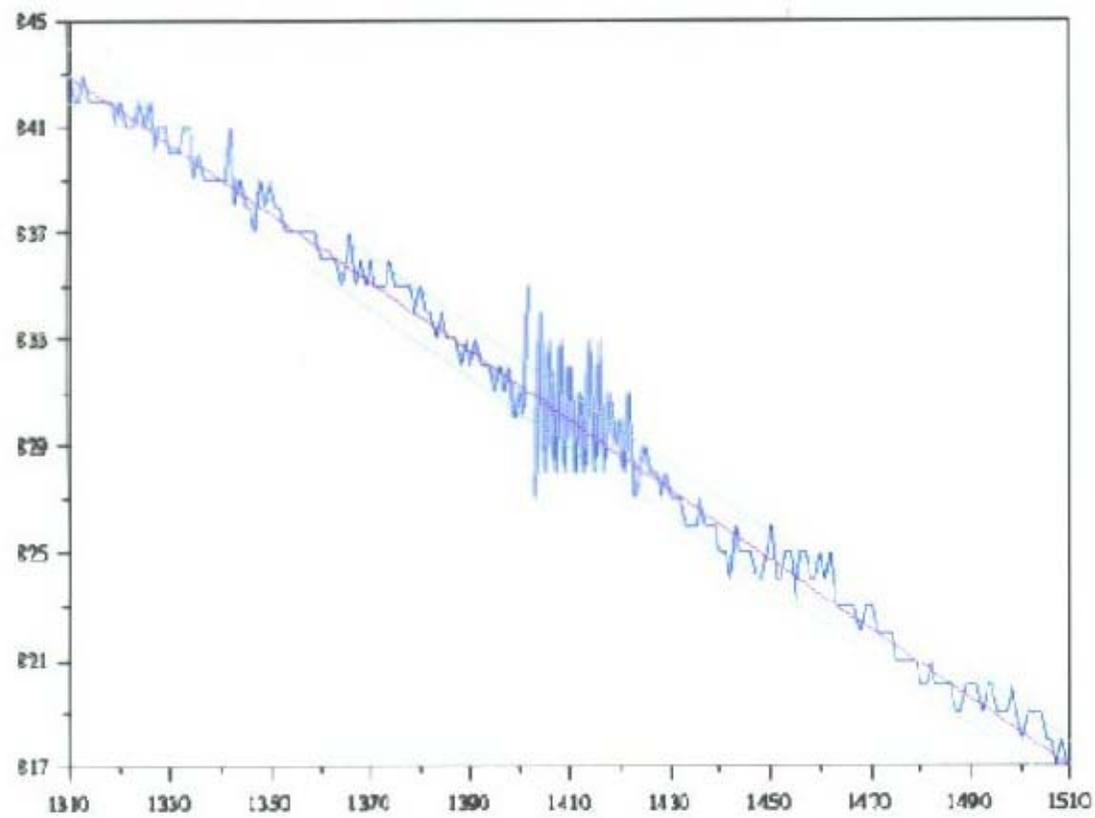


- Contraintes
    - 1 cm par voie en hauteur
      - 64 voies/32 cm
    - Réduction des parasites
  - Bruit  $\sigma=0,8$  mV réduit à 0,34 mV
- 
- Élément de hiérarchie
    - CMS 0805
    - AD9203
    - Placement compact
    - Plan de masse
      - Reporté sous L'ADC
    - Routage des paires
    - Routage des signaux
    - Horloge différentielle



**IN2P3**

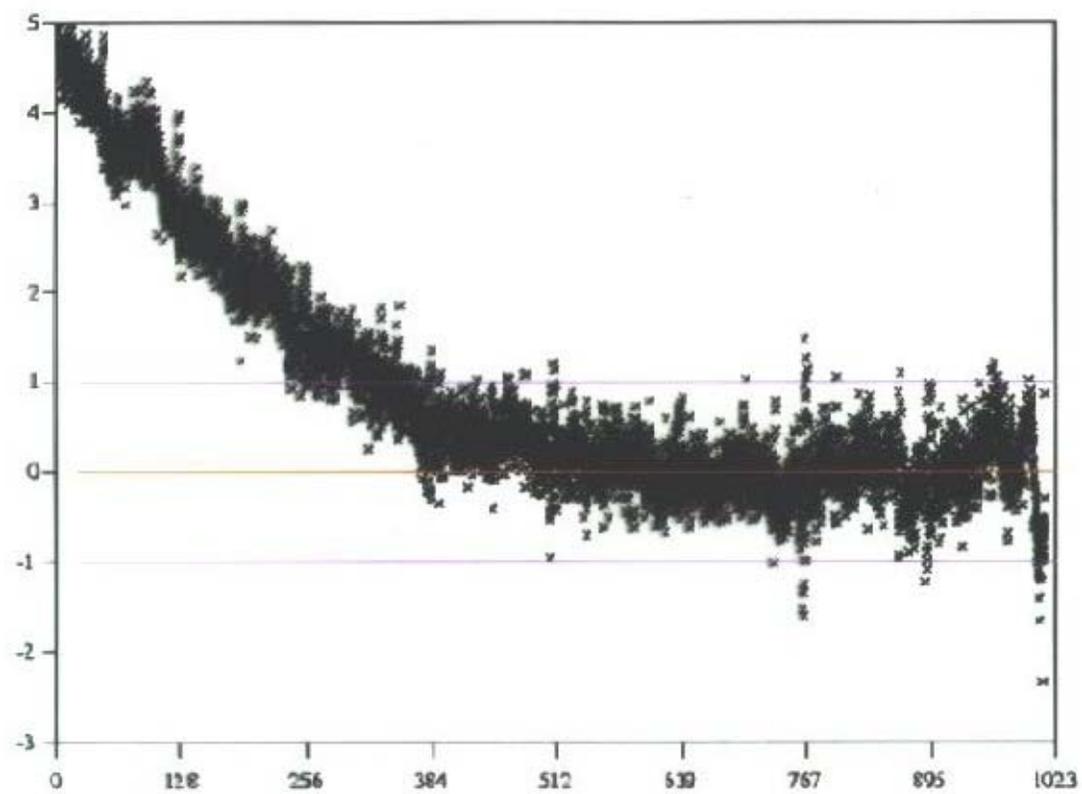
INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

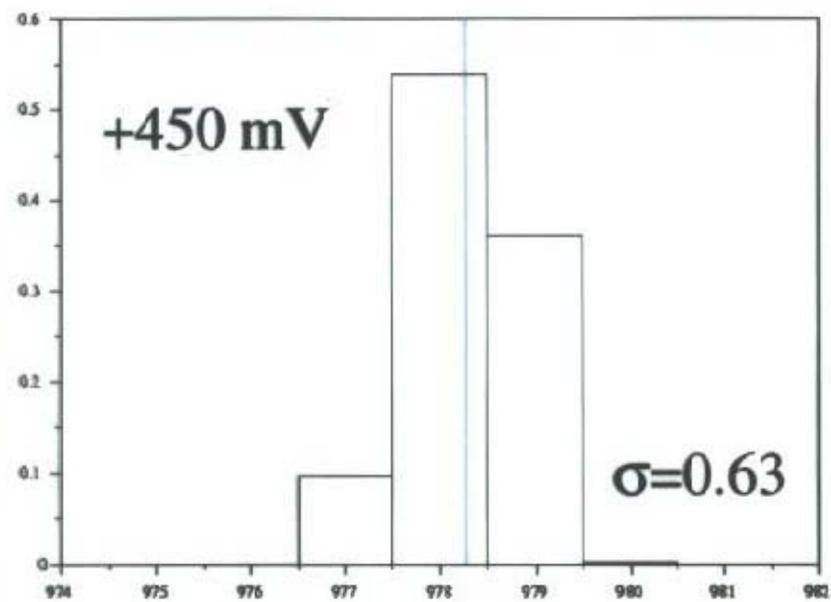
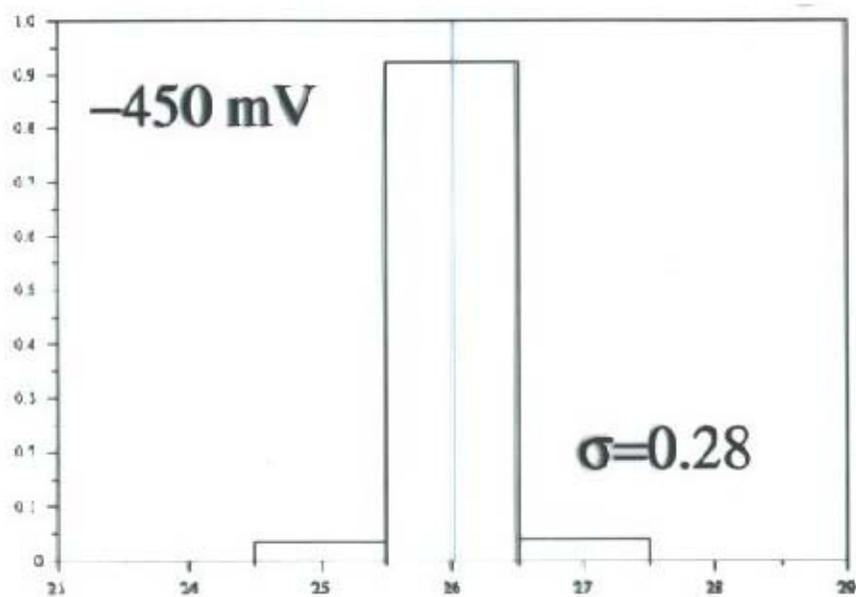




**IN2P3**

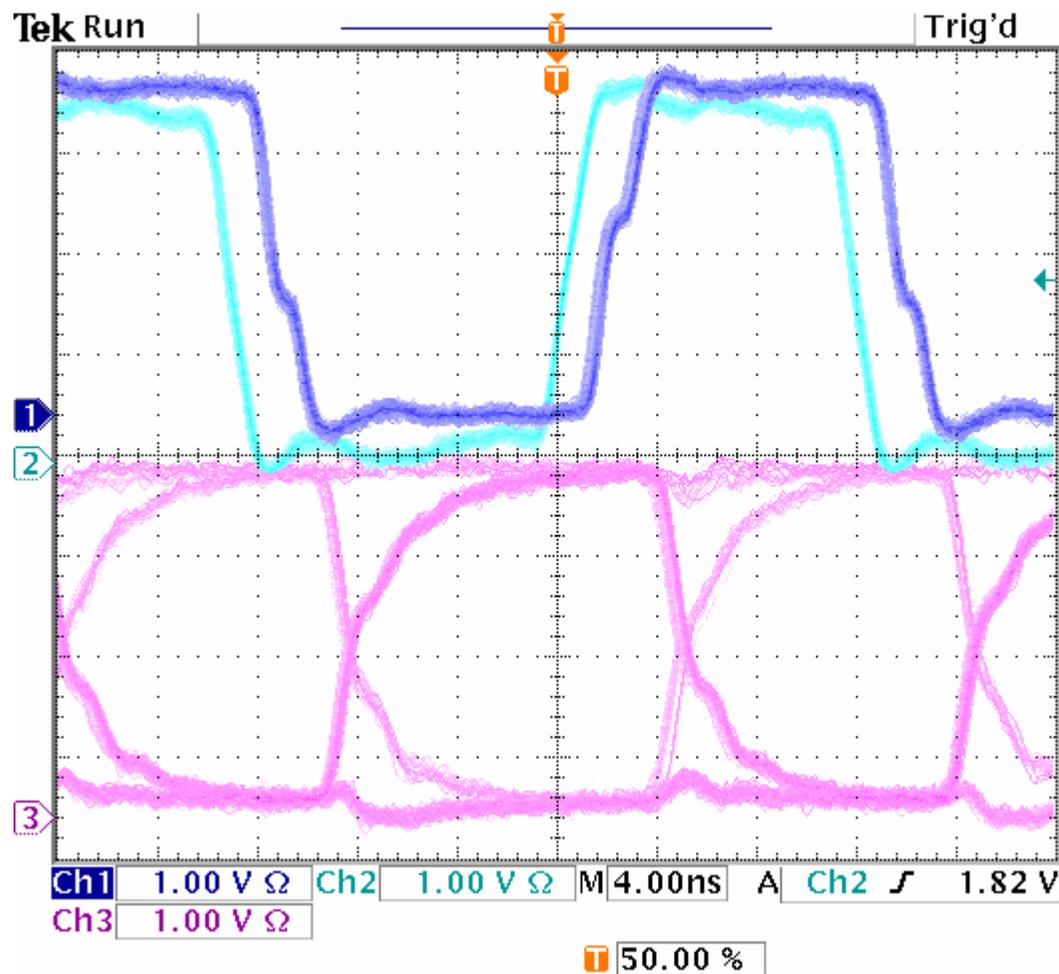
INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES







# Exemple LHCb, les résultats des mesures Le multiplexage à 80 MHz





# Les éléments clé des convertisseurs

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

ET DE PHYSIQUE DES PARTICULES

- Les interrupteurs (switches) en bipolaire, en CMOS
- Les paires différentielles
- Les comparateurs
- Les suiveurs bloqueurs (track/hold)
- Les échelles de références pour les flash ADC.

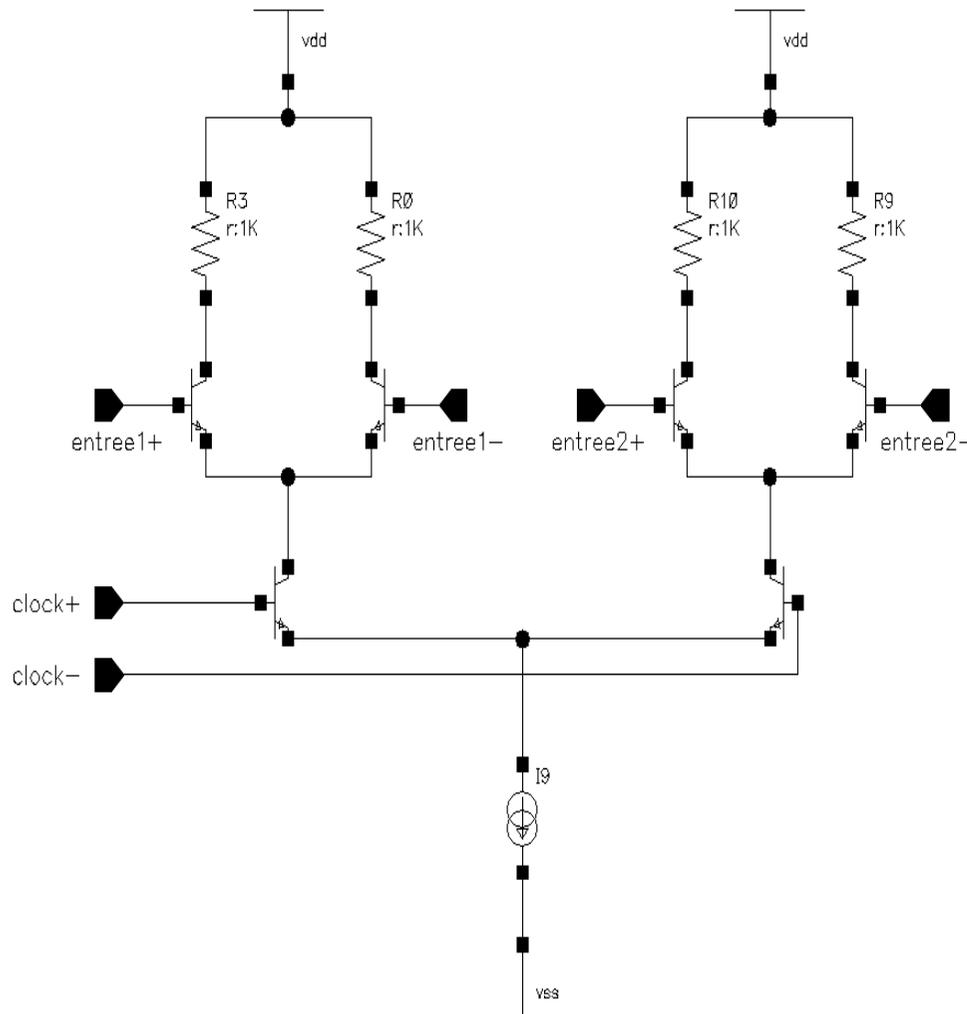


# L'interrupteur bipolaire (solution 1)

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

ET DE PHYSIQUE DES PARTICULES

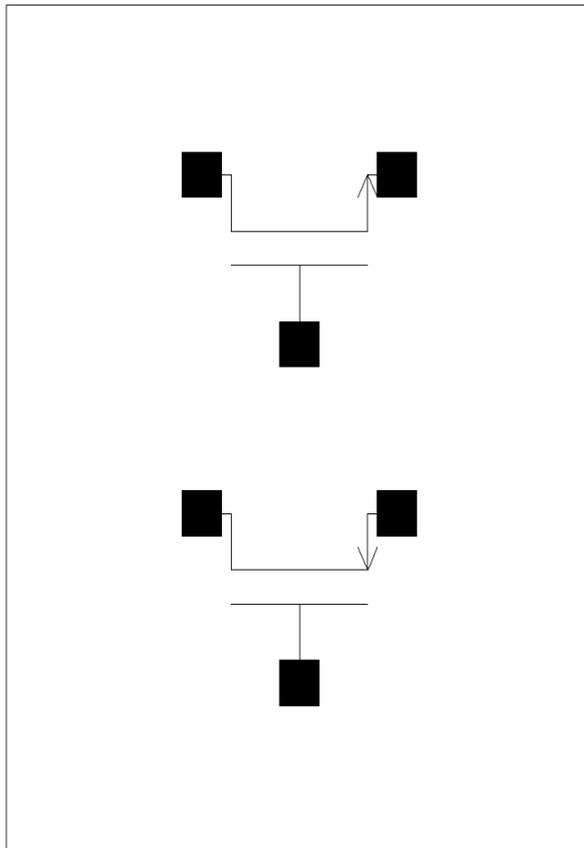


La paire différentielle de  
Commande aiguille le générateur  
De courant vers le dispositif  
À mettre en fonctionnement.  
Lorsqu'un seul dispositif est  
En jeu (interrupteur simple)  
La deuxième paire différentielle  
Est remplacée par une simple  
Liaison à Vdd (ou Gnd)





# L'interrupteur MOS



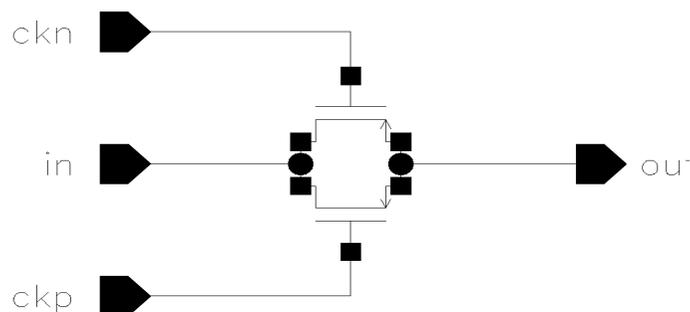
En MOS, l'interrupteur se réalise très simplement en utilisant un seul transistor MOS. La commande est la tension grille: Dès que  $V_{gs}$  dépasse la tension de seuil  $V_t$ , le transistor se met à conduire, et si  $V_{gs} \gg V_t$  l'interrupteur est considéré comme fermé. Cependant, la résistance « on » de l'interrupteur n'est pas fixe, mais dépend de  $V_{gs}$ , et de  $V_{ds}$ .

$$R = \frac{1}{\mu \cdot C_{ox} \cdot \frac{W}{L} \cdot ((V_{gs} - V_t) - V_{ds})}$$

Si l'interrupteur est assez bien fermé,  $V_{ds}$  est très faible et on peut le négliger, mais  $V_{gs}$ , en général dépend du signal. On se trouve donc en présence d'un interrupteur dont la qualité est fonction du signal appliqué ....



# L'interrupteur (fin)



Il arrive donc que lorsque le signal varie, l'impédance De l'interrupteur tende vers l'infini ...

Pour remédier à cela, et aussi pour minimiser les Injections de charges, on place deux MOS, un PMOS Et un NMOS en parallèle . Ainsi, lorsque l'impédance de l'un augmente, celle de l'autre diminue.

On obtient ainsi par exemple une résistance variant de 185 à 243  $\Omega$  sur toute la tension d'alimentation Avec des transistors de 21x1.2 et 65x1.2 (techno AMS)

En résumé:

Interrupteur bipolaire: - Complicé, et introduit une chute de tension

Mais ne nécessite que peu d'excursion de commande et fournit  $R_{on}$  faible (20  $\Omega$ )

Interrupteur MOS : - Simple, n'introduit aucune chute de tension

Mais nécessite une tension de commande élevée et fournit  $R_{on}$  élevée (+ de 200  $\Omega$ )



# Etude des paires différentielles MOS et bipolaires

Les offsets.

La linéarité

La dynamique



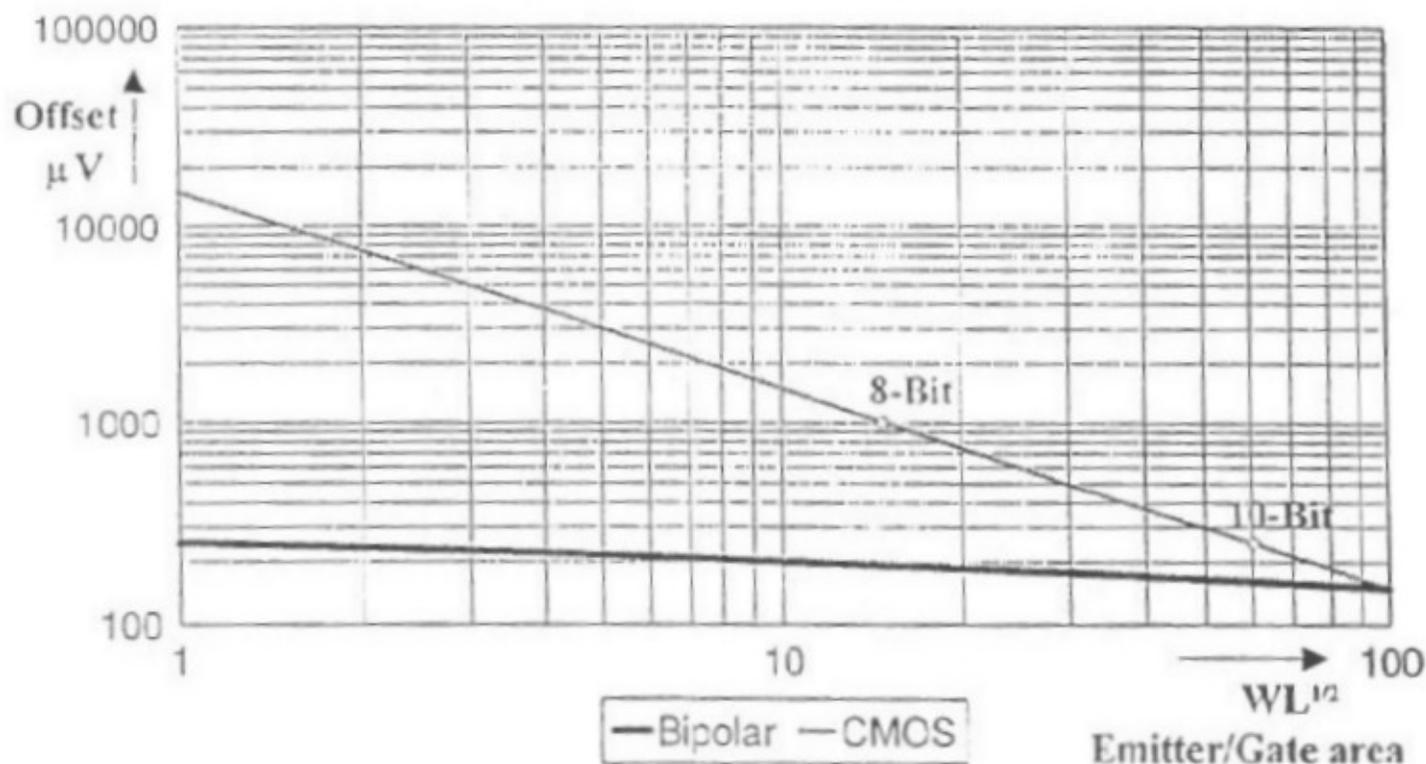
# Offset d'une paire différentielle

## En CMOS et en bipolaire

(techno 0.8 $\mu\text{m}$  analogique)

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES





# Offset d'une paire différentielle En CMOS AMS 0.35 $\mu\text{m}$ (Simulation)

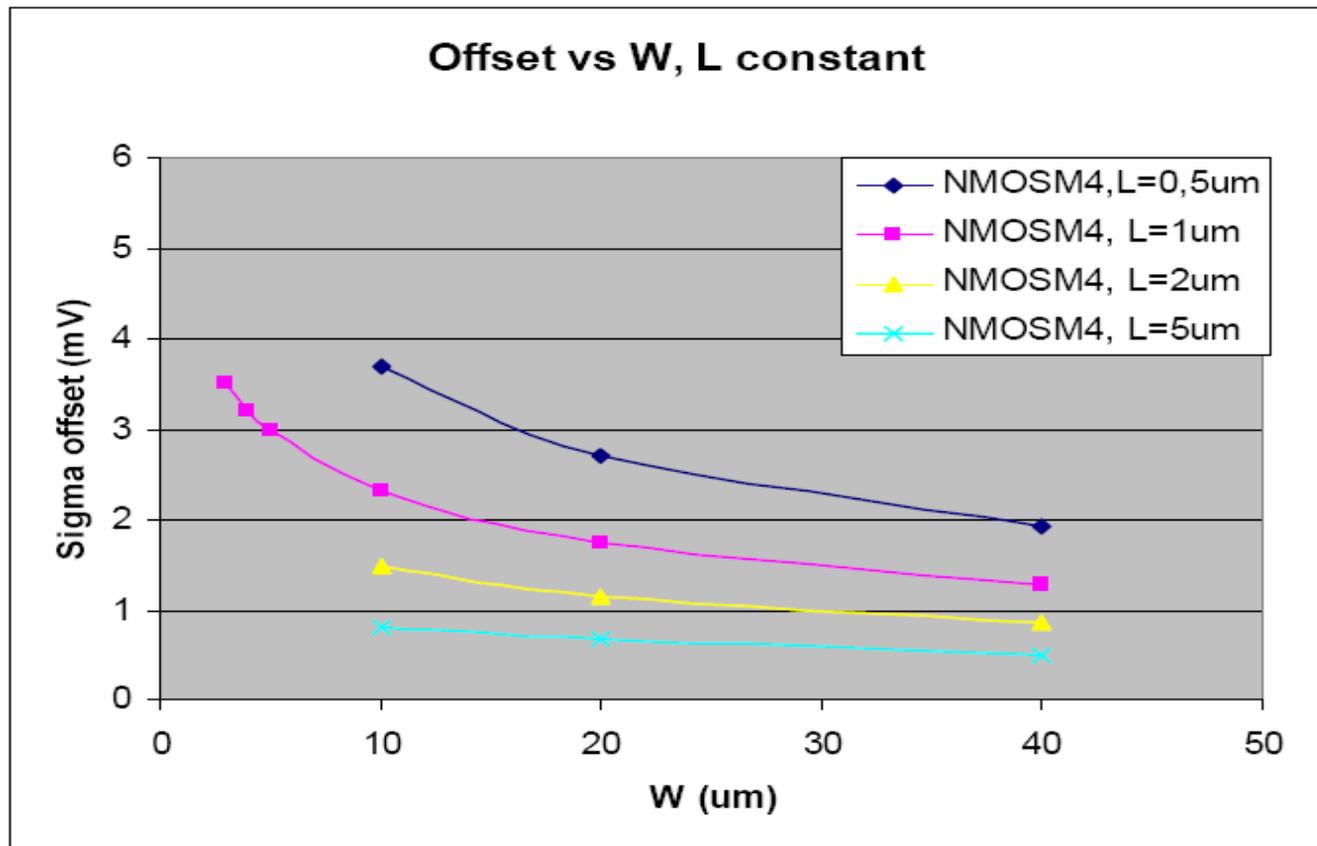


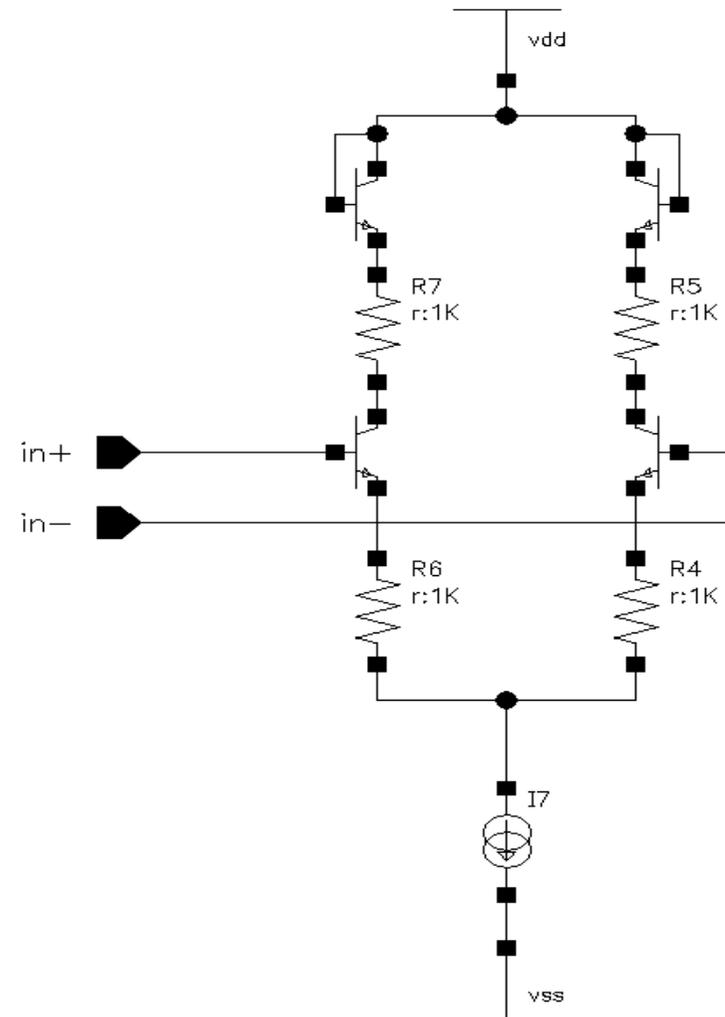
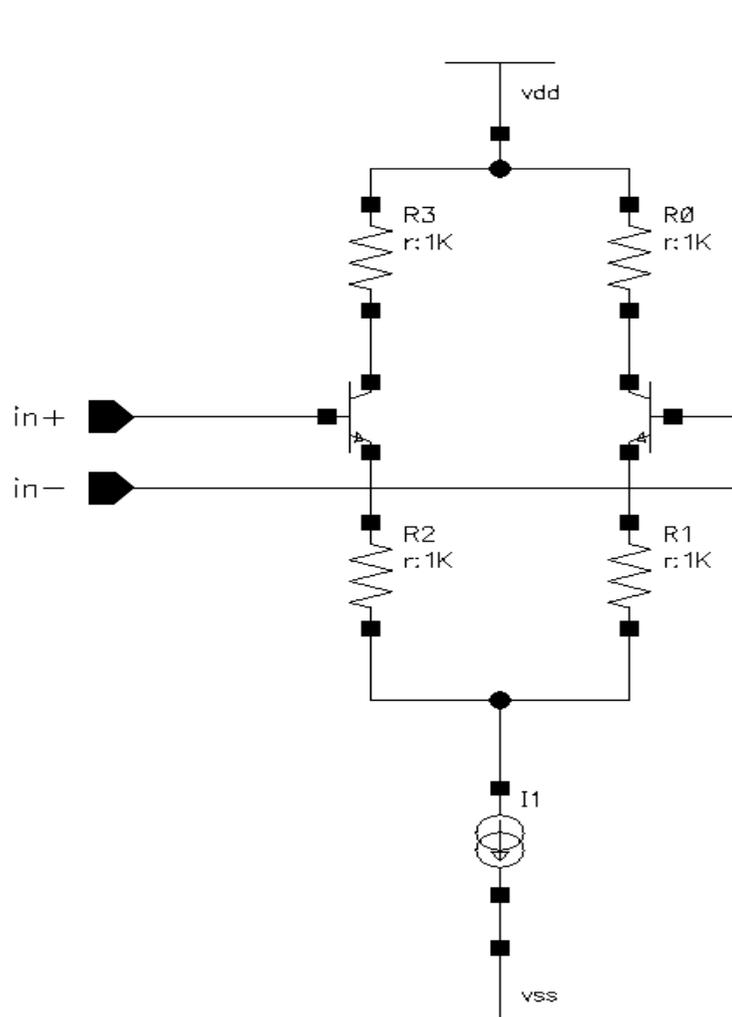
figure 4: offset en fonction de  $W$ , ampli NMOSM4, pour différentes valeurs de  $L$



# Correction de linéarité

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

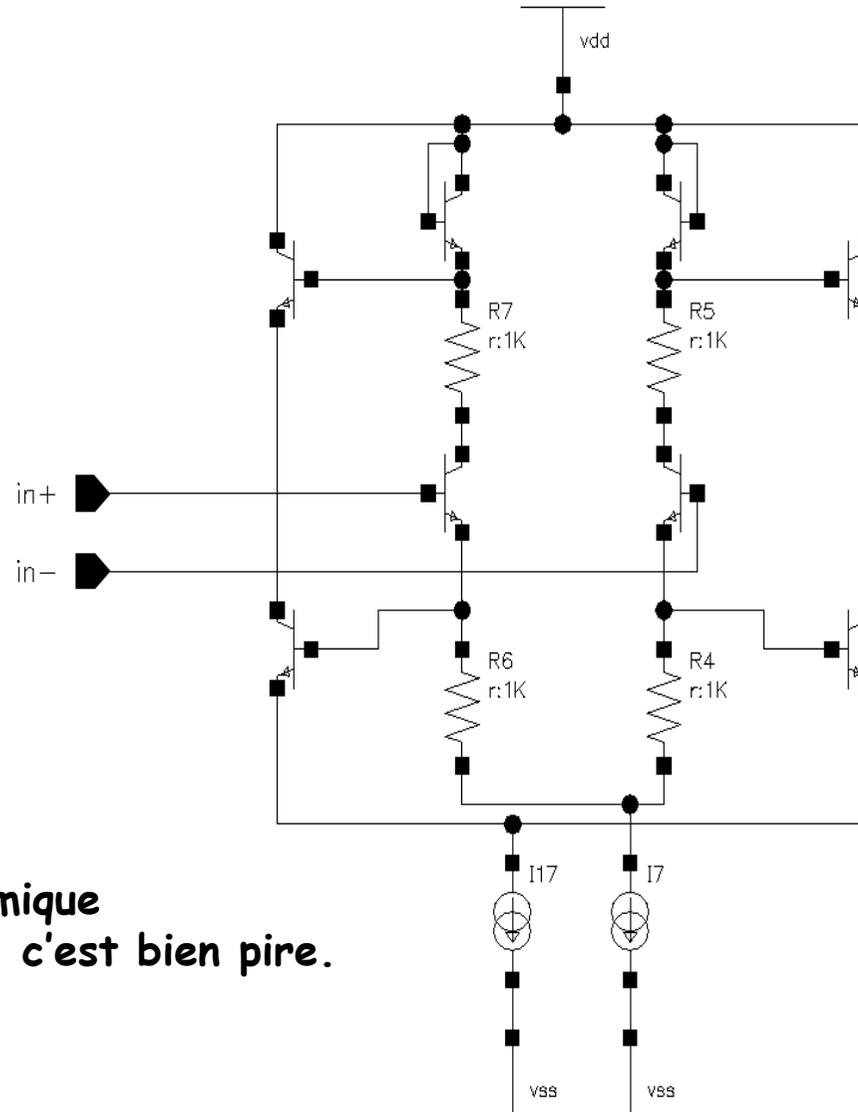




# Avec corrections de gain

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Oui mais,

- on perd en dynamique
- Pour un gain # 1 c'est bien pire.

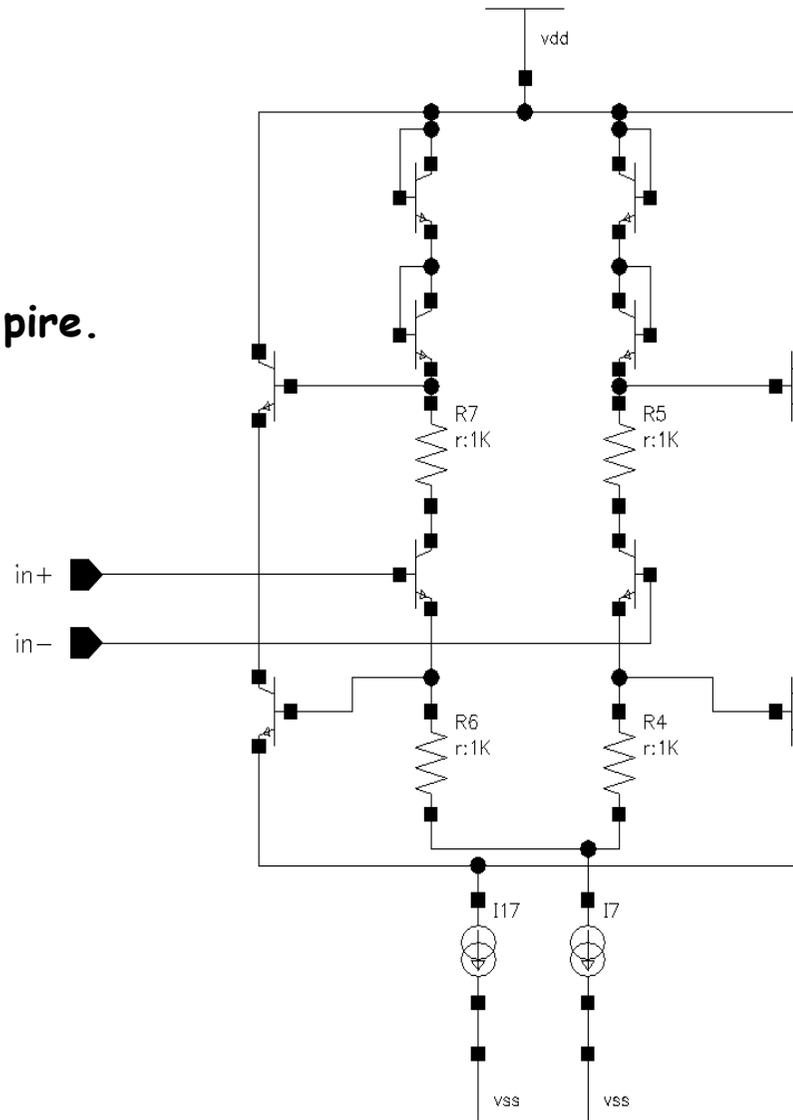


# Exemple pour un gain de 2

**IN2P3**

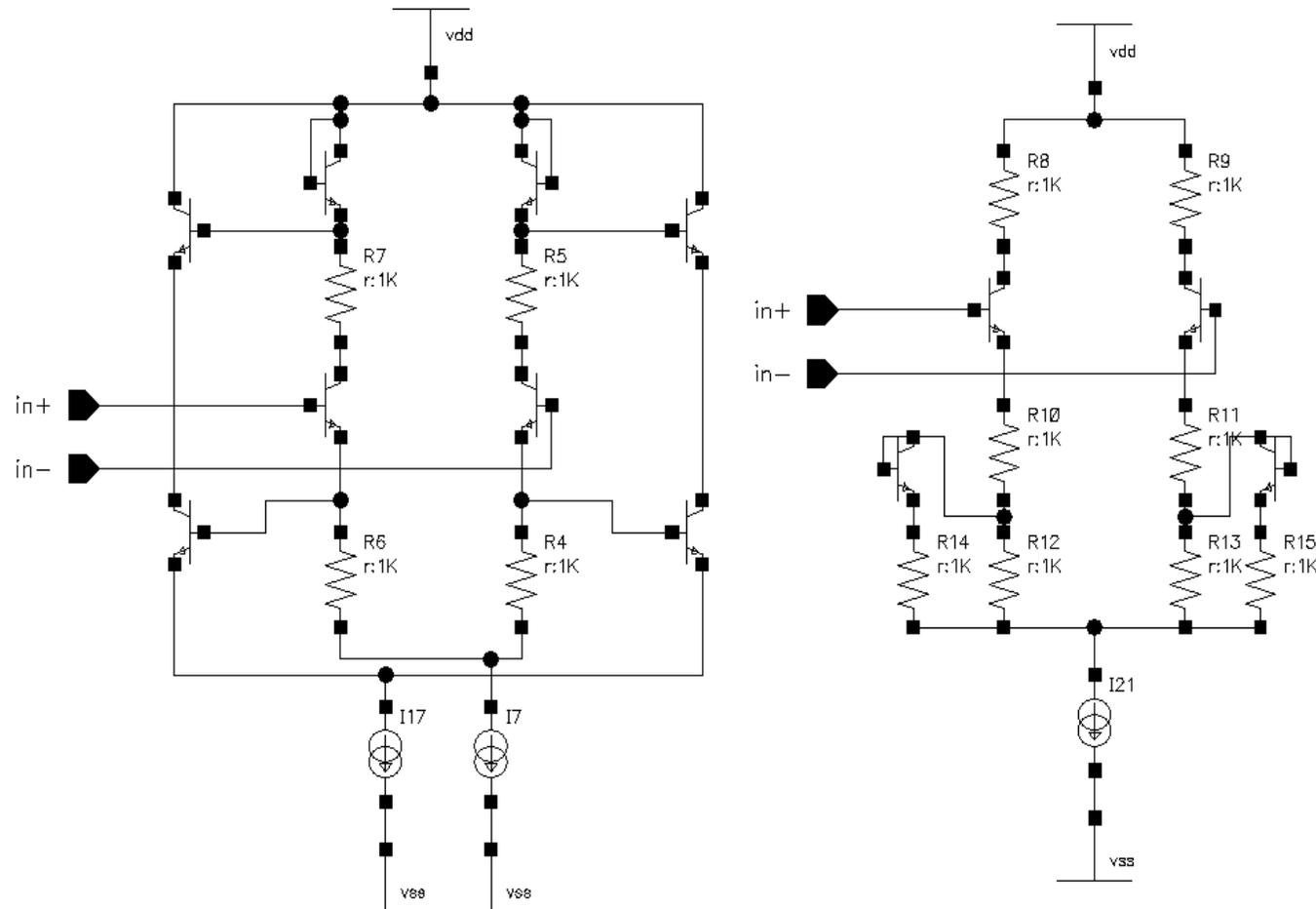
INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

- on perd ici plus de 2 V !!
- Pour un gain # 1 ou 2 c'est bien pire.





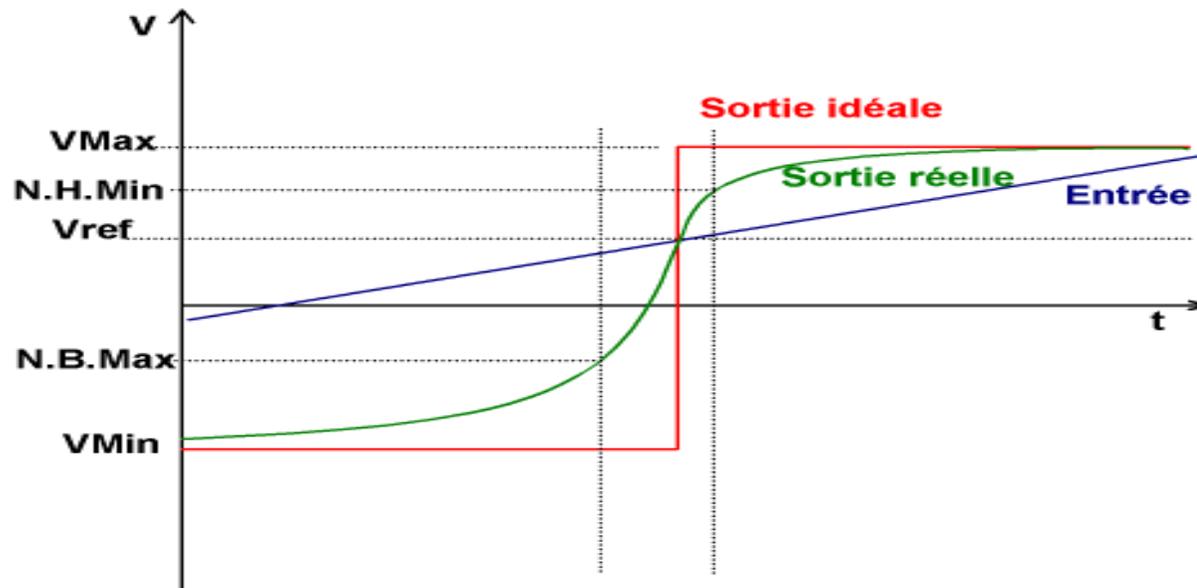
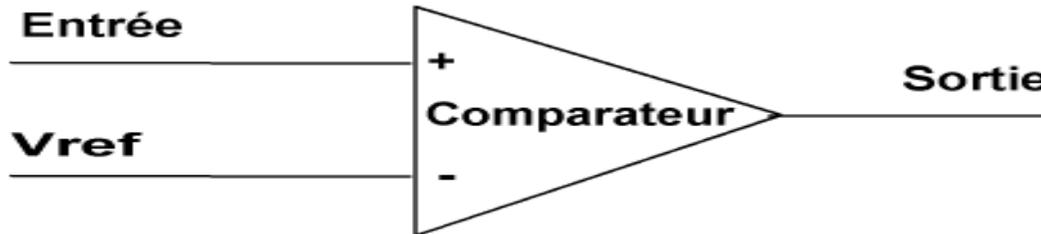
# Une solution



- Marche avec tous les gains ! Possibilité de sur-compensation !
- Plus de perte de dynamique du tout !
- Prix à payer: un peu plus difficile à mettre en œuvre, le gain est moins bien corrigé



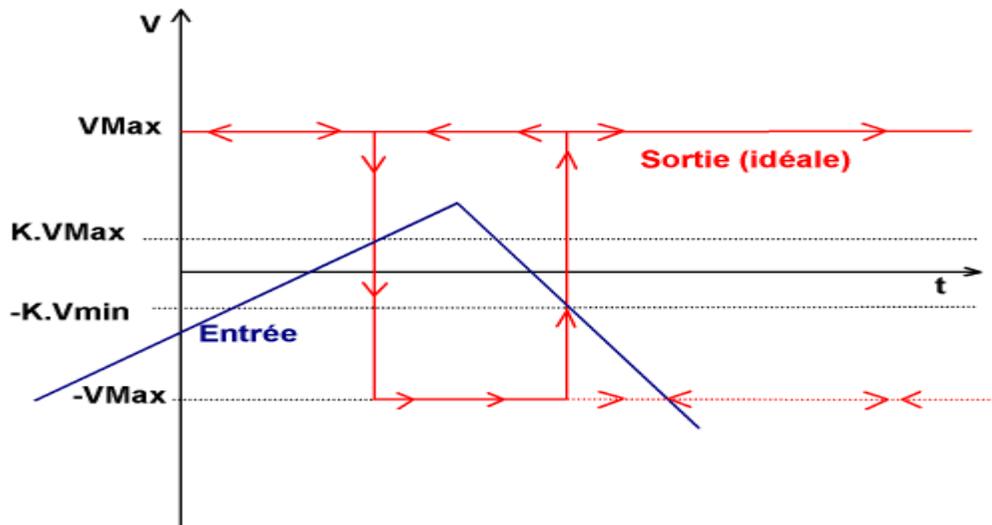
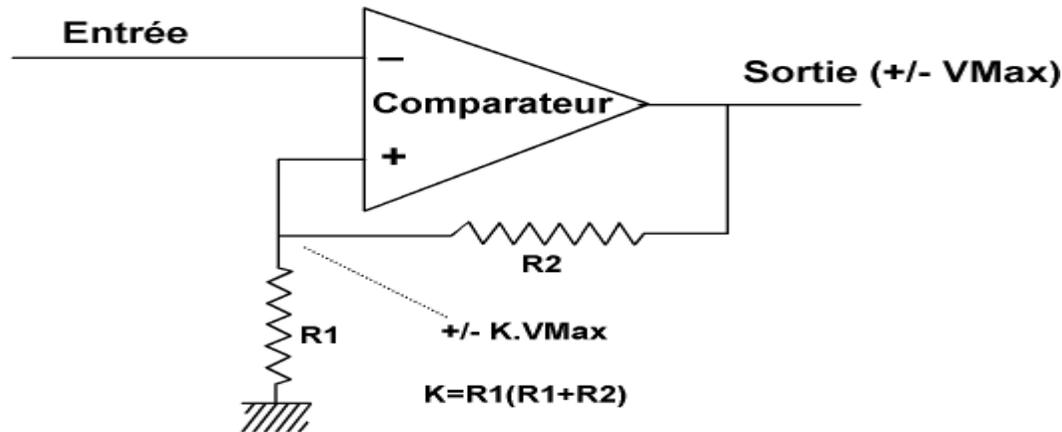
# Le comparateur avec un ampli-op



Lent et peu sensible, l'ampli-op en boucle ouverte est un bien mauvais comparateur .....



# Le trigger de Schmitt

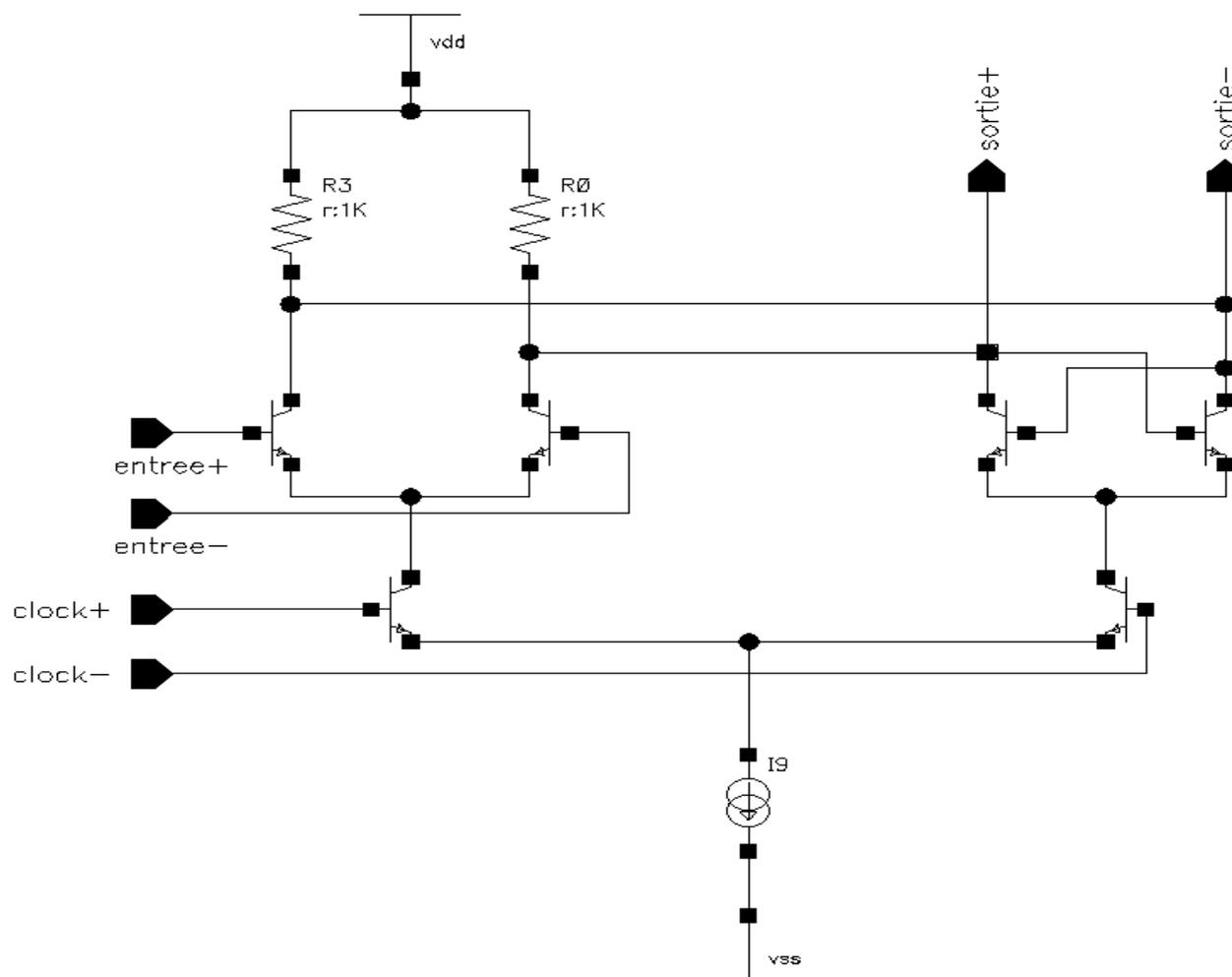


La contre réaction positive  
Accélère les choses, et  
augmente considérablement  
Le gain.  
Mais l'hystérèse obtenue est  
pour nous un inconvénient.

Ce n'est pas la bonne idée ...

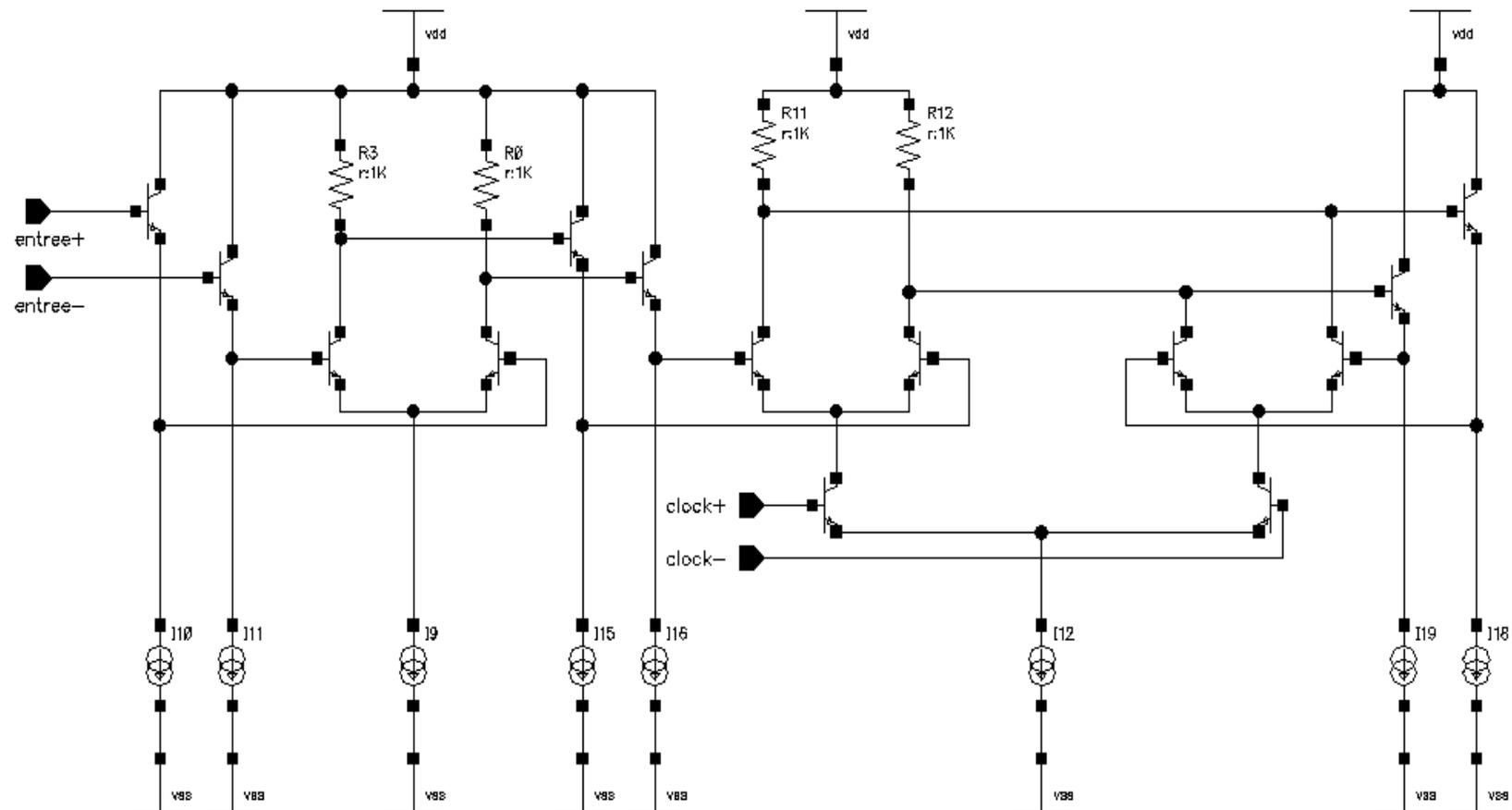


# Une bonne idée



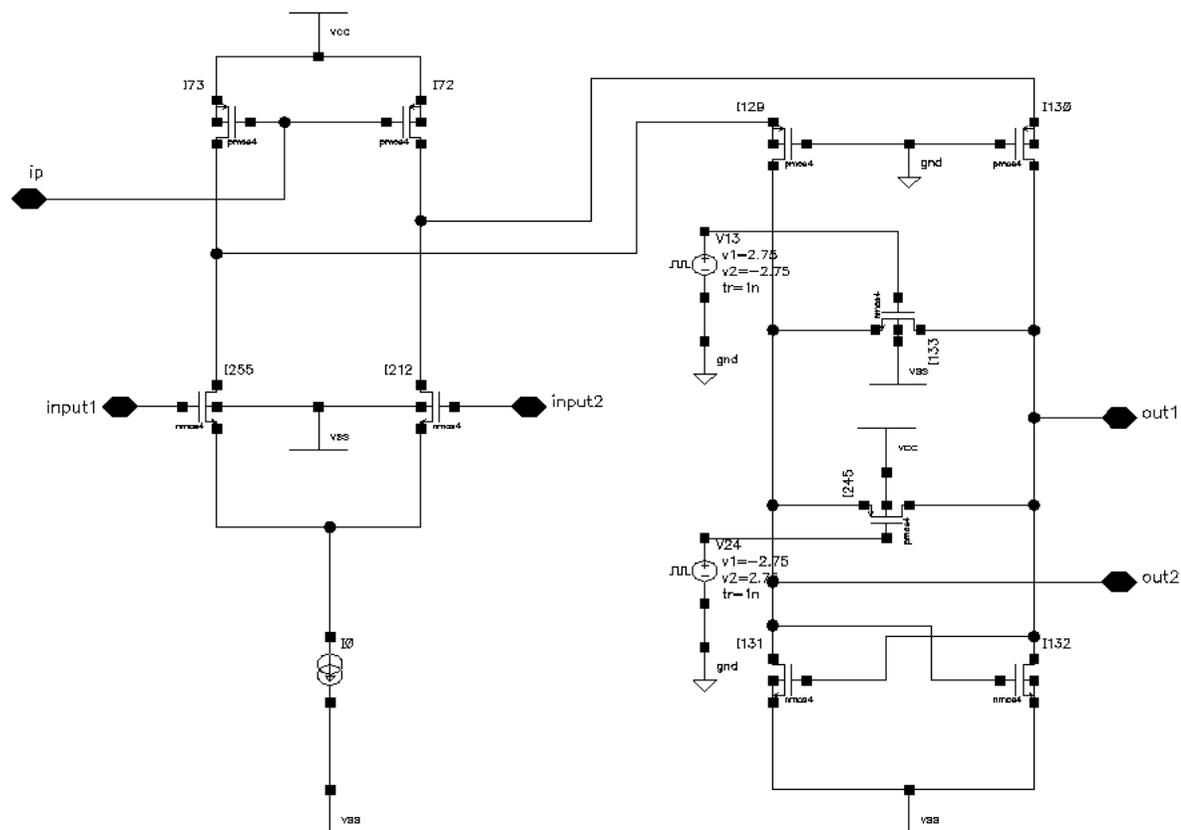


# Une très bonne idée (bip.)





# Une très bonne idée (MOS)



Sensibilité :  
Simulée 1  $\mu\text{V}$   
Mesurée < 500  $\mu\text{V}$

Offset 3mV (1mV bip)

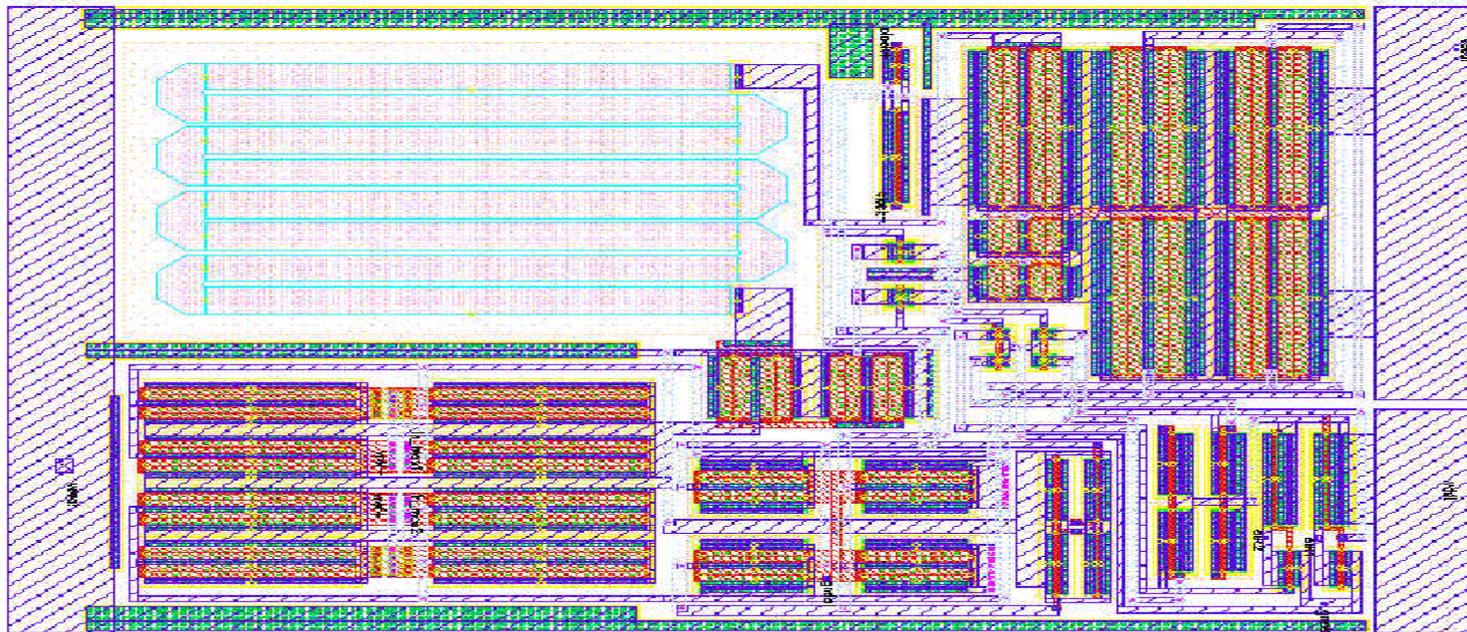
100  $\mu\text{A}$

Avec/sans mémoire

5.5 V



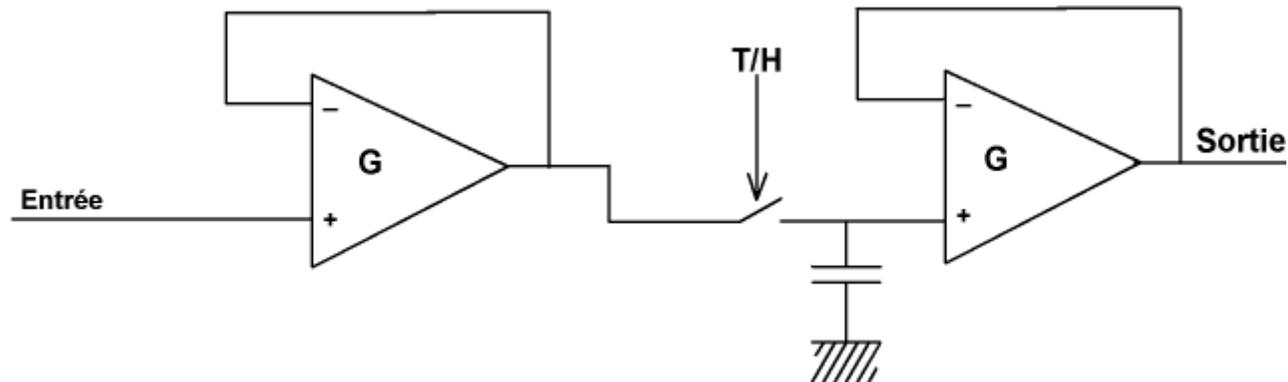
# Réalisation en $0.35\mu$ CMOS



Dimensions:  $100 \times 140 \mu\text{m}$



# Les suiveurs-bloqueurs (track/hold)



Une configuration très simple, mais:

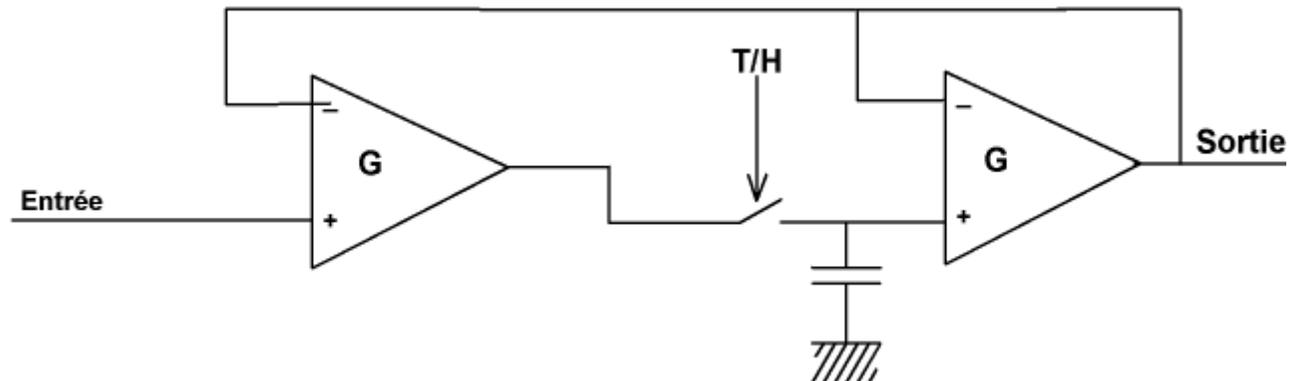
Les offsets des deux ampli-ops sont cumulés

Le deuxième doit avoir une impédance d'entrée très élevée (la capacité ne doit pas se Décharger de plus de 0.5 ou 0.25 LSB)

Le premier doit avoir une impédance de sortie très faible pour attaquer la capacité  
Et toute l'amplitude se retrouve à sa sortie aux bornes de la capacité.



# Les suiveurs-bloqueurs (track/hold)



Avec ce montage:

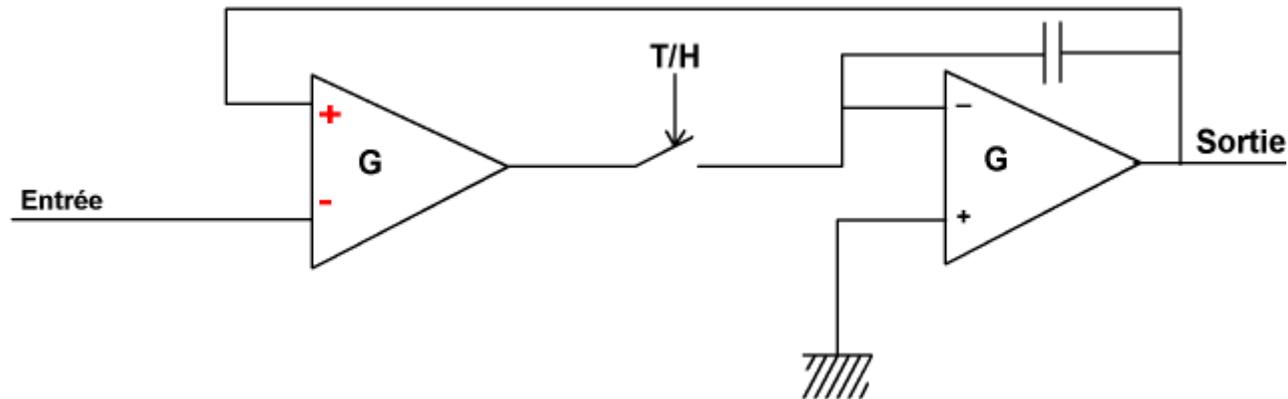
Le gain du premier ampli-op est utilisé pour fixer la précision voulue.

Le deuxième est toujours en suiveur, mais seul l'offset du premier est déterminant.

Toute la tension est toujours demandée en sortie du premier ampli-op.



# Les suiveurs-bloqueurs (track/hold)



Ce montage est une bonne solution pour tout:  
Il a toute les qualités, car la sortie du premier ampli-op est une masse virtuelle.

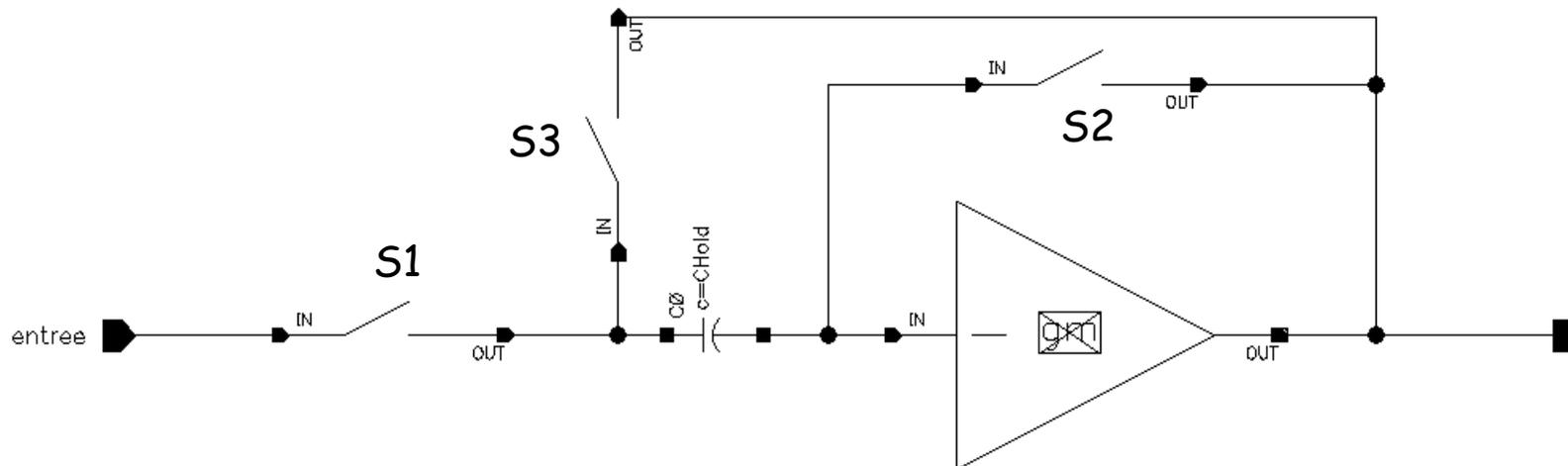
Son inconvénient est ailleurs: il faut contre réactionner sur l'entrée +, puisque  
Le signal est inversé dans le deuxième ampli-op....  
C'est souvent un très bon oscillateur.



# Les suiveurs-bloqueurs (track/hold)

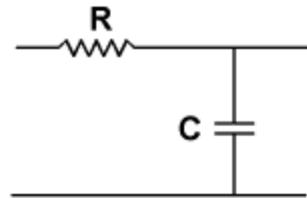
Track : S1 et S2 fermés , S3 ouvert - Hold : S1 et S2 ouverts, S3 fermé.

Phase de track: la capacité se charge sur la très faible impédance d'entrée ( $1/g_m$ ) de l'amplificateur à transconductance. Phase de hold: la capacité est placée en contre réaction, et donc la sortie garde en mémoire la tension à ces bornes. L'offset de l'amplificateur est quasiment annulé.





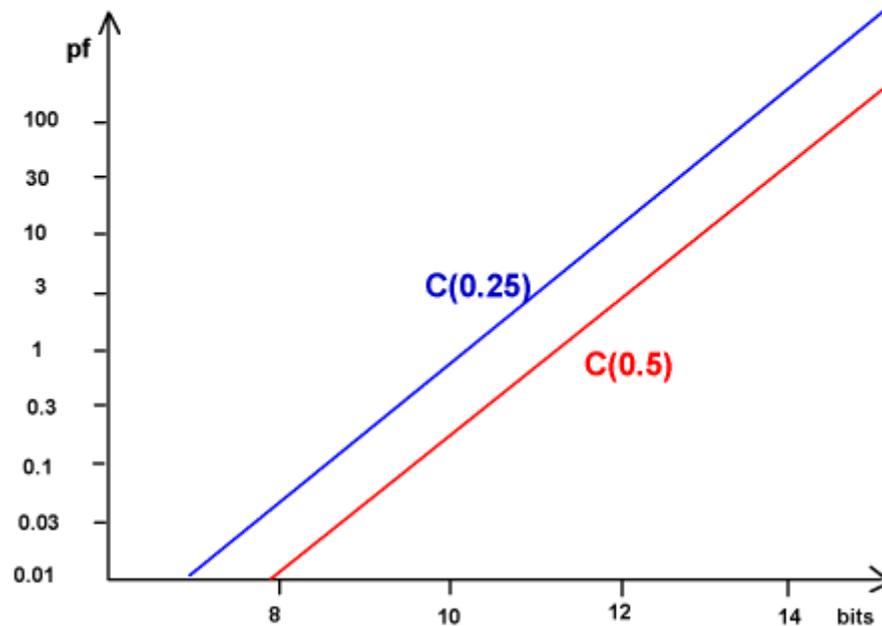
# Le bruit et la capa dans les T/H



$$e_n^2 = 4kTRB_n$$

$$B_n = \frac{\pi}{2.2} \frac{1}{\pi RC} = \frac{1}{4RC}$$

$$e_n^2 = \frac{kT}{C}$$



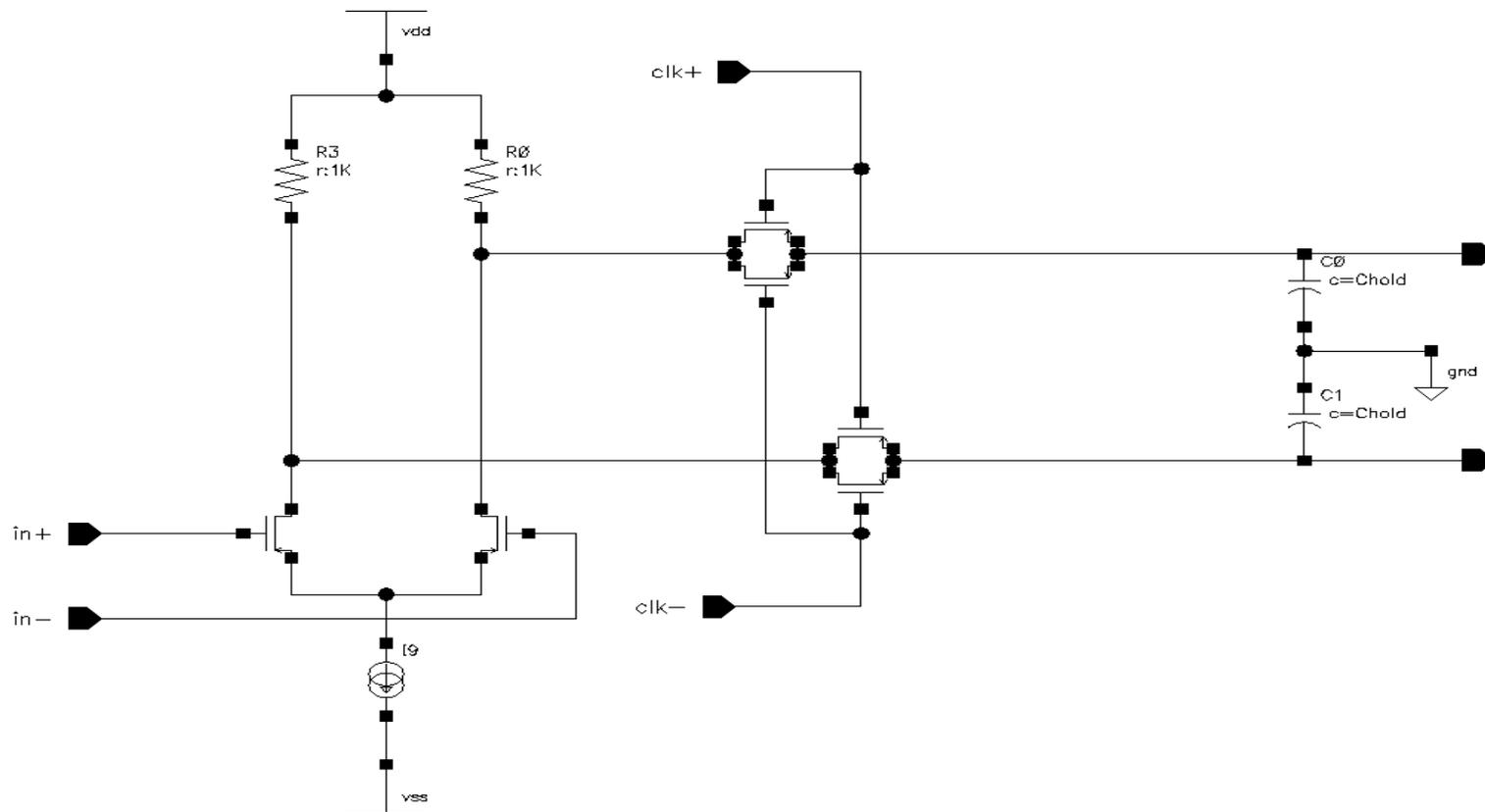
$$C_{0.25} = 7,68 \cdot 10^{-19} \cdot 2^{2n}$$
$$C_{0.5} = 1,92 \cdot 10^{-19} \cdot 2^{2n}$$



# Les suiveurs-bloqueurs exemple en CMOS

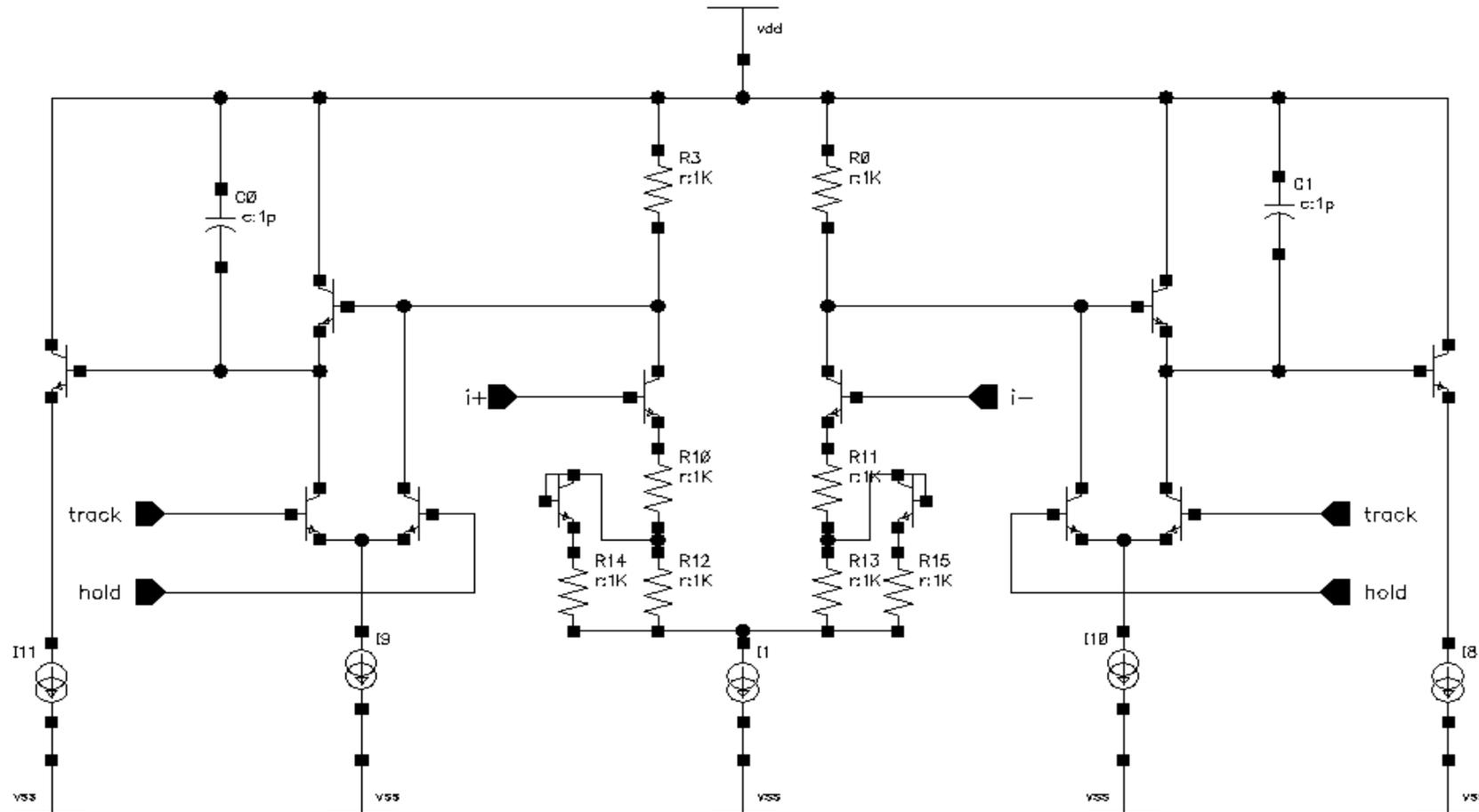
**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



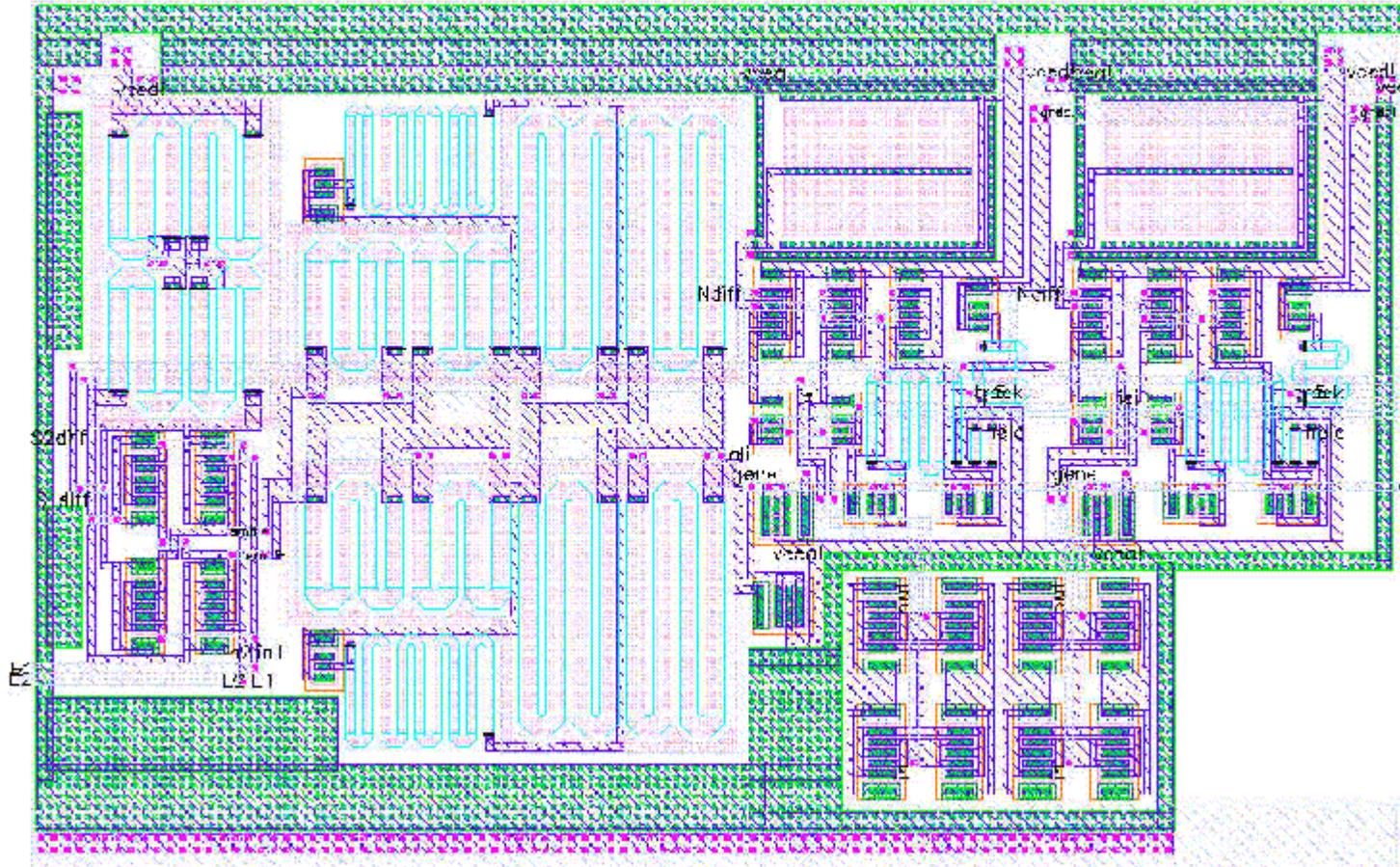


# Les suiveurs-bloqueurs exemple (LHCb)



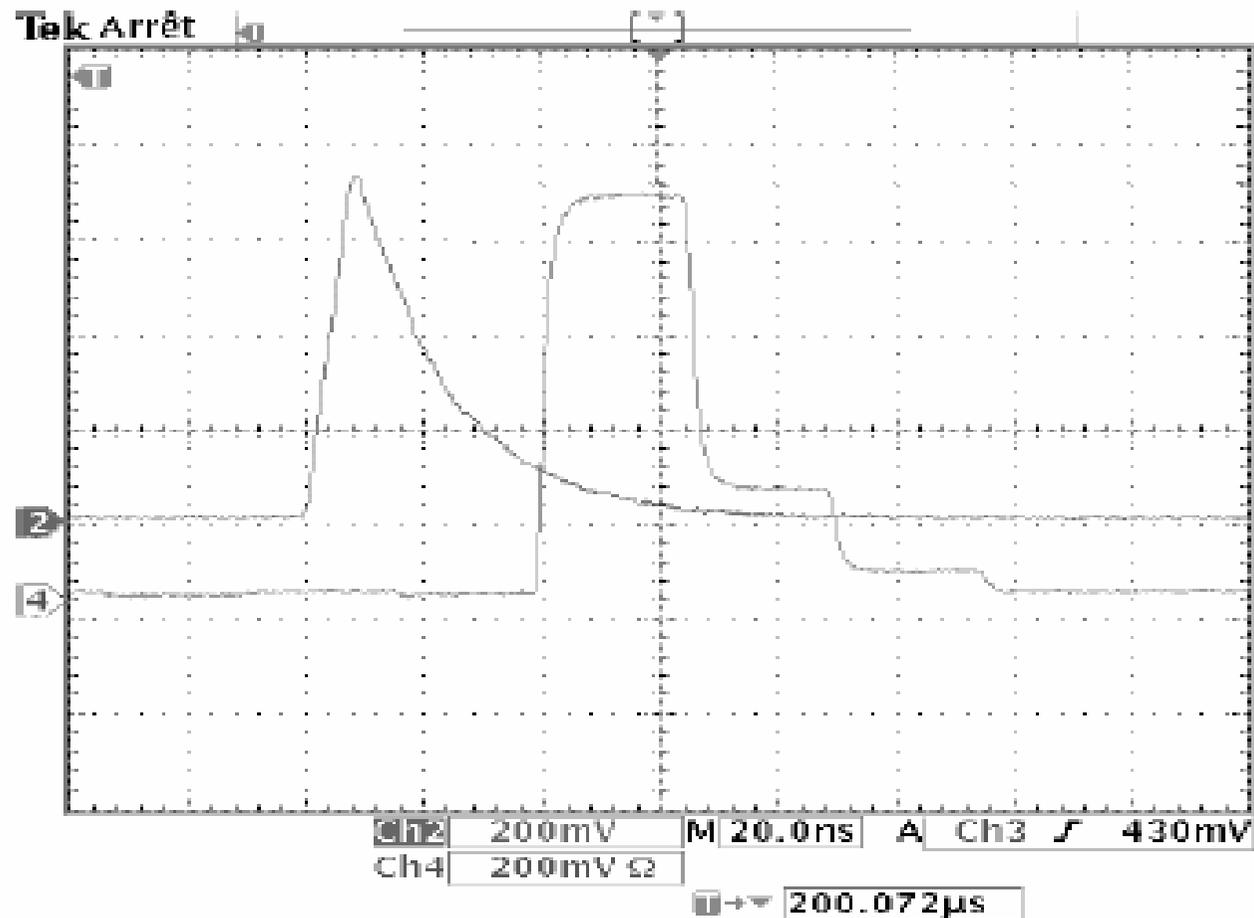


# Les suiveurs-bloqueurs LHCb layout (0.8 $\mu$ )



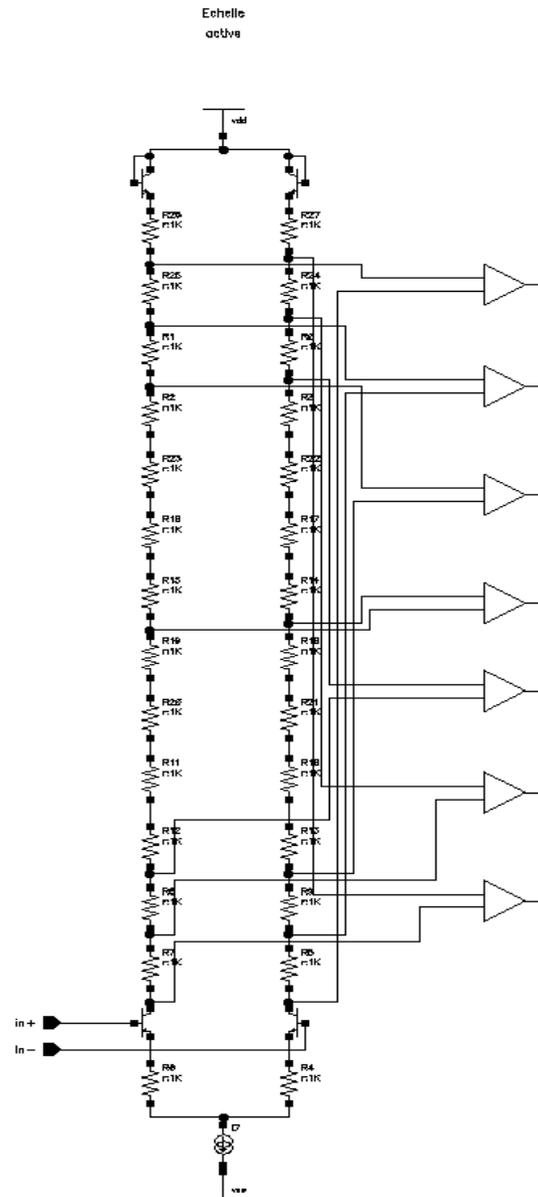
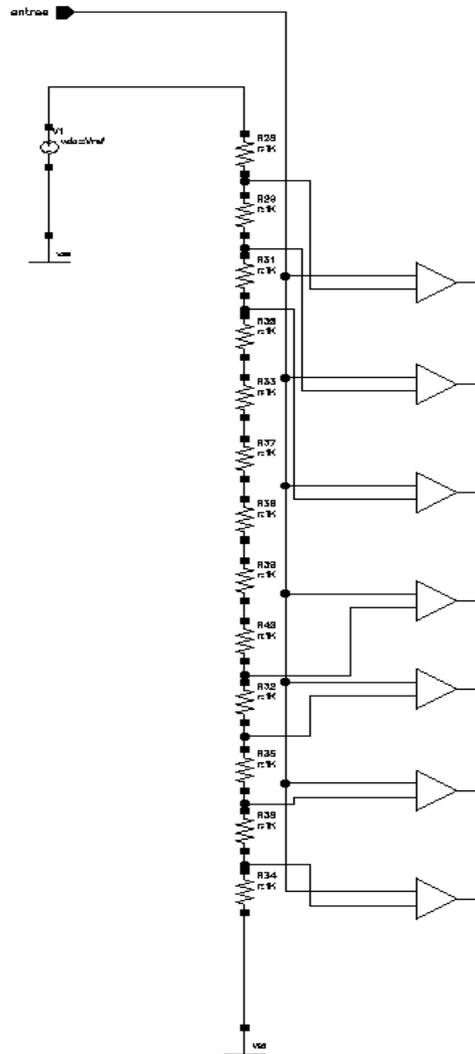


# Les suiveurs-bloqueurs LHCb résultat





# L'échelle différentielle active



- Point de fonctionnement des comp.
- Sensibilité à la référence
- Sensibilité au signal (M.C.)
- Sensibilité aux alimentations



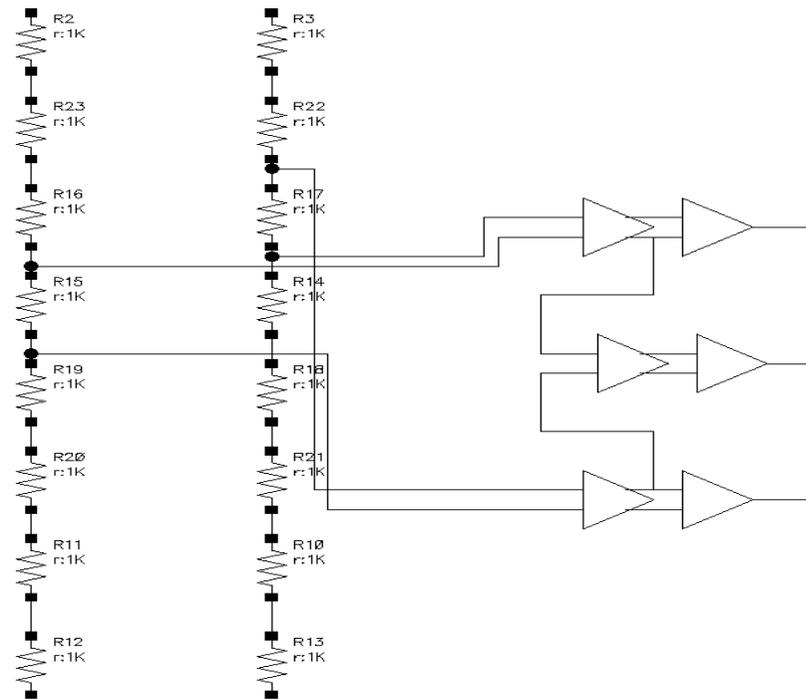
# L'échelle différentielle et ses comparateurs

## Une astuce

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

ET DE PHYSIQUE DES PARTICULES



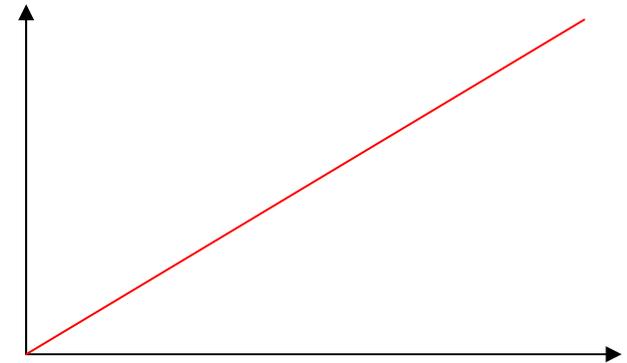
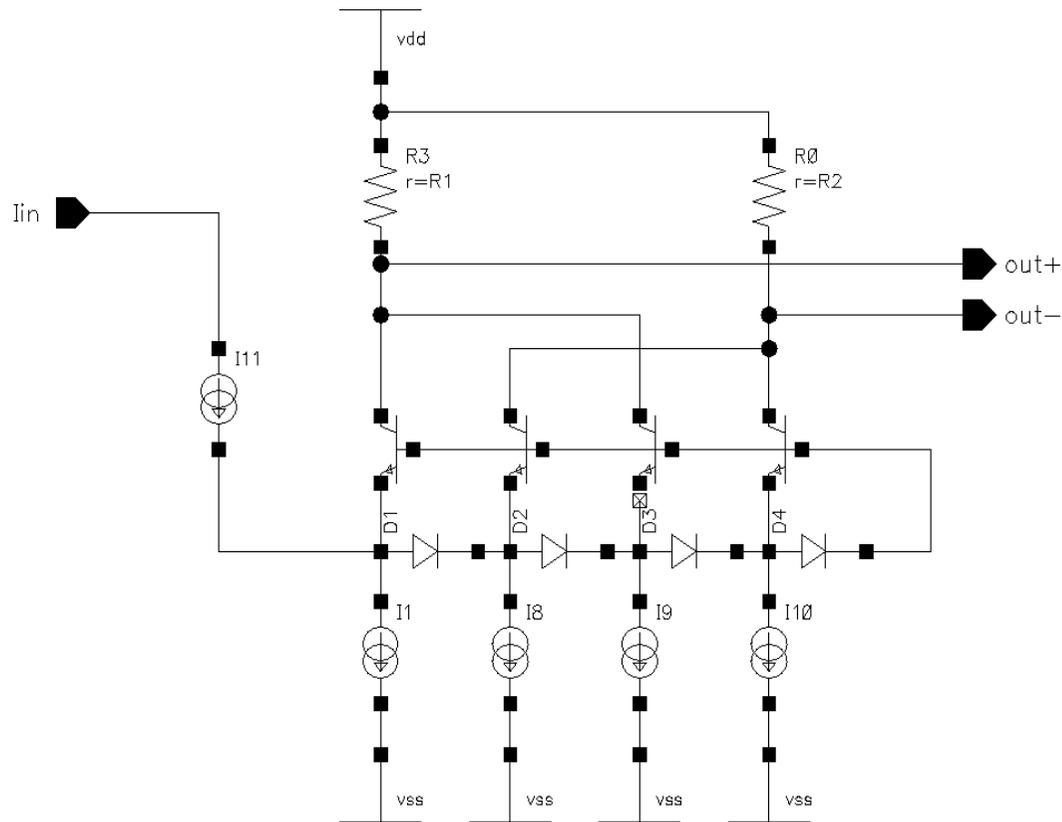
Réduction par un facteur 2 du nombre de comparateurs, et aussi  
Du même coup du courant nécessaire dans l'échelle.  
(Source analog device)



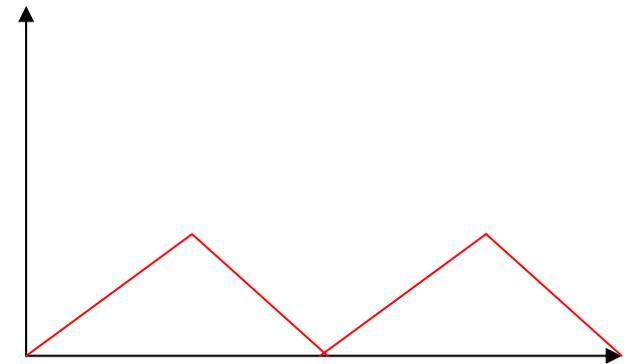
# Un circuit de repliement

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Entrée



Sortie